

УТВЕРЖДЕН
ЮФКВ.431268.005РЭ-ЛУ

СБИС ДЦТС К1879ХБ1Я

Руководство по эксплуатации

ЮФКВ.431268.005РЭ

Инв.№подл.	Подп. и дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	Справ.№
18212-2	 14.11.11	18212-1			

Содержание

1	Описание и работа СБИС ДЦТС	5
1.1	Назначение СБИС ДЦТС	5
1.2	Технические характеристики СБИС ДЦТС	6
1.3	Устройство и работа СБИС ДЦТС	9
1.3.1	Структурная схема СБИС ДЦТС	9
1.3.2	Системный уровень СБИС ДЦТС	10
1.3.2.1	Системная шина СБИС ДЦТС	10
1.3.2.2	Ядро процессора ARM1176	13
1.3.2.3	Система аппаратного тестирования СБИС ДЦТС	16
1.3.2.4	Контроллер прерываний	25
1.3.2.5	Система памяти СБИС ДЦТС	29
1.3.2.6	Универсальный контроллер ПДП	35
1.3.2.7	Блок сдвоенных таймеров TIME	40
1.3.2.8	Сторожевой таймер WATCHDOG	49
1.3.2.9	Системный контроллер SCTL	54
1.3.2.10	Блок управления синхросигналами и сигналами сброса	69
1.3.2.11	Контроллер внешних прерываний EXIRC	82
1.3.3	Подсистема медиаобработки	83
1.3.3.1	Структура подсистемы медиаобработки	83
1.3.3.2	Видеоконтроллер	89
1.3.3.3	Графический сопроцессор	182
1.3.3.4	Устройство декодирования видео	286
1.3.3.5	Контроллер HDMI передатчика	298
1.3.3.6	Универсальный цифровой процессор сигналов NMC3	305
1.3.3.7	Аудиоконтроллер	343
1.3.4	Подсистема условного доступа СБИС ДЦТС	390
1.3.4.1	Блок дешифрования данных по стандарту AES	390
1.3.4.2	Устройство дескремблирования CRYPTO	391
1.3.4.3	Контроллер интерфейса DVB-CI	402
1.3.5	Контроллер внешней динамической памяти DDR2	419
1.3.5.1	Особенности устройства	419
1.3.5.2	Настраиваемые временные параметры	420
1.3.5.3	Регистровая модель DDR2 DMC	424
1.3.5.4	Определение интерфейса AXI	427
1.3.5.5	Функциональное описание	427
1.3.5.6	Описание регистров контроллера внешней динамической памяти DDR2	429
1.3.6	Внешние интерфейсы СБИС ДЦТС	437
1.3.6.1	Интерфейс транспортного потока	437
1.3.6.2	Интерфейс USB	470

					ЮФКВ.431268.005РЭ						
2	Все	ЮФКВ.250-201	Александров	11.11.11							
Изм	Лист	№ докум.	Подп.	Дата	СБИС ДЦТС K1879XB1Я						
Разраб.		Александрова									
Пров.		Дергачев									
Нач.сект.		Шевченко									
Н.контр.		Вихрова									
Утв.		Шевченко									
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		Перв.примен.	
18212-2		 14.11.11		18212-1							

1.3.6.3	Интерфейс Ethernet	476
1.3.6.4	Универсальный последовательный порт SPI	489
1.3.6.5	Интерфейс UART	499
1.3.6.6	Интерфейс I2C-Мастер (I2CMST)	504
1.3.6.7	Универсальные порты ввода-вывода	510
1.3.6.8	Контроллер NAND Flash памяти	513
1.3.6.9	Контроллер Serial Flash памяти	536
1.4	Средства измерения, инструмент и принадлежности	547
1.5	Маркировка и пломбирование	549
1.6	Упаковка	550
2	Использование по назначению СБИС ДЦТС	551
2.1	Подготовка к использованию СБИС ДЦТС	551
2.2	Использование СБИС ДЦТС	551
2.2.1	Порядок контроля работоспособности СБИС ДЦТС	551
2.2.2	Перечень режимов работы СБИС ДЦТС и характеристики основных режимов работы	551
3	Хранение	554
4	Транспортирование	554
5	Утилизация	554
	Приложение А (обязательное) Система команд ядра NMC3	555
	Приложение Б (справочное) Карта подключения блоков к системной шине СБИС ДЦТС	569
	Приложение В (обязательное) Описание регистров видеodeкодера	570
	Приложение Г (обязательное) Описание выводов СБИС ДЦТС	580
	Г.1 Внешние выводы СБИС ДЦТС	580
	Г.2 Цоколевка корпуса микросхемы.	595
	Приложение Д (справочное) Рекомендуемые внешние периферийные микросхемы	599

					ЮФКВ.461268.005РЭ			Лист
								3
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

СБИС ДЦТС - декодер цифрового телевизионного сигнала для цифровых телевизионных приставок стандартной и высокой четкости, обеспечивает декодирование телевизионных сигналов спутникового, наземного и кабельного вещания, а также IP-телевидения с использованием новейших технологий компрессии аудио и видео.

СБИС ДЦТС предназначена для создания унифицированной аппаратно-программной платформы для разработки цифровых телевизионных приемников на базе СБИС ДЦТС с использованием унифицированных электронных модулей декодера (УЭМД).

В состав СБИС входят: блок декодирования видео сигналов, блок декодирования аудио сигналов на основе процессора NeuroMatrix® NMC3 (DSP процессора), RISC процессор вторичной обработки ARM1176JZF-S, внутреннее ОЗУ объемом 9 Мбит, блоки синхронизации, устройство контроля JTAG, а также широкий набор периферийных устройств. СБИС ДЦТС работает на внутренней тактовой частоте 324 МГц.

Документ содержит описание общей структурной схемы СБИС ДЦТС, карту памяти для всех процессорных ядер, входящих в состав СБИС, и подробное описание ее основных подсистем

					ЮФКВ.461268.005РЭ			Лист
								4
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1 Описание и работа СБИС ДЦТС

1.1 Назначение СБИС ДЦТС

Система на кристалле декодера цифрового телевизионного сигнала (СБИС ДЦТС) предназначена для использования в качестве основного компонента в приемных устройствах цифрового телевизионного сигнала по стандарту DVB. СБИС ДЦТС является основным компонентом унифицированного электронного модуля декодера MPEG-4 (УЭМД).

Система на кристалле ДЦТС выполняет задачи декодирования транспортного и программного потока данных, декодирования видеосигнала, в том числе высокой четкости, по стандартам MPEG4-10/H.264/AVC HP/L4.1, MPEG2 MP/HL, SMPTE 421M/VC-1 AP/L3, декодирование аудиосигнала по различным стандартам, общее управление системой и поддержку пользовательского интерфейса.

Функциональная схема СБИС ДЦТС приведена на рисунке 1.

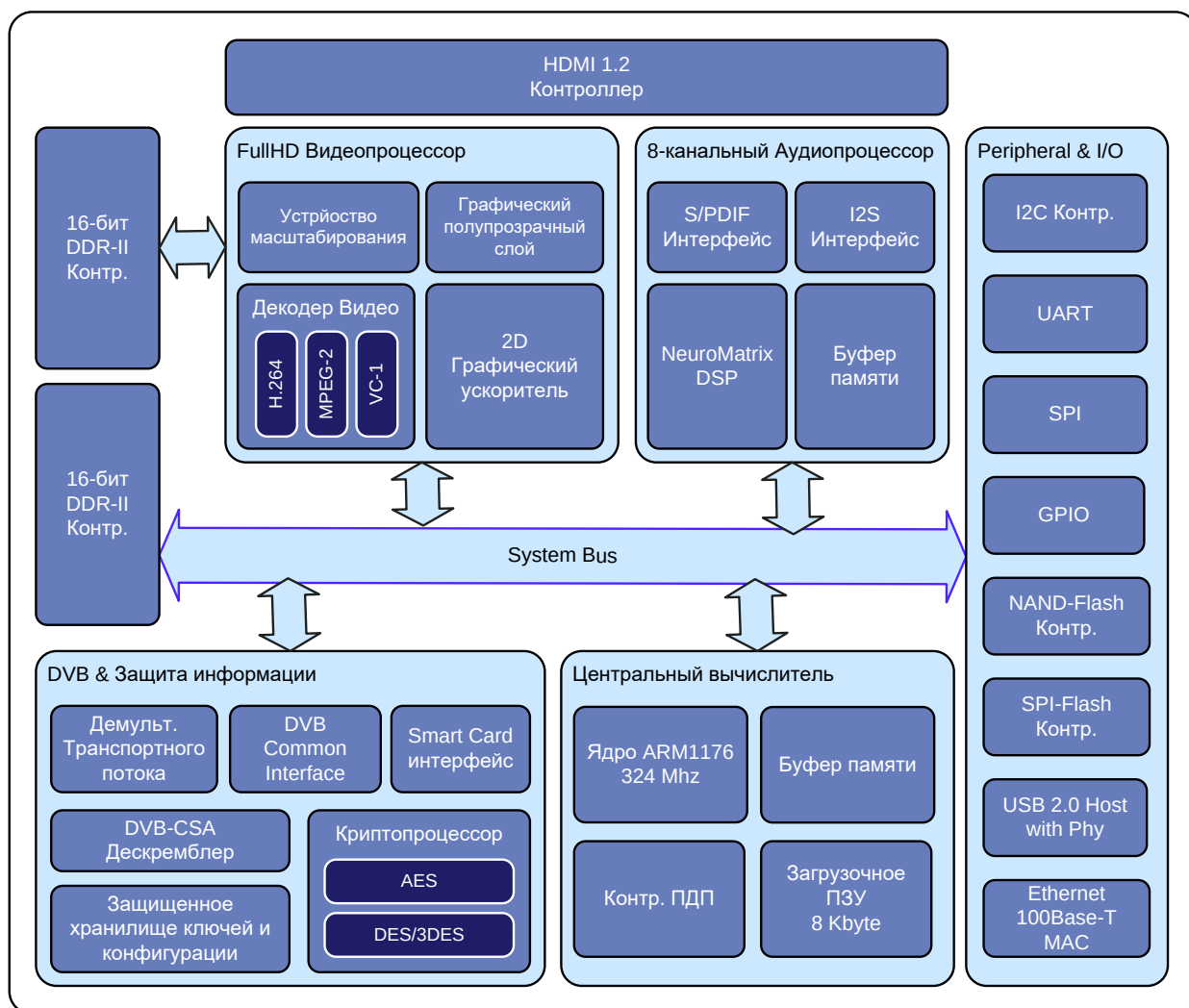
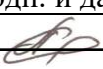


Рисунок 1 – Функциональная схема СБИС ДЦТС

					ЮФКВ.461268.005РЭ			Лист
								5
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

1.2 Технические характеристики СБИС ДЦТС

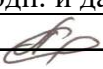
- Центрального процессор:
 - Архитектура ARMv6
 - Ядро процессора ARM1176JZF-S;
 - Тактовая частота 324 МГц
 - Кэш команд – 16 КБ;
 - Кэш данных – 16 КБ;
 - Сверхоперативная память команд (TCM) – 16 КБ;
 - Сверхоперативная память данных (TCM) – 16 КБ;
 - Блок управления памятью MMU;
 - Блок трассировки и отладки ETM11CSSingle;
 - Возможность байтового доступа к памяти;
 - Возможность невыровненного доступа к памяти;
 - Возможность использования Little Endian и Big Endian порядка байт.
- Архитектура шины:
 - Спецификация шины соответствует AMBA 3.0
 - Система построена на основе блока шинного коммутатора PL301;
 - 5 шинных коммутаторов PL301;
 - 32-разрядная периферийная шина AXI.
- Контроллер прерываний:
 - Векторный контроллер прерываний;
 - IRQ и FIQ генератор для ARM1176JZF-S;
 - Запрос прерываний максимум 64 каналов (включая 4 канала запроса внешнего прерывания);
 - Программируемый приоритет прерываний;
 - Маскирование программируемого приоритета прерываний;
 - Запрос прерывания от программного обеспечения;
 - Внешние прерывания по фронту или по уровню.
- Блок синхронизации и сброса CRG:
 - Генерация тактовых сигналов различной частоты;
 - Режим остановки (все синхронизации останавливаются по запросу от ARM1176JZF-S);
 - Управляемый программным обеспечением сброс;
 - Генерация сброса watchdog по внешнему запросу.
- Контроллер динамической памяти (DDR2 SDRAM):
 - Поддержка DDR2 SDRAM;
 - Два контроллера DDR2 SDRAM с 16-разрядными внешними шинами;
 - Частота работы внешней шины до 324 МГц;
 - 2Гб на каждой шине DDR2.
- Контроллер Памяти (Flash/SRAM):
 - Возможность подключения до 256 Мб внешней NAND Flash
 - 16-разрядному интерфейсу;
 - Интерфейс с serial flash по интерфейсу SPI.
- Внутренняя SRAM:
 - 8 Мбит внутренней SRAM на 64 битной AXI шине;
 - 4 независимых банка внутренней памяти;

					ЮФКВ.431268.005РЭ			Лист
								6
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

- 2 цикла ожидания для начальных данных и 1 для следующей (для записи и для чтения).
- DMA (8 каналов):
 - 8 каналов ПДП;
 - Интерфейс к шине AMBA3.0 AXI;
 - Возможность обращений по некрatным адресам;
 - Фиксированный, INCR и WARP методы адресации для передачи пакетов данных;
 - Поддержка цепочки передач DMA.
- UART:
 - 2 универсальных UART и один с поддержкой устройств IrDA.
- Таймер:
 - Двухканальный 32/16 битный программируемый счетчик на APB;
 - 2 канала таймера.
- GPIO:
 - 24 битные порты входа выхода основного назначения;
 - GPIO порты мультиплексированы с другими портами системы для сокращения числа внешних выводов.
- видеопроцессор видеосигнала высокой четкости, в том числе:
 - мультиформатный декодер видео по стандартам H.264, MPEG-2, VC-1 с разрешением до 1920x1080;
 - 2D графический ускоритель;
 - блок масштабирования видеоизображений;
 - видеоконтроллер с функцией наложения полупрозрачных слоев и внешним цифровым интерфейсом видео по спецификации BT-656 и EIA/CEA-861-B.
- 8-канальный аудиопроцессор, в том числе:
 - ЦПС NeuroMatrix для аудиодекодирования и обработки;
 - блоки аудиоинтерфейсов I2S и S/PDIF.
- блок демультимплексирования телевизионного транспортного потока и защиты информации, в том числе:
 - демультимплексор транспортного потока данных с возможностью обработки до двух транспортных потоков, поступающих с внешнего интерфейса или из памяти;
 - интерфейс DVB-CI;
 - интерфейс смарт-карты по спецификации T0 и T1;
 - дескремблер DVB-CSA;
 - криптопроцессор с поддержкой алгоритмов AES и 3DES;
 - защищенное хранилище ключей и конфигурационной информации на основе однократно программируемой памяти.
- Контроллер USB 2.0 Host HS со скоростью работы до 480 Мбит/с.
- Контроллер Ethernet 10M/100M.
- Интерфейс I2C:
 - 4 канала.
- Уникальный ID каждой микросхемы.
- Однократно программируемая память для хранения индивидуальной информации.

					ЮФКВ.431268.005РЭ			Лист
								7
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата	
18212-2		14.11.11			18212-1			

- Возможность аппаратной блокировки функций системы.
- Функции защиты информации.
 - Контроллер DMA для доступа к внешней защищенной памяти с функцией дескремблирования;
 - Интерфейс DVB-CI;
 - Интегрированный аппаратный блок дескремблирования CSA;
 - Интегрированный блок условного доступа с поддержкой AES и 3DES;
 - Однократно программируемая память OTP для хранения уникального ID микросхемы и ключевой информации.

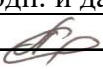
					ЮФКВ.431268.005РЭ			Лист
								8
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3 Устройство и работа СБИС ДЦТС

1.3.1 Структурная схема СБИС ДЦТС

Структурная схема СБИС ДЦТС приведена на рисунке 2. Основными структурными блоками СБИС являются:

BOOT ROM – загрузочное ПЗУ,
IM0, IM1 – банки внутренней памяти системной области,
TS DEMUX – демультиплексор транспортного потока,
CRYPTO – универсальный блок дескремблирования,
EM0 – интерфейс внешней памяти DDR2 системной области,
APB32 D – блок регистров управления устройствами системы,
SPI MEM – контроллер внешней flash памяти с интерфейсом SPI,
ARM1176JZF-S – ядро процессора ARM1176, ведущего в системе,
ETM11 – отладочный контроллер для процессора ARM11,
ETB – буфер трассировки процессора ARM11,
XDMAC – универсальный контроллер ПДП,
GRAPH ACCEL – ускоритель 2D графики,
VIDEO DECODER – конфигурируемое устройство декодирования видео,
DVB CI – интерфейс DVB-CI,
NAND – интерфейс с NAND Flash памятью,
ETH – контроллер Ethernet MAC,
USB – контроллер USB Host 2.0,
VIC – векторный контроллер прерываний,
I2S – контроллер аудио интерфейса I2S,
SPDIF – контроллер аудио интерфейса SPDIF,
VIDEO CONTROLLER – контроллер видео интерфейса,
IM2 – банки внутренней памяти области видео декодера,
EM1 – интерфейс внешней памяти DDR2 области видео декодера,
I2C – контроллер I2C шины,
SPI – контроллер SPI интерфейса,
TIME – таймеры,
WD – системный watchdog,
GPIOa, GPIOf – универсальные порты ввода-вывода,
SCI – интерфейс смарт-карты,
EIRQ – контроллер внешних прерываний,
AXI64 A – управляемый матричный коммутатор системной области,
AXI64 B – управляемый матричный коммутатор области видео декодера,
AXI32 C – матричный коммутатор периферийной шины,
AXI64 D, AXI64 F – матричные коммутаторы системы скоростных интерфейсов,
APB32 C – шина периферийных устройств,
TAP – контроллер тестового порта,
NMC3 – ядро DSP процессора,
AES – блок шифрования данных в стандарте AES,
APB32MULT – блок регистров управления устройств подсистемы "multimedia",
AUDDMA – контроллер ПДП аудио интерфейсов.

					ЮФКВ.431268.005РЭ			Лист
								9
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

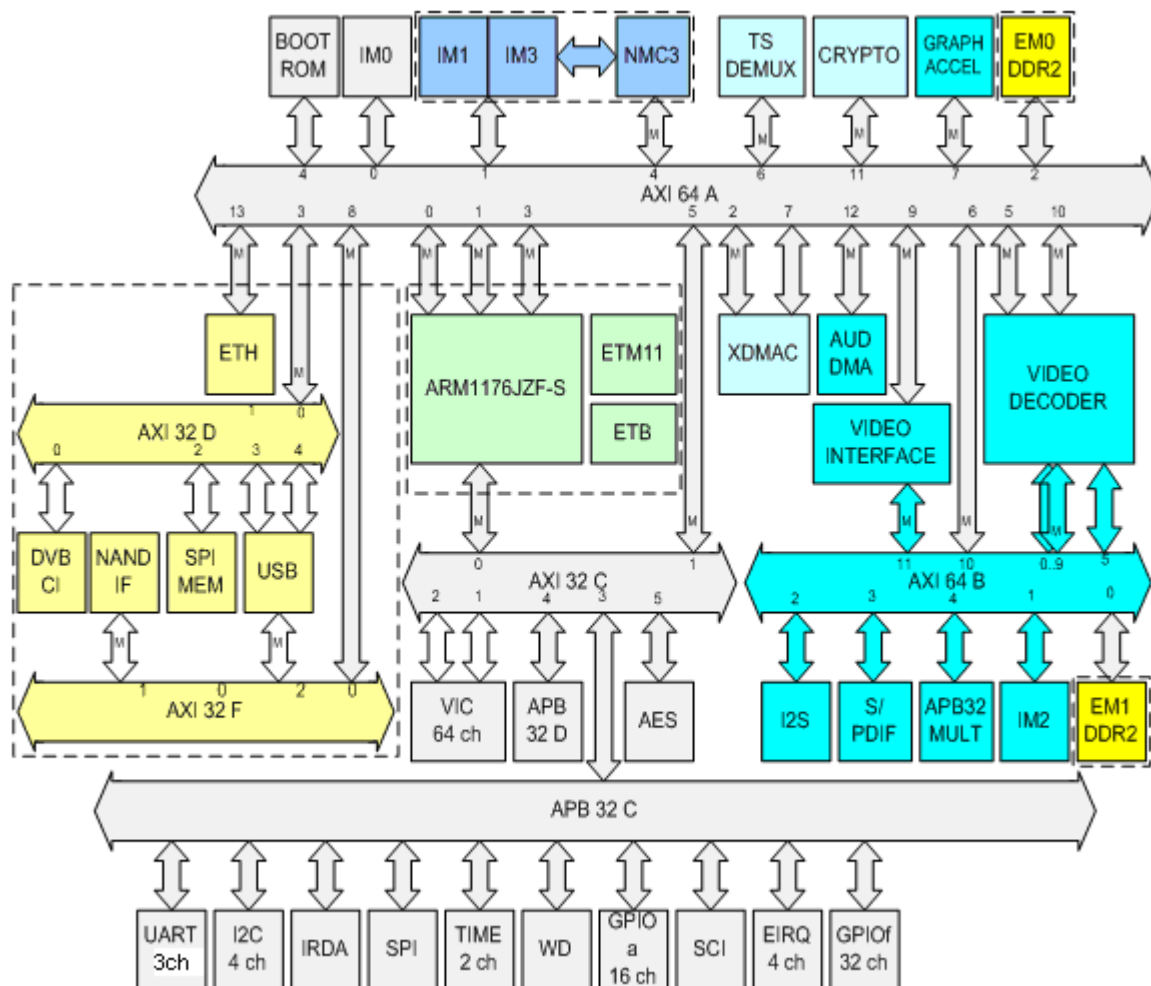


Рисунок 2 – Структурная схема СБИС ДЦТС

1.3.2 Системный уровень СБИС ДЦТС

1.3.2.1 Системная шина СБИС ДЦТС

Системная шина СБИС ДЦТС построена на основе шинных коммутаторов ARM PL301 по спецификации AMBA AXI 3.0.

Особенностью данных шинных коммутаторов является возможность динамического изменения приоритетов доступа к устройствам системы. Конфигурирование приоритетов доступа осуществляется путем программирования регистров конфигурации устройств ARM PL301.

Система включает в себя пять блоков коммутации. Базовые адреса портов конфигурирования устройств PL301A, PL301C, PL301D, PL301F и PL301b представлены в таблицах 4 и 6. В Таблица 1 представлена карта регистров блока PL301

Таблица 1- Карта регистров блока PL301

					ЮФКВ.431268.005РЭ			Лист
								10
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

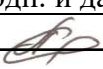
Адрес	Доступ	Ширина	Значение при обнул	Название	Описание
0x00-0x3E0 ^a	R/W	8	Конфигур.б	Регистр управления арбитражем для SLAVE интерфейсов 0-31	См. Арбитраж на стр 3-4 документа*
0x400 ^c	R/W	32	0x00000000	QoS Tidemark для интерфейса мастера 0	См. Программ. качество обслуживания (ProgQoS) на стр. 3-7 документа*
0x404 ^d	R/W	32	0x00000000	QoS управ. доступ для интерф. мастера 0	
0x408	R/W	32	0x00000000	QoS Tidemark для интерфейса мастера 0	
0x420 - 0x7FC	R/W	32	0x00000000	QoS управл. доступом для интерф. маст. n	
0x800 - 0xFBC	-	-	-	Зарезервировано	-
0xFC0	RO	32	0x000000nn ^e	PrimeCell Регистр конфигурации 0	См. Конфигурационные регистры на стр 3-9 документа*
0xFC4	RO	32	0x000000nn ^f	PrimeCell Регистр конфигурации 1	
0xFC8	RO	32	0x00000000	PrimeCell Регистр конфигурации 2	
0xFCC	RO	32	0x00000000	PrimeCell Регистр конфигурации 3	
0xFD0 - 0xFDC	-	-	-	Зарезервировано	-
0xFE0	RO	8	0x00	PrimeCell Периферийный регистр 0	См. PrimeCell Peripheral ID регистры 0-3 на стр. 3-10 документа*
0xFE4	RO	8	0x14	PrimeCell Периферийный регистр 1	
0xFE8	RO	8	0x13	PrimeCell Периферийный регистр 2	
0xFEC	RO	8	0x01	PrimeCell Периферийный регистр 3	
0xFF0	RO	8	0x0D	PrimeCell ID Регистр 0	См. PrimeCell ID регистры 0-3 на стр. 3-13 документа*
0xFF4	RO	8	0xF0	PrimeCell ID Регистр 1	
0xFF8	RO	8	0x05	PrimeCell ID Регистр 2	
0xFFC	RO	8	0xB1	PrimeCell ID Регистр 3	

Примечание 1

- Размещение адресов для арбитража управляющих регистров 0x20 x n, где n - количество соответствующих интерфейсов slave.
- Значение при обнулении регистра управления арбитражем зависит от сконфигурированного значения, установленного AMBA Дизайнером (Designer). См. AMBA Designer (FD01) User Guide для большей информации.
- Размещение адресов для QoS Tidemark 0x400 + 0x20x n, где n – количество соответствующих интерфейсов мастера.
- Размещение адресов для QoS Управления доступом 0x404 + 0x20 x n, где n- количество соответствующих интерфейсов мастера.
- Где nn – количество slave интерфейсов, сконфигурированных в диапазоне 0x01-0x20.
- Где nn – количество интерфейсов мастера, сконфигурированных в диапазоне 0x01-0x20.

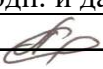
Примечание 2

* Документ PrimeCell High-Performance Matrix(PL301) revision: r1p0 Technical Manual.

					ЮФКВ.431268.005РЭ			Лист
								11
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Карта подключения блоков к системной шине СБИС ДЦТС представлена в приложении в таблице Б1

Более подробно устройство ARM PL301 описывается в документе:
“PrimeCell High-Performance Matrix (PL301) Technical Reference Manual r1p2”

					ЮФКВ.431268.005РЭ			Лист
								12
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.2.2 Ядро процессора ARM1176

1.3.2.2.1 Основные характеристики процессоров ARM11

Ядра RISC процессоров нового поколения ARM11 (ARM1176JZ-S™ and ARM1176JZF-S™) в отличие от предыдущих серий, ориентированных прежде всего на «встроенные» применения, для которых важнейшими требованиями являются минимизация площади на кристалле и потребляемой мощности, предназначены для максимально высокой производительной. С этой целью процессоры ARM11 реализуют систему команд ARMv6, которая характеризуется следующими достоинствами:

- а) расширением системы команд для цифровой обработки сигналов,
- б) SIMD расширением системы команд для потоковых задач (в частности, в видео обработке достигается двух- ... четырех- кратное повышение производительности),
- в) поддержкой технологии ARM Jazelle™ для эффективного выполнения Java приложений,
- г) набором команд Thumb® для получения компактного программного кода (требования к производительности шины и объему памяти команд сокращаются на 35%). Команды Thumb® имеют длину 16 бит в отличие от стандартной 32 битовой кодировки.

Структурная схема ядра процессора ARM11 представлена на рисунке 3.

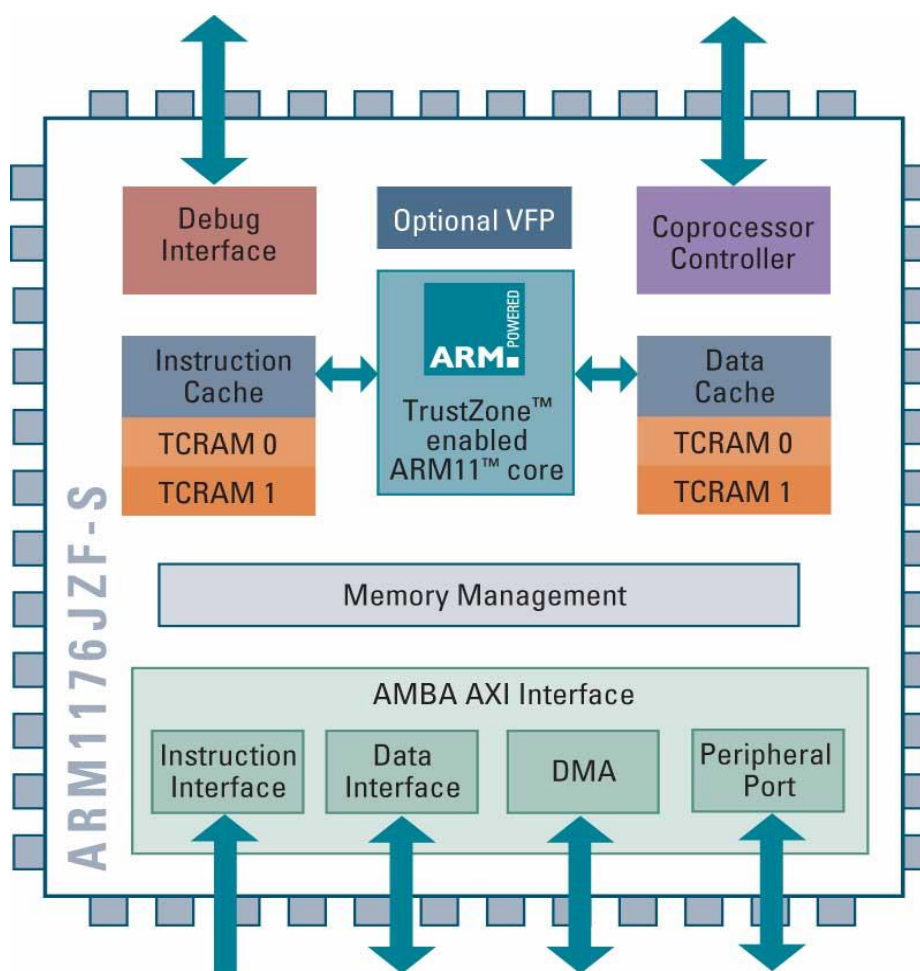
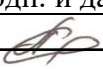


Рисунок 3 – Структурная схема ядра процессора ARM11

					ЮФКВ.431268.005РЭ			Лист
								13
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

В состав ядра ARM1176JZF-S™ входят следующие основные компоненты: процессор целочисленной арифметики, блок отладки и контроллер внешнего сопроцессора, кэш команд и данных по 16Кб, блок управления памятью, шинный интерфейс AMBA AXI, совместимый с шинной спецификацией AMBA 3.0, и обеспечивающий повышенную пропускную способность и меньшие задержки.

Высокопроизводительный ядро процессора целочисленной арифметики имеет 8-ми ступенчатый конвейер, позволяющий работать на высоких тактовых частотах, независимые конвейеры загрузки/выгрузки (load/store) и арифметических операций, аппаратную поддержку предсказания переходов и стек возврата из процедур. Эти архитектурные особенности позволяют достигать производительности 675 MIPS Dhrystone 2.1 при использовании КМОП технологии уровня 0,13 мкм.

Ядро ARM1176JZF-S™ имеет опционный VFP векторный сопроцессор плавающей точки, что делает его особенно подходящими для встроенных 3D графических приложений и обработки сигналов.

Ядра ARM11 впервые включают две новые технологии фирмы ARM:

ARM TrustZone – поддержка защищенных приложений и данных для работы в сетях и системах беспроводной связи:

ARM Intelligent Energy Manager (IEM) – совмещенная аппаратно/программная технология автоматического отслеживания и предсказания требования производительности в мультизадачных режимах работы, а также подстройку напряжения питания и рабочей частоты для обеспечения заданных требований. Именно эта технология предназначена для сбережения до 25% ... 50% энергии в портативных и переносимых устройствах с батарейным питанием. Более того, процессор может переходить в режим «power down» с минимальным током потребления на уровне токов утечки, если к нему нет обращений.

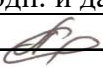
В СБИС ДЦТС технологии ARM TrustZone и ARM Intelligent Energy Manager не поддерживаются.

Ядро процессора ARM11 имеет высокопроизводительную подсистему памяти, включая кэш команд и данных объемом до 64К, опционную, тщательно оптимизированную память с ПДП для потоковых задач, 4-х портовый шинный интерфейс AMBA 3.0 AXI для быстрого доступа к памяти данных и команд. Следует отметить, что архитектура системы памяти в ARMv6 обеспечивает ускорение контекстного переключения задач в операционной системе.

Векторная система прерываний процессора с режимом сокращенного отклика на прерывания обеспечивает работу в приложениях реального времени.

Процессорное ядро ARM1176JZF-S включает все нововведения архитектуры ARMv6, имеющей следующие особенности:

- Команды Store/Load Exclusive для байтов, полуслов и двойных слов, а также новую команду Clear Exclusive.
- Реальная команда no-operation («нет операции») и команда yield.
- Дополнительные физические регистры для динамического переименования архитектурных регистров.
- Ограничение на размер кэша при помощи CP15 c1. Размер кэша может быть ограничен значением 16 КБайт для *операционных систем* (ОС), которые не поддерживают раскраску страниц. Изменения перерасметки битов в TEX. Дескрипторы таблицы страниц MMU ARMv6 используют большое количество битов для описания параметров внутреннего и внешнего кэшей. Едва ли в

					ЮФКВ.431268.005РЭ			Лист
								14
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

реальности какому-нибудь приложению понадобятся все эти возможности одновременно. Таким образом, оказывается возможным сконфигурировать процессор ARM1176JZF-S для поддержки лишь ограниченного набора опций при помощи механизма переразметки TEX. Это подразумевает, что записи в таблице страниц имеют косвенный характер.

- Изменен порядок использования бита AP. В процессоре ARM1176JZF-S код b111 в APX и AP[1:0] означает доступ «только для чтения» в привилегированном и пользовательском режимах. AP[0] указывает тип отмены доступа, ошибку бита доступа, когда CP15 c1[29] равно 1.

Процессорное ядро ARM1176JZF-S включает в себя целочисленное ядро, базирующееся на архитектуре ARM ARM11 v6. Оно поддерживает системы команд ARM и Thumb™, технологию Jazelle для обеспечения возможности прямого выполнения байт-кодов Java, а также включает набор SIMD команд для использования в программах цифровой обработки сигналов, позволяющих обрабатывать 16- или 8-разрядные данные в 32-разрядных регистрах. Использованное в СБИС ДЦТС процессорное ядро ARM1176JZF-S основано на его версии r0p7 и имеет конфигурацию, характеризующуюся наличием/отсутствием следующих свойств:

высокоскоростной интерфейс Advanced Microprocessor Bus Architecture (AMBA) Advanced Extensible Interface (AXI),

целочисленное ядро с интегрированной логикой EmbeddedICE-RT,

восьмиступенчатый конвейер,

предсказание переходов со стеком возврата,

режим с малой задержкой обработки прерываний,

интегрированные сопроцессор отладки CP14 и системный сопроцессор CP15,

устройства управления памятью команд и данных Memory Management Units (MMU), работающие с буферами MicroTLB и единым главным буфером Main TLB

кэш память команд объемом 16Кбайт,

кэш память данных объемом 16Кбайт, включая неблокирующий кэш данных с системой Hit-Under-Miss (HUM),

виртуально индексируемые и физически адресуемые кэши,

64-разрядный интерфейс к обоим блокам кэш памяти,

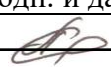
векторный сопроцессор для вычислений с плавающей запятой(VFP),

TCM (Tightly Coupled Memory) и интерфейс DMA к ней отсутствуют,

поддержка трассировки,

система отладки на базе JTAG. Блоки поддержки отладки — ETM11, ETB11 и JTAG интерфейс

СБИС ДЦТС имеет ряд блоков для аппаратной поддержки отладки программ на своём процессорном ядре ARM. Помимо средств отладки самого ядра используются также блоки Embedded Trace Macrocell (ETM11) и Embedded Trace Buffer (ETB11), которые взаимодействуют через интерфейс JTAG с внешним устройством — аппаратным отладчиком RealView ICE (далее RVI).

					ЮФКВ.431268.005РЭ			Лист
								15
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

1.3.2.3 Система аппаратного тестирования СБИС ДЦТС

1.3.2.3.1 Организация тестирования схем

Разрабатываемую «систему на кристалле» необходимо проверять на всех этапах разработки. Есть два основных вида контроля – функциональный и аппаратный.

Функциональные тесты предназначены для проверки того, что система на кристалле правильно выполняет все необходимые задачи. Тесты функционального контроля создаются на этапе разработки модели системы и используются далее на всех этапах проектирования. Кроме, непосредственно, функционального контроля функциональные тесты используются для проверки целостности системы, чтобы убедиться, что на определенном этапе разработки, например, при синтезе схемы система не потеряла и не изменила заданную функциональность.

Кроме того, за сохранением целостности системы можно следить, используя программы формальной логической верификации. Они проверяют сохранение логики работы системы по формальным логическим выражениям. Такие инструменты незаменимы при сравнении различных версий электрических схем.

Вместе с тем, они могут оказаться излишне строгими при контроле преобразования RTL кода в электрическую схему, если, например, RTL код содержит избыточную логику, удаляемую программой синтеза.

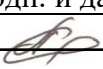
Обычной практикой является разделение разработки RTL кода и тестов между разными разработчиками и даже компаниями. Таким способом достигается лучшее качество тестирования. Качество тестов можно проверить при помощи специализированного программного обеспечения. Типичными показателями качества функциональных тестов является покрытие тестами RTL кода и покрытие переключений на выходах модуля. Каждое логическое выражение в коде должно тестироваться и каждый вывод модулей должен переключиться из 1 в 0 и из 0 в 1.

Тесты аппаратного контроля предназначены для выявления дефектов, возникающих при производстве микросхем. В отличие от функциональных тестов, основной задачей аппаратных тестов является проверка правильности всех связей в микросхеме, отсутствие разрывов дорожек и коротких замыканий цепей. Для того, чтобы осуществить подобную проверку, необходимо последовательно изменять логические состояния на выходах всех логических элементов схемы.

В случае относительно простых схем этого можно добиться путем написания достаточного числа функциональных тестов. До недавнего времени, пока микросхемы были еще не слишком большими, функциональные тесты использовались также и для тестирования самих микросхем. Для этого они преобразовывались в наборы, так называемых, тестовых векторов, представляющих собой коды на всех входах и выходах микросхемы. Тестовые воздействия последовательно, вектор за вектором подавались на входы микросхемы, а коды на выходах сравнивались с эталонными значениями. В результате тестирования принималось решение о функциональной пригодности микросхемы.

В случае сложных систем, таких как «системы на кристалле», аппаратное тестирование с использованием функциональных тестов невозможно. Наличие очень большого числа логических устройств приводит к тому, что обеспечить смену состояний на выходах некоторых элементов становится очень сложным или вовсе невозможным.

Для обеспечения тестируемости современных схем придуман метод, обеспечивающий доставку тестовых воздействий напрямую в каждый регистр системы. Делается это при

					ЮФКВ.431268.005РЭ			Лист
								16
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

помощи, так называемых, сканирующих цепочек регистров. Ячейки сканирования объединяются в цепи, образуя сдвиговые регистры, которые соединяются со специализированным контроллером. Из тестового контроллера по такой цепи можно доставить нужные данные в любой регистр системы и считать в контроллер данные из любого регистра системы.

Тестовые цепи для аппаратной проверки микросхем, интерфейс и тестовый контроллер стандартизованы. Это стандарт IEEE 1149 (JTAG). Кроме устройств сканирования внутренних блоков, создается сдвиговый регистр, подключаемый к внешним выводам микросхемы. Такая цепь, называемая цепью периферийного сканирования (boundary scan chain), обеспечивает возможность подачи нужного воздействия на любой вывод микросхемы через тестовый контроллер и считывание логических состояний на всех выводах (Рисунок 4 – Средства тестирования и самотестирования в СБИС ДЦТС)

В любой момент работа микросхемы может быть прервана и произведен доступ к определенным блокам по тестовому порту. Таким образом, этот порт может использоваться не только для тестирования микросхемы, но и для дальнейшего управления устройством. Например, через тестовый порт может подключаться отладчик программного обеспечения.

Проектирование блоков, осуществляющих тестирование, и генерация тестов задача сложная, но формализуемая. Она с успехом может выполняться автоматически. Пакеты САПР и Cadence, и Synopsys содержат программы, обеспечивающие оптимальное подключение тестовых цепей и генерацию тестов аппаратного контроля. Важно отметить, что все тестовые схемы, за исключением сканирующих цепей, проектируются и включаются в систему еще на уровне разработки RTL кода.

Тестирование аналоговых блоков осуществляется отдельно. Интерфейсы аналоговых блоков полностью выводятся на внешние выводы ИМС, позволяя получить всю необходимую информацию о функционировании этих блоков.

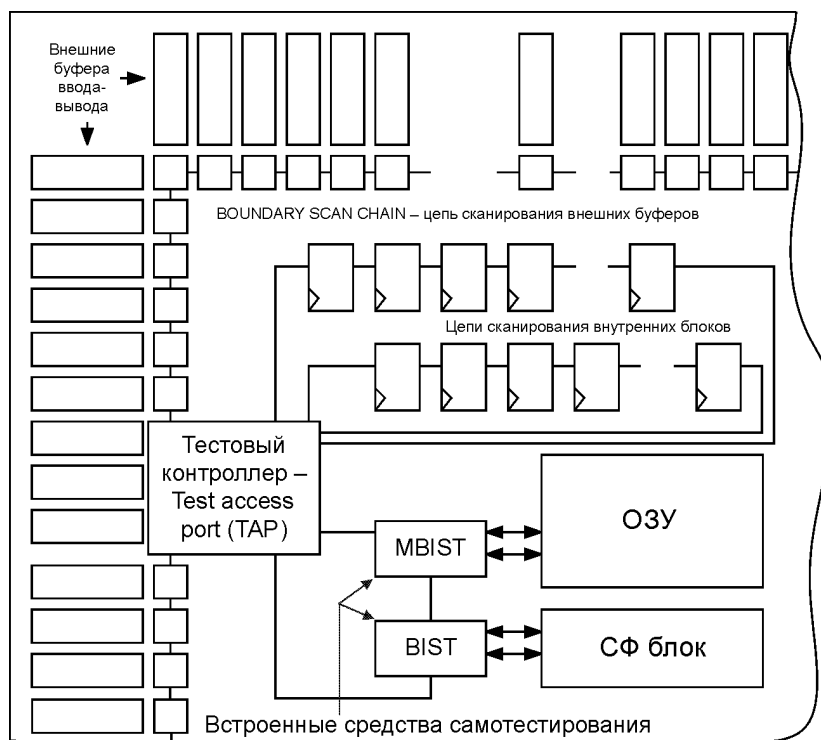
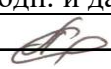


Рисунок 4 – Средства тестирования и самотестирования в СБИС ДЦТС

					ЮФКВ.431268.005РЭ			Лист
								17
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Запоминающие устройства нерационально проверять как логические схемы, так как такая проверка потребует слишком большого набора тестовых векторов. Для блоков памяти в несколько мегабит число тестовых векторов может достигать десятков миллионов. Такие же проблемы возникают при тестировании некоторых сложно-функциональных блоков. В этих случаях более рационально применить встроенные аппаратные средства самотестирования – BIST, MBIST (Memory Build In Self Test). Пример их использования показан на Рисунок 4.

1.3.2.3.2 Контроллер средств отладки JTAG

СБИС ДЦТС должна иметь стандартный 5-выводной тестовый JTAG порт, работающий по стандарту IEEE Std 1149.1-1990. Данный порт улучшает тестируемость как самой микросхемы, так и на уровне законченного изделия.

1.3.2.3.2.1 Структурная схема и внешние выводы JTAG интерфейса

Структурная схема JTAG интерфейса представлена на Рисунок 5, а внешние выводы тестового порта описаны в Таблица 2.

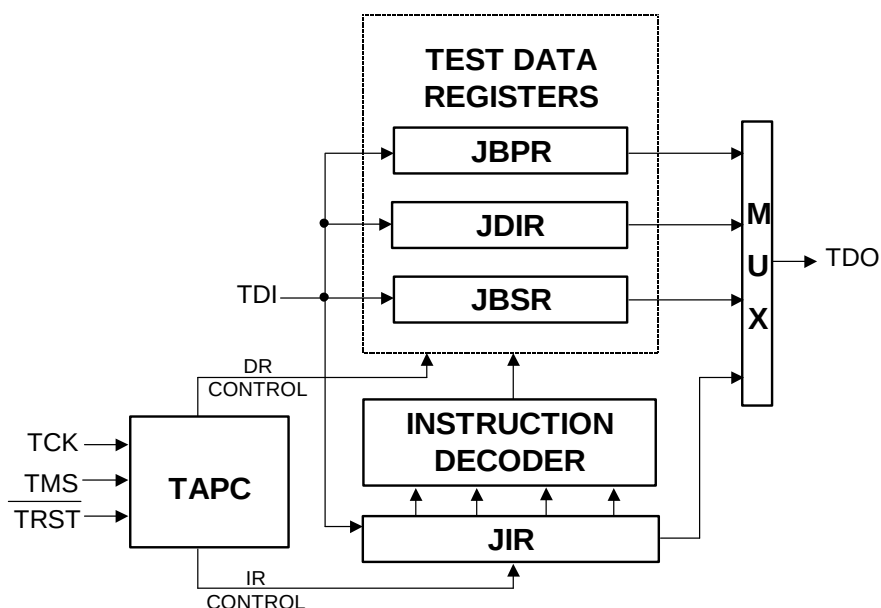


Рисунок 5 - Структурная схема тестового порта JTAG

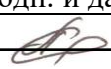
Основными узлами тестового порта являются:

TAPC (Test Access Port Controller)- контроллер тестового порта. Данный контроллер реализован в виде конечного автомата, который управляет тестовой логикой в соответствии со стандартом IEEE Std 1149.1-1990. Более подробно его работа будет описана в следующем разделе.

JIR (JTAG Instruction Register) - 3-разрядный регистр команд. Данный регистр является сканируемым и хранит одну из возможных команд тестового порта, более подробно он будет описан в следующем разделе.

JBPR (JTAG Bypass Register)- одноразрядный обходной регистр. Регистр используется для обхода пути сканирования внешних выводов, если это требуется.

JDIR (JTAG Device Identification Register) - 32-разрядный регистр идентификации устройства. Данный регистр содержит код, определяющий компанию-изготовителя, тип устройства и его версию, более подробно он будет описан в следующем разделе.

					ЮФКВ.431268.005РЭ			Лист
								18
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

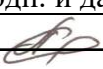
JBSR (JTAG Boundary Scan Register) - регистр сканирования внешних выводов. Регистр содержит одну сканируемую ячейку на каждый вход/выход и одну сканируемую ячейку на каждый внутренний сигнал управления третьим состоянием для выходов и двунаправленных выводов, более подробно он будет описан в следующем разделе.

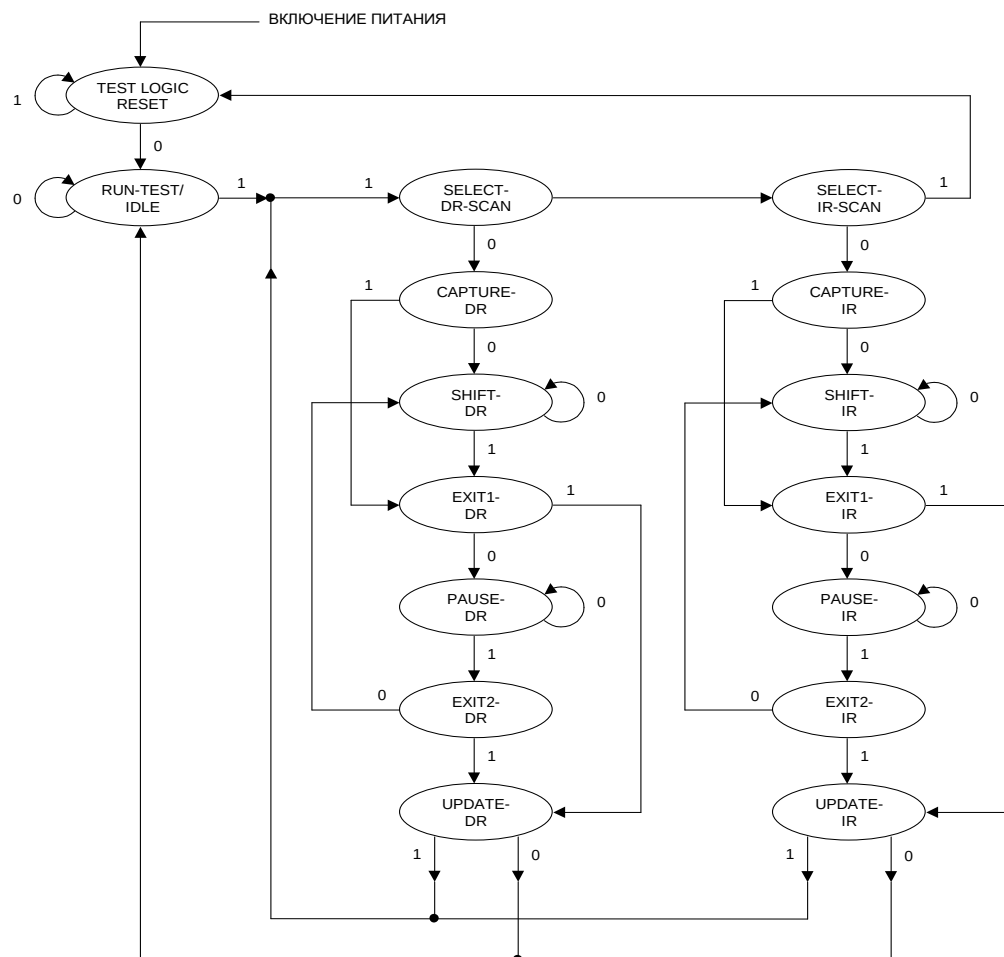
Таблица 2 - Внешние выводы тестового порта JTAG

Сигнал	Тип	Функциональное назначение
TDI	I	Вход тестовых данных. Данный вывод используется для ввода команд и данных при тестировании через JTAG-порт.
TDO	O	Выход тестовых данных. При вводе данных через порт TDI, они всегда последовательно выдвигаются через этот вывод. Регистры команд и данных всегда образуют сдвиговый регистр между TDI и TDO
TMS	I	Выбор режима тестирования. Данный вывод управляет состоянием конечного автомата контроллера тестового порта.
TCK	I	Тактовый сигнал тестового интерфейса
$\overline{\text{TRST}}$	I	Сброс тестового порта, активный низкий уровень. Данный вывод переводит контроллер тестового порта в состояние Reset. В рабочем режиме на нём должен поддерживаться низкий уровень, чтобы гарантировать правильную работу БИС.

1.3.2.3.2 Управление работой тестового порта

Работа тестового порта осуществляется под управлением контроллера порта TAPC. Он представляет собой конечный автомат, который меняет свои состояния в зависимости от уровня на внешнем выводе TMS, стробируемого передним фронтом тактового сигнала TCK, см. Рисунок 6. Кроме того, для управления тестовым портом используются команды, последовательно загружаемые с внешнего входа TDI в регистр команд JIR. По команде выбирается то действие, который необходимо выполнить, а также один из регистров тестовых данных - JBPR, JIDR или JBSR - для доступа к нему. Команды тестового порта приведены в Таблица 3.

					ЮФКВ.431268.005РЭ			Лист
								19
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				



- Состояния:
- | | |
|---------------------|--|
| 1. Test-logic-reset | Инициализация логики тестирования |
| 2. Run-test/idle | Исполнение теста/режим отключения тестовой логики |
| 3. Shift-DR(IR) | Последовательный сдвиг в регистре данных/команд |
| 4. Pause- DR(IR) | Останов |
| 5. Select- DR(IR) | Выбор того, будут ли последующие операции производиться с регистром данных или команд |
| 6. Capture- DR(IR) | Режим загрузки данных с параллельных выходов регистра данных/команд |
| 7. Update- DR(IR) | Выдача данных на параллельные выходы регистра данных/команд (декодирование для команд) |
| 8. Exit- DR(IR) | Переходные состояния |

Рисунок 6 – Диаграмма состояний контроллера тестового порта JTAG

Таблица 3 – Команды тестового порта

Мнемоника	Код	Функциональное описание
EXTEST	000	Проверка связей между микросхемами на плате (см. стандарт).
SAMPLE / PRELOAD	001	Сканирование состояния внешних выводов (см. стандарт).
IDCODE ¹⁾	010	Выдача 32-разрядного кода идентификации устройства (см. стандарт).
CLAMP	011	Поведение внешних выводов как при команде EXTEST, выводов TDI и TDO как при команде BYPASS (см. стандарт).
HIGH-Z	100	Перевод выводов в высокоимпедансное состояние, поведение выводов TDI и TDO как при команде BYPASS (см. стандарт).
BYPASS ²⁾	101 110 111	Создание одноканального сдвигового регистра, входом которого является вывод TDI, а выходом TDO (см. стандарт).

Примечания: 1) Команда IDCODE всегда считывается в состоянии Capture_IR контроллера тестового порта.

					ЮФКВ.431268.005РЭ		Лист
							20
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2	14.11.11		18212-1				

2) Команда BYPASS (111) загружается в регистр команд в состоянии Reset контроллера тестового порта.

Регистр идентификации устройства JDIR

JDIR – это 32-разрядный регистр, который содержит уникальный код, должен быть присвоен БИС СПК согласно стандарту IEEE Std 1149.1-1990. Его содержимое может быть считано по команде IDCODE последовательным кодом через вывод TDO. Формат регистра идентификации устройства представлен на Рисунок 7, а пример функционального назначения его полей приведено в Таблица 4. Значения битов регистра будут определены в ходе выполнения ОКР.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VERSION								PART NUMBER												MANUFACTURER IDENTITY								LSB			

Рисунок 7 – Формат регистра идентификации устройства JDIR

Таблица 4 – Функциональное назначение полей регистра идентификации устройства JDIR

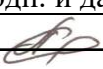
Поле	Функция	Значение
VERSION	Номер версии	0000
PART NUMBER	Код изделия	xxxxxxxxxxxxxxxxx
MANUFACTURER IDENTITY	Код изготовителя микросхемы – фирмы изготовителя	00000000xxx
LSB	Младший бит регистра (согласно стандарту его значение всегда равно единице)	1

Регистр сканирования внешних выводов JBSR

JBSR – это 191-разрядный сдвиговый регистр, благодаря которому возможно сканирование внешних выводов при выполнении команды SAMPLE / PRELOAD, а также перевод их в заданное состояние при выполнении команд EXTEST и CLAMP.

1.3.2.3.3 Аппаратные средства поддержки отладки СБИС ДЦТС

Аппаратные средства поддержки отладки имеют структуру, показанную ниже).

					ЮФКВ.431268.005РЭ				Лист
									21
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1						

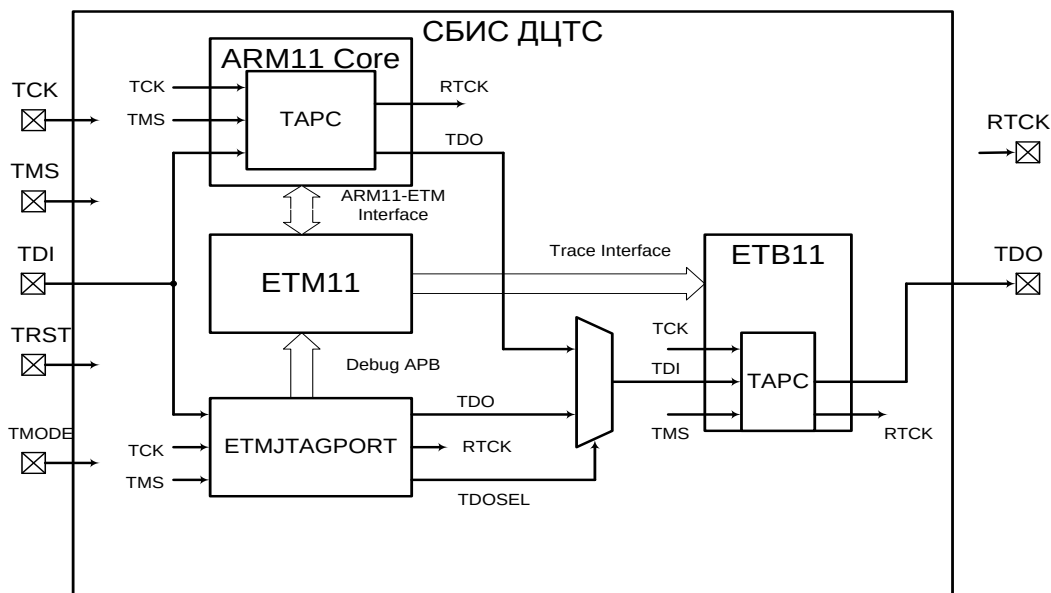


Рисунок 8 - Схема внутрикристалльных аппаратных средств отладки программ на ядре ARM

Блоки соединены в цепь от входа данных порта JTAG (TDI) до выхода данных (TDO).

ARM11 Core — ядро ARM1176JZF-S, содержащее собственный TAPC (Test Access Port Controller). Описание принципов работы с TAPC ядра ARM11 дано в документе ARM DDI 0301G «ARM1176JZF-S Technical Reference Manual» (Chapter 14).

ETMJTAGPORT — блок, преобразующий команды JTAG в команды записи и чтения регистров ETM11.

Debug APB — отладочная шина между ETMJTAGPORT и ETM11 — она не присоединена к общей шинной системе СБИС, регистры ETM11 не доступны программно для ядра ARM.

ETM11 (Embedded Trace Macrocell) — блок, управляющий трассировкой программ ядра ARM11 через специализированный интерфейс. Спецификация блока дана в документе ARM DDI 0318C «CoreSight ETM11 Technical Reference Manual».

ARM11-ETM Interface — интерфейс между ядром ARM11 и ETM11, по которому передаётся отладочная информация.

ETB11 (Embedded Trace Buffer) — буфер отладочной информации. Поскольку интерфейс JTAG относительно медленный, то в ходе выполнения программ отладочная информация должна скапливаться в буфере. Блок ETB11 служит для временного хранения данных, читаемых через JTAG. Используемая в СБИС ЦУПП конфигурация ETB11 не поддерживает функцию трассировки памяти. Спецификация блока дана в документе ARM DDI 0275D «ETB11 Technical Reference Manual».

Trace Interface — интерфейс, по которому блок ETM11 передаёт данные блоку ETB11.

Блоки аппаратной поддержки отладки имеют следующие версии реализации:

Embedded Trace Macrocell — блок ETM11CS версии r0p2,

Embedded Trace Buffer — блок ETB11 версии r0p1 и размером буфера 8Кб.

Описанная выше схема является типовой для микропроцессорных систем на основе ядра ARM11. Протоколы обмена между СБИС и внешними средствами отладки специфицированы компанией ARM Limited. Отладку можно производить с хост компьютера с помощью поставляемого компанией ARM Limited пакета RealView ICE, включающего в себя:

аппаратный отладчик — устройство, подключаемое к инструментальной плате и ПК,

блок питания аппаратного отладчика,

					ЮФКВ.431268.005РЭ			Лист
								22
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

все необходимые соединительные кабели,

компакт-диск с ПО для поддержки работы с аппаратным отладчиком,

комплект документации.

Более подробное описание процессорного ядра ARM1176JZF-S можно найти в документе ARM DDI 0301F «ARM1176JZF-S. Revision r0p7. Technical Reference Manual». Описание архитектуры ARMv6 можно найти в документе ARM DDI 0100I «ARM Architecture Reference Manual»

1.3.2.3.1 Отладочный сопроцессор

Отладочный процессор ETM11 обеспечивает трассировку команд и данных для семейства микропроцессоров ARM11. Отладочный процессор ETM11 поддерживает все современные ядра ARM11, сочетаемые с TrustZone и Thumb-2.

Возможно использовать Отладочный процессор ETM11 в двух вариациях:

- Автономно, такой как ETM11CSSingle. Вы можете использовать ETM11CSSingle для трассировки только одного ARM CPU в любой момент времени, например процессор ARM1176.
- В системе CoreSight, такой как ETM11CS.

В СБИС ДЦТС используется автономный вариант отладочного процессора ETM11CSSingle.

Рисунок 9 показывает главные функциональные блоки и домены тактовых сигналов Отладочного процессора.

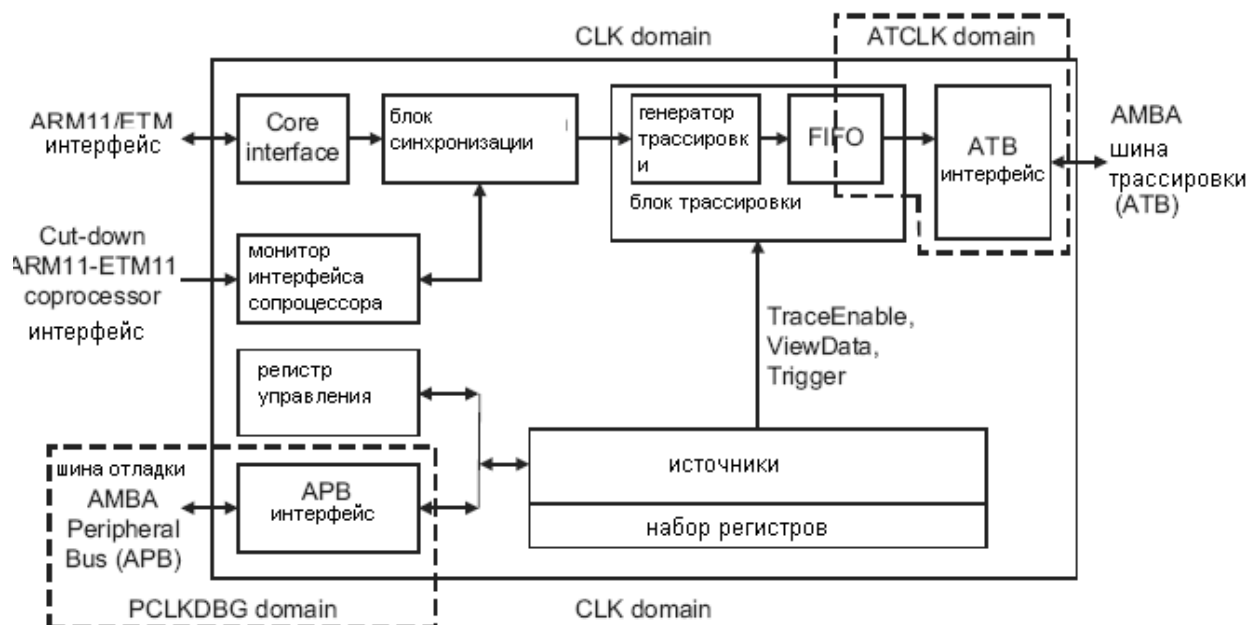


Рисунок 9 - Функциональные блоки и домены тактовых сигналов отладочного процессора CoreSight ETM11

Автономный CoreSight ETM11 программируется, используя ETM/JTAGPORT.

					ЮФКВ.431268.005РЭ			Лист
								23
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

CoreSight ETM11 является Intelligent Energy Management(IEM)-готовым, но уровень технологической поддержки зависит от специфики реализации.

1.3.2.3.2 Встроенный Буфер Трассировки

Функциональность любого из Встроенных Трассировочных Макроячеек (ЕТВ) могут быть расширены дополнением Встроенного Буфера Трассировки.

ЕТВ является областью памяти на чипе, где загруженная информация трассируется лучше, чем та, которая была выведена сразу через порты трассировки в устройстве.

Далее однажды законченно-фиксированная загруженная информация может быть выведена при замедленном тактовом сигнале из ЕТВ. Это делается через JTAG порт устройства.

Существует двух-шаговый процесс перемещения часто используемого широкого высокоскоростного порта трассировки. Хорошо, если порт трассировки «zero-pin» представляет, где устройство уже имеет JTAG порт. ЕТВ может принимать данные на повышенной частоте и с заполненным 32-разрядным портом данных, чрезмерно ограничивая пропускную способность порта трассировки.

Структура системы, использующей буфер трассировки, приведена на Рисунок 10.

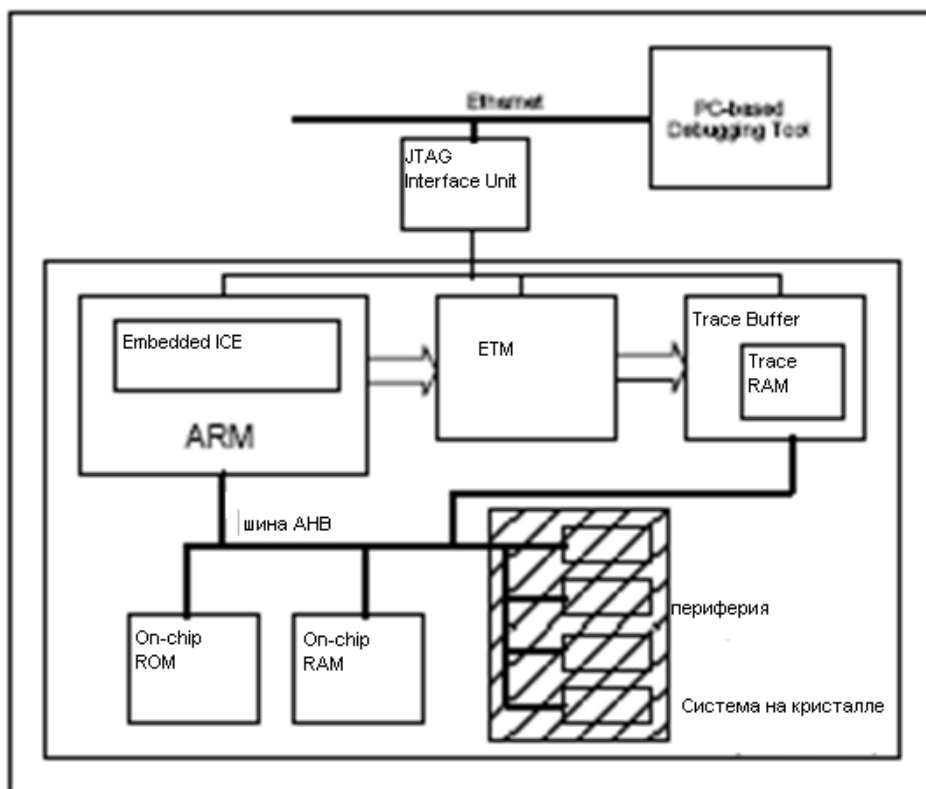
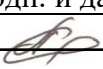


Рисунок 10 – Использование буфера трассировки

1.3.2.3.3 Инструменты отладки и трассировки

ARM предоставляет полный диапазон внешних программных и аппаратных средств для возможности отладки в реальном времени, используя Встроенную Трассировочную Макроячейку.

					ЮФКВ.431268.005РЭ			Лист
								24
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

1.3.2.3.3.1 Трассировочные интерфейсы модулей RealView ICE и RealView Trace

Интерфейс модуля RealView ICE управляет устройствами с JTAG портом с помощью Ethernet или USB инструментов. Это позволяет связываться с регистрами управления ETM и ETB - памятью с помощью TAP контроллера, расположенного на чипе.

Внешний вид комплекта модулей трассировки и отладки RealView ICE и RealView Trace приведен на Рисунок 11.



Рисунок 11 – Комплект модулей трассировки и отладки RealView ICE и RealView Trace

Разъем Модуля RealView Отладки присоединяется к модулю RealView ICE и подсчитывает до 4 миллионов циклов от трассировочного порта устройства при частоте до 250 МГц. Модуль суммирует временные метки с периодичностью 10 нс и продолжительностью до 32 дней.

1.3.2.3.3.2 RealView набор программ разработчика

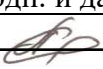
Отладчик RealView запускается на Windows/Linux PC или в рабочей среде Solaris и связывается с нужными устройствами через любой из имеющихся интерфейсных модулей. Отладчик уменьшает интенсивность и показывает выполненную трассировку либо на плате, либо вне ее. Отладочная и трассировочная конфигурация настраивается через окно источника в отладчике и анализирует дисплейное окно, включая обращение к графическому профилю в программе трассировки.

1.3.2.4 Контроллер прерываний

Контроллер прерываний (VIC) работает с помощью шины AMBA (Advanced Microcontroller Bus Architecture), и является периферийной системой, которая тестируется, развивается и лицензируется ARM.

Контроллер прерываний предоставляет интерфейс системы прерываний и уменьшает задержку двумя способами:

- Взаимодействуя с контроллером прерываний по шине AMBA АНВ
- Приходящие векторы прерываний поддерживают все источники прерываний
- Обеспечивается поддержка VIC порта процессора ARM v6, совместимого с процессорами ARM11 и ARM1026EJ.

					ЮФКВ.431268.005РЭ			Лист
								25
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

1.3.2.4.1 Возможности Контроллера Прерываний

Контроллер прерываний имеет следующие возможности:

- Соответствие с спецификацией AMBA (Rev.2.0) для легкой интеграции в систему на кристалле.
- Поддерживает 32 вектора IRQ прерываний
- Для аппаратных прерываний существуют фиксированные уровни приоритета
- Программируемые прерывания имеют фиксированные уровни приоритета
- Приоритетный уровень аппаратных прерываний маскируется
- Приоритетный уровень программируемых прерываний маскируется
- Генерация IRQ и FIQ
- Размещение АНВ для более быстрого ответа прерываний
- Генерация программных прерываний
- Наличие тестовых регистров
- Столбец статуса прерываний
- Запрос статуса прерываний
- Привилегированный режим поддержки для ограниченной передачи
- Контроллеры прерываний можно последовательно соединить (поддерживается для PL190, PL192 и набора инструментов AMBA (ADK)) в один контроллер прерываний.
- Поддержка Порта прерываний ARM v6 в синхронном и асинхронном режимах разрешает быстрое обслуживание прерываний при соединении с процессорами ARM11 или ARM1026EJ

1.3.2.4.2 Карта регистров прерываний

Таблица 5 - Карта регистров контроллера прерываний для функционального режима

Регистр	Адрес относ. базы	Доступ	Битовые поля	Знач. по RESET HRESETn	Описание
VICIRQSTATUS	0x000	R	31 - 0	0x00000000	Задаёт статус IRQ
VICFIQSTATUS	0x004	R	31 - 0	0x00000000	Задаёт статус FIQ
VICRAWINTR	0x008	R	31 - 0	-	Задаёт строчный статус прерыв.
VICINTSELECT	0x00C	R/W	31 - 0	0x00000000	Выбирает тип прерывания IRQ или FIQ
VICINTENABLE	0x010	R/W	31 - 0	0x00000000	Разрешение прерывания
VICINTENCLEAR	0x014	W	31 - 0	-	Разрешение обнуления прерыван.
VICSOFTINT	0x018	R/W	31 - 0	0x00000000	Генерирует программное прер.
VICSOFTINTCLEAR	0x01C	W	31 - 0	-	Обнуляет программное прер.
VICPROTECTION	0x020	R/W	0	0x0	Разрешение защиты
VICSWPRIORITYMASK	0x024	R/W	15 - 0	0xFFFF	Программная маска приоритетов
VICVECTPRIORITY DAISY	0x028	R/W	3 - 0	0xF	Векторный приоритет для Daisy Chain VIC
VICADDRESS	0xF00	R/W	31 - 0	0x00000000	ISR адрес для текущего обслуживаемого прерывания
VICVECTADDRX	0x100 - 0x17C	R/W	31 - 0	0x00000000	Векторные адреса 32 источников прерываний [x=0 до 31]
VICVECTPRIORITYX	0x200 - 0x27C	R/W	3 - 0	0xF	Значения вект приоритетов 32 источн. прерываний [x=0 до 31]

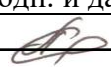
					ЮФКВ.431268.005РЭ			Лист
								26
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Таблица 6 - Карта регистров контроллера прерываний для интегрального тестового режима

Регистр	Адрес относ базы	Дос- тип	Бит. поля	Значен при обнулен. HRESETn	Описание
VICITCR	0x300	R/W	1 – 0	0x0	Тестовый управл. регистр
VICITIP1	0x304	R/W	10 – 6	-	Тестовый входной регистр 1
VICITIP2	0x308	R/W	31 – 0	-	Тестовый входной регистр 2
VICITOP1	0x30C	R/W	8 – 6	0x000	Тестовый выходной регистр 1
VICITOP2	0x310	R/W	31 – 0	0x00000000	Тестовый выходной регистр 2
VICINTSSTATUS	0x314	R	31 – 0	0x00000000	Статус образца источн. прерываний
VICINTSSTATUS CLEAR	0x318	W	31 – 0	-	Статус обнуления образца источника прерываний

Таблица 7 - Карта регистров контроллера прерываний для режима идентификации

Регистр	Адрес относ базы	Дос- тип	Битов. поля	Значение по RESET HRESETn	Описание
VICPERIPHID0	0xFE0	R	7 – 0	0x92	Периф. ID регистр Биты 7:0
VICPERIPHID1	0xFE4	R	15 – 8	0x11	Периф. ID регистр. Биты 15:8
VICPERIPHID2	0xFE8	R	23 – 16	0x04	Периф. ID регистр. Биты 23:16
VICPERIPHID3	0xFEC	R	31 – 24	0x00	Периф. ID регистр. Биты 31:24
VICPCCELLID0	0xFF0	R	7 – 0	0x0D	PrimeCell ID регистр Биты 7:0
VICPCCELLID1	0xFF4	R	15 – 8	0xF0	PrimeCell ID регистр Биты 15:8
VICPCCELLID2	0xFF8	R	23 – 16	0x05	PrimeCell ID регистр Биты 23:16
VICPCCELLID3	0xFFC	R	31 – 24	0xB1	PrimeCell ID регистр Биты 31:24

Примечание:

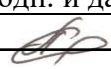
Незаполненные значения в столбце “Reset Value” В таблицах 3 и 4 означают, что значения после обнуления неизвестны. Это из-за того, что эти регистры, запрашиваются от внешних входов nVICIRQIN, nVICFIQIN и VICVECTADDRIN. Действительные значения этих регистров будут следовательно зависеть от значений, присутствующих на этих входах.

Таблица 8 - Регистры с единичным временем ожидания (1 такт синхроимпульса) при чтении/записи

Регистры с единичным состоян. ожидания	Адрес относительно базы
VICVECTADDRX[31:0] (X = 0 to 31)	0x100 – 0x17C
VICVECTPRIORITYX[31:0] (X = 0 to 31)	0x200 – 0x27C

Таблица 9 - Регистры с нулевым временем ожидания

Регистры с нулевым состоянием ожидания	Адрес смещения относительно базы
VICIRQSTATUS	0x000

					ЮФКВ.431268.005РЭ			Лист
								27
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Продолжение таблицы 9

Регистры с нулевым временем ожидан.	Адрес смещения относительно базы
VICFIQSTATUS	0x004
VICRAWINTR	0x008
VICINTSELECT	0x00C
VICINTENABLE	0x010
VICINTENCLEAR	0x014
VICSOFTINT	0x018
VICSOFTINTCLEAR	0x01C
VICPROTECTION	0x020
VICSWPRIORITYMASK	0x024
VICVECTPRIORITY DAISY	0x028
VICITCR	0x300
VICITIP1	0x304
VICITIP2	0x308
VICITOP1	0x30C
VICITOP2	0x310
VICINTSSTATUS	0x314
VICINTSSTATUSCLEAR	0x318
VICADDRESS	0xF00
VICPERIPHID0	0xFE0
VICPERIPHID1	0xFE4
VICPERIPHID2	0xFE8
VICPERIPHID3	0xFEC
VICPCCELLID0	0xFF0
VICPCCELLID1	0xFF4
VICPCCELLID2	0xFF8
VICPCCELLID3	0xFFC

1.3.2.4.3 Карта прерываний СБИС ДЦТС

Карта прерываний СБИС ДЦТС представлена в Таблица 10

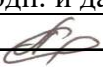
					ЮФКВ.431268.005РЭ			Лист
								28
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

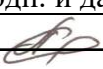
Таблица 10 – Карта прерываний СБИС ДЦТС

№	Контроллер VIC0	№	Контроллер VIC1
0	GPIO_3 канал 0	32	SPI ch.1
1	GPIO_3 канал 1	33	I ² C канал 3
2	Software Interrupt 2 от SCTL	34	Ethernet контроллер
3	Software Interrupt 3 от SCTL	35	USB контроллер
4	Таймер, канал 0	36	NAND IF
5	Таймер, канал 1	37	DVB-CI
6	Watchdog	38	TS interface
7	UART0	39	AES
8	UART1	40	CRYPTO
9	UART2/IrDa	41	HDMI
10	GPIO_3 канал 2	42	Video interface
11	SCI	43	Graphic Accelerator
12	GPIO_3 канал 3	44	MSVD
13	GPIO_4 канал 0	45	GPIO_A ch.4
14	NMC High	46	GPIO_A ch.5
15	NMC Low	47	GPIO_A ch.6
16	XDMAC ch.0	48	GPIO_A ch.7
17	XDMAC ch.1	49	IRQ_MEDIA
18	XDMAC ch.2	50	I2S
19	XDMAC ch.3	51	SPDIF
20	XDMAC ch.4	52	ПДП ARM1176JZF-S
21	XDMAC ch.5	53	AUDIO DMA
22	XDMAC ch.6	54	Ошибка ПДП от ARM1176JZF-S
23	XDMAC ch.7	55	System metrics ARM1176JZF-S
24	Внешнее 0	56	ПДП ARM1176JZF-S защищенное
25	GPIO_4 канал 1	57	GPIO_3 комбинированное
26	GPIO_4 канал 2	58	GPIO_4 комбинированное
27	GPIO_5 комбинированное	59	GPIO_A канал 0
28	I ² C канал 0	60	GPIO_A канал 1
29	I ² C канал 1	61	GPIO_A канал 2
30	I ² C канал 2	62	GPIO_A канал 3
31	SPI канал 0	63	GPIO_A комбинированное

1.3.2.5 Система памяти СБИС ДЦТС

Система памяти содержит четыре банка внутренней памяти микросхемы IMEM, два интерфейса с внешней динамической памятью типа DDR, интерфейсы с внешней flash-памятью. Такая конфигурация в сочетании с кэшем команд и данных, памятью TCM процессора ARM и буферами данных блока декодирования видео обеспечивает иерархическую систему памяти с пропускной способностью, необходимой для решения всех возложенных на систему задач.

1.3.2.5.1 Карта памяти СБИС ДЦТС

					ЮФКВ.431268.005РЭ			Лист
								29
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

СБИС ДЦТС содержит набор устройств, которые могут выполнять обращения к памяти. В зависимости от назначения и выполняемых функций блоков, карта памяти для каждого из устройств может быть различной.

Отдельные области памяти могут быть доступны для доступа только выделенным устройствам. Для прочих доступов такие области памяти являются зарезервированными.

Карта памяти СБИС ДЦТС представлена на Рисунок 12.

Start	End	
0x00000000	0x000fffff	BOOT ROM/TCM
0x00100000	0x0013ffff	IM0
0x00140000	0x0017ffff	IM1
0x001c0000	0x0ffffff	reserved
0x10000000	0x1000ffff	reserved
0x10010000	0x1002ffff	reserved
0x10030000	0x1003ffff	reserved
0x10040000	0x1004ffff	USB
0x10050000	0x1005ffff	DVB-CI
0x10060000	0x1006ffff	reserved
0x10070000	0x1007ffff	XDMAC REG
0x10080000	0x1008ffff	reserved
0x10090000	0x1ffffff	reserved
0x20000000	0x2000ffff	VIC0
0x20010000	0x2001ffff	VIC1
0x20020000	0x2002ffff	APB_C
0x20030000	0x2003ffff	APB_D
0x20040000	0x2004ffff	AES
0x20040000	0x23ffffff	reserved
0x24000000	0x24ffffff	
0x25000000	0x2ffffff	reserved
0x30000000	0x3ffffff	reserved
0x40000000	0x7ffffff	EM0
0x80000000	0x800fffff	BOOT ROM MIRROR
0x80100000	0x8013ffff	IM2
0x80140000	0x8014ffff	reserved
0x80150000	0x8015ffff	AU_0
0x80160000	0x8016ffff	AU_1
0x80170000	0x8017ffff	APB_MULT
0x80180000	0x8019ffff	Video Decoder
0x80200000	0x9ffffff	reserved
0xa0000000	0xbffffff	SERIAL FLASH
0xc0000000	0xffffffff	EM1

Рисунок 12 - Карта памяти СБИС ДЦТС

Карта устройств шин APB представлена в Таблица 10, Таблица 12 и

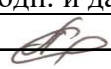
					ЮФКВ.431268.005РЭ			Лист
								30
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 13.

Таблица 11 - Карта устройств шины APB_D

№	Start	End	APB D	
0	0x20030000	0x20030fff	TS REG	Конфигурирование TSP
1	0x20031000	0x20031fff	DMC1 REG	Конфигурирование DMC1
2	0x20032000	0x20032fff	DMC0 REG	Конфигурирование DMC0
3	0x20033000	0x20033fff	UOTP	User OTP ROM / APBEFUSEIF
4	0x20034000	0x20034fff	GRETH	Контроллер Ethernet
5	0x20035000	0x20035fff	GPIO_4	Устройство GPIO ARM 8 - GPIO
6	0x20036000	0x20036fff	GPIO_5	Устройство GPIO ARM 8 - GPIO
7	0x20037000	0x20037fff	PL301A	Конфигурирование PL301A
8	0x20038000	0x20038fff	GPIO_9	
9	0x20039000	0x20039fff	PL301C	Конфигурирование PL301C
A	0x2003a000	0x2003afff	PL301D	Конфигурирование PL301D
B	0x2003b000	0x2003bfff	PL301F	Конфигурирование PL301F
C	0x2003c000	0x2003cfff	SCTL	Конфигурирование SCTL
D	0x2003d000	0x2003dfff	CRYPTO	Конфигурирование CRYPTO
E	0x2003e000	0x2003efff	CRG	Конфигурирование CRG
F	0x2003f000	0x2003ffff	NAND	Конфигурирование NAND

Таблица 12 – Карта устройств шины APB_C

№	Start	End	APB C	
0	0x20020000	0x20020fff	I2C0	Устройство I2C0
1	0x20021000	0x20021fff	I2C1	Устройство I2C1
2	0x20022000	0x20022fff	UART/IRDA	Устройство UART/IRDA
3	0x20023000	0x20023fff	SPI1	Устройство SPI
4	0x20024000	0x20024fff	TIMER	Устройство TIMER
5	0x20025000	0x20025fff	WD	Устройство WD
6	0x20026000	0x20026fff	I2C2	Устройство I2C2
7	0x20027000	0x20027fff	SCI	Устройство SCI
8	0x20028000	0x20028fff	EXIRC0	Устройство EXIRC0
9	0x20029000	0x20029fff	GPIO-F	Устройство GPIO fujitsu 32 - GPIO
A	0x2002a000	0x2002afff	GPIO-2a	Устройство GPIO ARM 8 - GPIO
B	0x2002b000	0x2002bfff	UART0	Устройство UART0
C	0x2002c000	0x2002cfff	UART1	Устройство UART1
D	0x2002d000	0x2002dfff	I2C3	Устройство I2C3
E	0x2002e000	0x2002efff	SPI0	Устройство SPI0
F	0x2002f000	0x2002ffff	GPIO_3	Устройство GPIO ARM 8 - GPIO

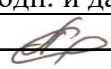
					ЮФКВ.431268.005РЭ			Лист
								31
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 13 - Карта устройств шины APB_MULT

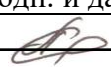
№	Start	End	APB_MULT	
0	0x80170000	0x80170fff	graphic	Конфигурирование graphic
1	0x80171000	0x80171fff	hdmi	Конфигурирование hdmi
2	0x80172000	0x80172fff	mif	Конфигурирование mif
3	0x80173000	0x80173fff	vdu	Конфигурирование vdu
4	0x80174000	0x80174fff	Pl301b	Конфигурирование Pl301b
5	0x80175000	0x80175fff	Crg_mult1	Конфигурирование Crg_mult1
6	0x80176000	0x80176fff	Crg_mult2	Конфигурирование Crg_mult2
7	0x80177000	0x80177fff	GPIO-0	
8	0x80178000	0x80178fff	reserved	Зарезервировано
9	0x80179000	0x80179fff	reserved	Зарезервировано
A	0x8017a000	0x8015afff	reserved	Зарезервировано
B	0x8017b000	0x8015bfff	reserved	Зарезервировано
C	0x8017c000	0x8015cfff	reserved	Зарезервировано
D	0x8017d000	0x8015dfff	reserved	Зарезервировано
E	0x8017e000	0x8015efff	reserved	Зарезервировано
F	0x8017f000	0x8015ffff	reserved	Зарезервировано

1.3.2.5.2 Карта доступных адресов памяти мастер-устройств СБИС ДЦТС

Карта доступных адресов памяти мастер-устройств СБИС ДЦТС представлена в Таблица 14

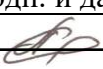
Таблица 14 – Карта доступности адресов памяти СБИС ДЦТС

Мастер - устройство	Доступные устройства	Стартовый адрес	Конечный адрес
a1176_w	all	0x00000000	0xffffffff
a1176_i	intmem0	0x00100000	0x0013ffff
	intmem1	0x00140000	0x0017ffff
	dmc0	0x40000000	0x7fffffffff
	axi_du	0x10030000	0x1005ffff
		0xa0000000	0xbfffffffff
	bootm	0x00000000	0x0000ffff
		0x80000000	0x8000ffff
xdmac_a	intmem1	0x00140000	0x0017ffff
	dmc0	0x40000000	0x7fffffffff
	axi_du	0x10030000	0x1005ffff
		0xa0000000	0xbfffffffff
	bootm	0x00000000	0x0000ffff
		0x80000000	0x8000ffff
	axi_ac	0x20000000	0x2003ffff
a1176_d	intmem0	0x00100000	0x0013ffff
	intmem1	0x00140000	0x0017ffff
	dmc0	0x40000000	0x7fffffffff
nmc	all	0x00000000	0xffffffff
msvd_sr1	dmc0	0x40000000	0x7fffffffff

					ЮФКВ.431268.005РЭ			Лист
								32
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

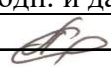
Продолжение Таблица 14

Мастер - устройство	Доступные устройства	Стартовый адрес	Конечный адрес
ts_if	intmem0	0x00100000	0x0013ffff
	intmem1	0x00140000	0x0017ffff
	dmc0	0x40000000	0x7fffffff
ga	intmem0	0x00100000	0x0013ffff
	intmem1	0x00140000	0x0017ffff
	dmc0	0x40000000	0x7fffffff
axi_dd	intmem0	0x00100000	0x0013ffff
	intmem1	0x00140000	0x0017ffff
	dmc0	0x40000000	0x7fffffff
vdu_a	intmem0	0x00100000	0x0013ffff
	intmem1	0x00140000	0x0017ffff
	dmc0	0x40000000	0x7fffffff
msvd_sr2	dmc0	0x40000000	0x7fffffff
crypto	intmem0	0x00100000	0x0013ffff
	intmem1	0x00140000	0x0017ffff
	dmc0	0x40000000	0x7fffffff
greth	all	0x00000000	0xffffffff

					ЮФКВ.431268.005РЭ			Лист
								33
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Продолжение Таблица 14

aud_dma	intmem0	0x00100000	0x0013ffff
	intmem1	0x00140000	0x0017ffff
	dmc0	0x40000000	0x7fffffff
	axi_ab	0x80100000	0x8019ffff
		0xc0000000	0xffffffff
msvd_ipma	dmc1	0xc0000000	0xffffffff
msvd_cpma	dmc1	0xc0000000	0xffffffff
msvd_mcma	dmc1	0xc0000000	0xffffffff
msvd_osma	dmc1	0xc0000000	0xffffffff
msvd_lfma_ln	dmc1	0xc0000000	0xffffffff
	intmem2	0x80100000	0x8013ffff
msvd_lfma_fr	dmc1	0xc0000000	0xffffffff
msvd_bpma	dmc1	0xc0000000	0xffffffff
msvd_pe_nsuma	dmc1	0xc0000000	0xffffffff
	intmem2	0x80100000	0x8013ffff
msvd_su_nsuma	dmc1	0xc0000000	0xffffffff
	intmem2	0x80100000	0x8013ffff
msvd_psuma	dmc1	0xc0000000	0xffffffff
axi_ba	dmc1	0xc0000000	0xffffffff
	intmem2	0x80100000	0x8013ffff
	au0	0x80150000	0x8015ffff
	au1	0x80160000	0x8016ffff
	msvd_ctrl	0x80180000	0x8019ffff
	apb_mult	0x80170000	0x8017ffff
vdu_b	dmc1	0xc0000000	0xffffffff
a1176_p	vic0	0x20000000	0x2000ffff
	vic1	0x20010000	0x2001ffff
	apb_c	0x20020000	0x2002ffff
	apb_d	0x20030000	0x2003ffff
	aes	0x20040000	0x2004ffff
axi_ca	vic0	0x20000000	0x2000ffff
	vic1	0x20010000	0x2001ffff
	apb_c	0x20020000	0x2002ffff
	apb_d	0x20030000	0x2003ffff
	aes	0x20040000	0x2004ffff
axi_ad	bus_if	0x10050000	0x1005ffff
	spi	0xa0000000	0xbfffffff
	usbhs	0x10040000	0x10047fff
	usbfs	0x10048000	0x1004ffff
nand	axi_am	0x00000000	0x002fffff
		0x40000000	0x7fffffff
usb	axi_am	0x00000000	0x002fffff
		0x40000000	0x7fffffff

					ЮФКВ.431268.005РЭ			Лист
								34
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.2.6 Универсальный контроллер ПДП

1.3.2.6.1 Возможности XDMAC

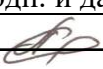
XDMAC предлагает:

- Соответствие с протоколом AXI (AMBA v3) для легкой интеграции в SoC приложение.
- 8 ПДП каналов
- 2 ПДП триггера
 - Внешний/Периферийный запрос на передачу (14 внешних/периферийных запросов по 1 каналу)
 - Запрос программного обеспечения (для записи регистров)
- Базовый пакет ПДП передачи. Так же поддерживается Блочная передача.
- Внутренняя 16-парная очередь слов(128 байт) FIFO.
- 32 разрядные Байтовые регистры счетчиков устанавливаются программно.
- 8, 36, 32 и 64 разрядная передача.
- Возрастающая и не возрастающая адресация источников и приемников
- Перезагрузка регистра адреса Счетчика, Источника и Приемника
- Прерывания при ошибке в передаче с помощью ПДП и при переполнении ПДП.
- Защита аппаратного обеспечения приемника и источника
- Невыровненная передача. (В случаях, когда ПДП выполняет редкую передачу на запись).
- Различные размеры передачи между Источником и Приемником (ПДП поддерживает ограниченную передачу)
- Поддержка последовательности признаков ПДП
- Поддержка AXI интерфейса пониженной мощности (канал C)
- AXI (32 бита) slave ПДП программируемый интерфейс. XDMAC программируется путем записи регистров управления AXI slave I/F.

Атрибуты master-интерфейса в ПДП контроллера представлены блице.

Таблица 15 – Свойства master-интерфейса ПДП контроллера

свойство	описание	значение
Способность к произвольному комбинированию	Максимальное число активных посылок, которые мастер может сгенерировать	2
Способность чтения ID	Максимальное число различных значений ARID, которые мастер может генерировать для всех активных посылок чтения в любой момент времени	1
Ширина чтения ID	Число разрядов в ARID шине	4
Способность к чтению	Максимальное число активных посылок чтения, которые мастер может сгенерировать	1
Способность записи ID	Максимальное число различных AWID значений, которые мастер может сгенерировать для всех посылок записи в любой момент времени	1
Ширина записи ID	Число разрядов в шинах AWID и WID	4
Способность к записи	Максимальное число активных посылок записи, которые мастер может сгенерировать	1

					ЮФКВ.431268.005РЭ			Лист
								35
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Свойства Slave-интерфейса в ПДП контроллере представлены в Таблица 16.

Таблица 16 – Свойства slave-интерфейса ПДП контроллера

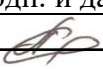
свойство	описание	значение
Способность к записи	Максимальное число активных посылок записи, которые slave может принять	1
Способность к чтению	Максимальное число активных посылок чтения, которые slave может принять	1
Способность к произвольному получению	Максимальное число активных посылок, которые slave может принять. Вы должны определить его, если адреса на чтение и на запись хранятся совместно	1
Глубина чередования записи	Число активных посылок на чтение, для которых slave может передать данные. Считать следует с самой ранней передачи	1
Глубина повторного чтения данных	Максимальное число активных посылок записи, которые мастер может сгенерировать	1

1.3.2.6.2 Конфигурация

ПДП контроллер состоит из следующих блоков:

- AXI Master управления
- AXI Slave управления
- AXI Slave данных
- DMAC канала
- DMAC Master
- Набора регистров
- Всех регистров канала
- FIFO
- Синхронизации

Структурная схема универсального контроллера ПДП приведена на Рисунок 13.

					ЮФКВ.431268.005РЭ			Лист
								36
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

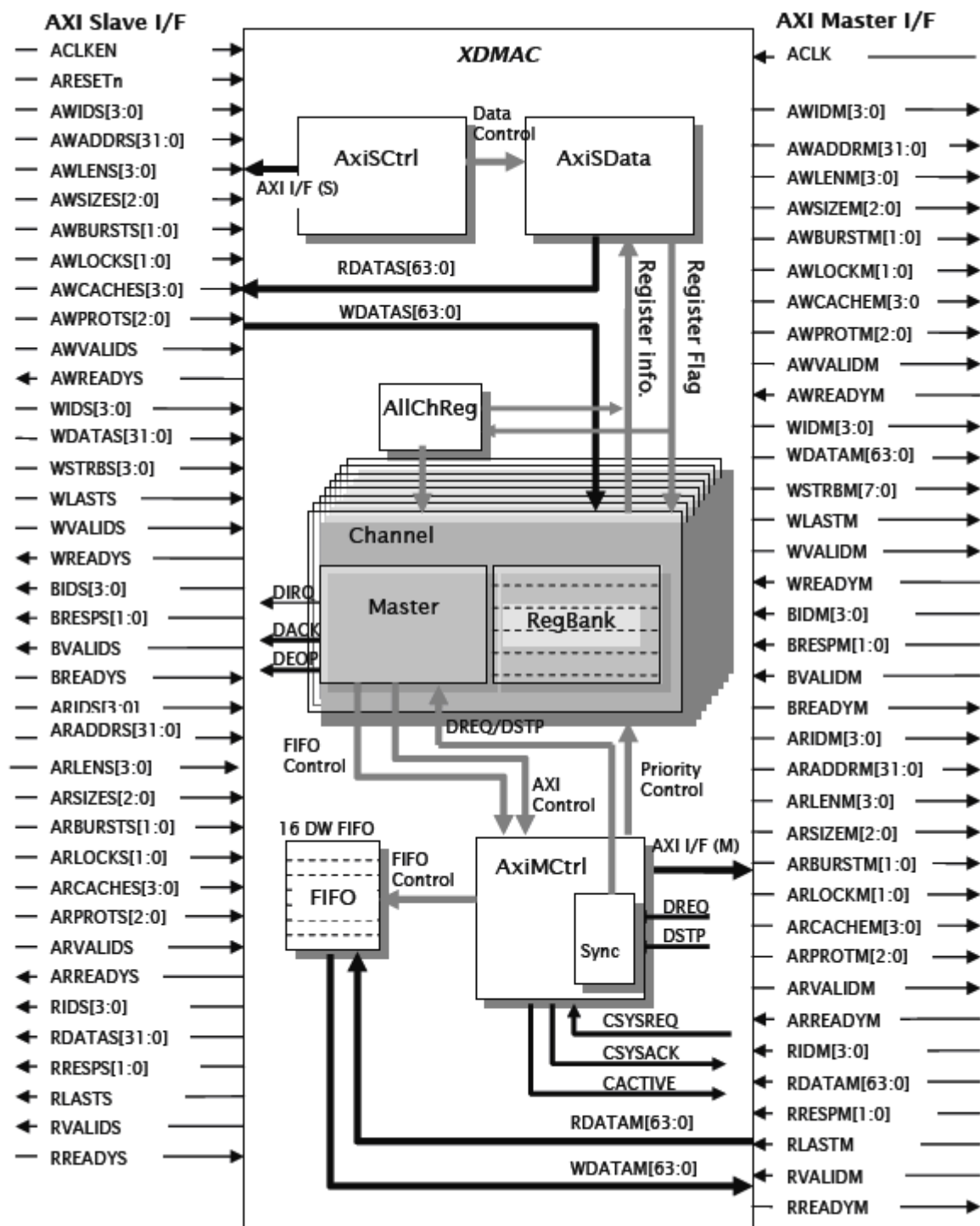


Рисунок 13 – Структурная схема универсального ПДП контроллера
Регистры ПДП контроллера представлены в Таблица 17.

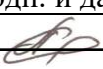
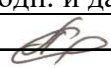
					ЮФКВ.431268.005РЭ			Лист
								37
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Таблица 17 – Регистры ПДП контроллера

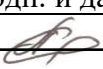
Адрес	Регистр	Описание
AXI-DMA Controller (XDMAC)		
Base + 00h	XDACS XDMAC	Регистр установки всех каналов
Base + 10h	XDTBC0 XDMAC	Регистр байтового счетчика передачи.
Base + 14h	XDSSA0 XDMAC	Регистр источника стартового адреса.
Base + 18h	XDDSA0 XDMAC	Регистр назначен. стартового адреса.
Base + 1Ch	XDSAC0 XDMAC	Рег. Источн.Конфигурации Доступа.
Base + 20h	XDDAC0 XDMAC	Регистр Назначения Конфигурации Доступа
Base + 24h	XDDCC0 XDMAC	Регистр. Конфигурации цепочки дескрипторов
Base + 28h	XDDDES0 XDMAC DMA	Регистр Разрешения Установки
Base + 2Ch	XDDPC0 XDMAC DMA	Регистр Управления Защитой
Base + 30h	XDDSD0 XDMAC DMA	Регистр Отображения Статуса.
Base + 40h	XDTBC1 XDMAC	Регистр Счетчика байтов Передачи
Base + 44h	XDSSA1 XDMAC	Регистр источника стартового адреса
Base + 48h	XDDSA1 XDMAC	Регистр назначен. стартового адреса
Base + 4Ch	XDSAC1 XDMAC	Рег. Источн.Конфигурации Доступа
Base + 50h	XDDAC1 XDMAC	Регистр Назначения Конфигурации Доступа
Base + 54h	XDDCC1 XDMAC	Регистр. Конфигурации цепочки дескрипторов
Base + 58h	XDDDES1 XDMAC DMA	Регистр Разрешения Установки
Base + 5Ch	XDDPC1 XDMAC DMA	Регистр Управления Защитой
Base + 60h	XDDSD1 XDMAC DMA	Регистр Отображения Статуса
Base + 70h	XDTBC2 XDMAC	Регистр Счетчика байтов Передачи
Base + 74h	XDSSA2 XDMAC	Регистр источника стартового адреса
Base + 78h	XDDSA2 XDMAC	Регистр назначен. стартового адреса
Base + 7Ch	XDSAC2 XDMAC	Рег. Источн.Конфигурации Доступа
Base + 80h	XDDAC2 XDMAC	Регистр Назначения Конфигурации Доступа
Base + 84h	XDDCC2 XDMAC	Регистр. Конфигурации цепочки дескрипторов
Base + 88h	XDDDES2 XDMAC DMA	Регистр Разрешения Установки
Base + 8Ch	XDDPC2 XDMAC DMA	Регистр Управления Защитой
Base + 90h	XDDSD2 XDMAC DMA	Регистр Отображения Статуса
Base + A0h	XDTBC3 XDMAC	Регистр Счетчика байтов Передачи
Base + A4h	XDSSA3 XDMAC	Регистр источника стартового адреса
Base + A8h	XDDSA3 XDMAC	Регистр назначен. стартового адреса
Base + Ach	XDSAC3 XDMAC	Рег. Источн.Конфигурации Доступа
Base + B0h	XDDAC3 XDMAC	Регистр Назначения Конфигурации Доступа

Продолжение Таблица 17

					ЮФКВ.431268.005РЭ			Лист
								38
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Адрес	Регистр	Описание
Base + B4h	XDDCC3 XDMAC	Регистр. Конфигурации цепочки дескрипторов
Base + B8h	XDDDES3 XDMAC DMA	Регистр Разрешения Установки
Base + BCh	XDDPC3 XDMAC DMA	Регистр Управления Защитой
Base + C0h	XDDSD3 XDMAC DMA	Регистр Отображения Статуса
Base + D0h	XDTBC4 XDMAC	Регистр Счетчика байтов Передачи
Base + D4h	XDSSA4 XDMAC	Регистр источника стартового адреса
Base + D8h	XDDSA4 XDMAC	Регистр назначен. стартового адреса
Base + DCh	XDSAC4 XDMAC	Рег. Источн.Конфигурации Доступа
Base + E0h	XDDAC4 XDMAC	Рег. Назнач.Конфигурации Доступа
Base + E4h	XDDCC4 XDMAC	Регистр. Конфигурации цепочки дескрипторов
Base + E8h	XDDDES4 XDMAC DMA	Регистр Разрешения Установки
Base + ECh	XDDPC4 XDMAC DMA	Регистр Управления Защитой
Base + F0h	XDDSD4 XDMAC DMA	Регистр Отображения Статуса
Base + 100h	XDTBC5 XDMAC	Регистр Счетчика байтов Передачи
Base + 104h	XDSSA5 XDMAC	Регистр источника стартового адреса
Base + 108h	XDDSA5 XDMAC	Регистр назначен. стартового адреса
Base + 10Ch	XDSAC5 XDMAC	Рег. Источн.Конфигурации Доступа
Base + 110h	XDDAC5 XDMAC	Рег. Назнач.Конфигурации Доступа
Base + 114h	XDDCC5 XDMAC	Регистр. Конфигурации цепочки дескрипторов
Base + 118h	XDDDES5 XDMAC DMA	Регистр Разрешения Установки
Base + 11Ch	XDDPC5 XDMAC DMA	Регистр Управления Защитой
Base + 120h	XDDSD5 XDMAC DMA	Регистр Отображения Статуса
Base + 130h	XDTBC6 XDMAC	Регистр Счетчика байтов Передачи
Base + 134h	XDSSA6 XDMAC	Регистр источника стартового адреса
Base + 138h	XDDSA6 XDMAC	Регистр назначен. стартового адреса
Base + 13Ch	XDSAC6 XDMAC	Рег. Источн.Конфигурации Доступа
Base + 140h	XDDAC6 XDMAC	Рег. Назнач.Конфигурации Доступа
Base + 144h	XDDCC6 XDMAC	Регистр. Конфигурации цепочки дескрипторов
Base + 148h	XDDDES6 XDMAC DMA	Регистр Разрешения Установки
Base + 14Ch	XDDPC6 XDMAC	Регистр Управления Защитой
Base + 150h	XDDSD6 XDMAC DMA	Регистр Отображения Статуса
Base + 160h	XDTBC7 XDMAC	Регистр Счетчика байтов Передачи
Base + 164h	XDSSA7 XDMAC	Регистр источника стартового адреса
Base + 168h	XDDSA7 XDMAC	Регистр назначен. стартового адреса

Продолжение Таблица 17

					ЮФКВ.431268.005РЭ			Лист
								39
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Адрес	Регистр	Описание
Base + 16Ch	XDSAC7 XDMAC	Регистр источника стартового адреса
Base + 170h	XDDAC7 XDMAC	Регистр назначен. стартового адреса
Base + 174h	XDDCC7 XDMAC	Регистр. Конфигурации цепочки дескрипторов
Base + 178h	XDDDES7 XDMAC DMA	Регистр Разрешения Установки
Base + 17Ch	XDDPC7 XDMAC	Регистр Управления Защитой ПДП
Base + 180h	XDDSD7 XDMAC DMA	Регистр Отображения Статуса.

Более подробно контроллер ПДП описан в документе:

“AXI-DMA Controller (XDMAC) Specifications, Revision r0p9”.

1.3.2.7 Блок сдвоенных таймеров TIME

Блок сдвоенных таймеров в СБИС ДЦТС имеет следующие характеристики:

- Два 32/16-разрядных таймера.
- Для каждого таймера можно настроить режим его работы (свободный счет, периодичный, одиночный)
- Счетчики таймеров работают на частоте 54 МГц
- Каждый таймер имеет свой собственный выход прерывания
- Подключение к системной шине СБИС AMBA APB интерфейса, Используется полный 32-разрядный интерфейс шины данных.

1.3.2.7.1 Устройство блока сдвоенных таймеров

Блок не имеет сигналов, соединенных с внешними выводами микросхемы.

На Рисунок 14 ниже приведена структурная схема блока.

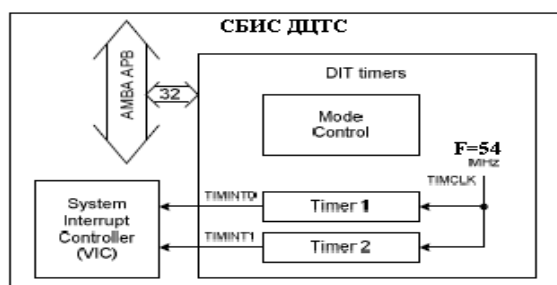


Рисунок 14 - Структурная схема блока сдвоенных таймеров

Модуль сдвоенных таймеров с входами (Dual Input Timers) является APB подчиненным (slave), обеспечивает доступ к двум генерирующим прерывания программируемым 32-разрядным счетчикам Free-Running decrementing Counters (FRCs). Системный синхроимпульс (PCLK) используется для контроля программируемых регистров и второй вход синхроимпульсов используется для того, чтобы выдаваться на счетчик, разрешая работать счетчикам с более медленным синхроимпульсом, чем системный синхроимпульс. Два синхроимпульса должны быть синхронными, когда выполняется доступ. Блок-схема верхнего уровня для таймеров показана на Рисунок 9

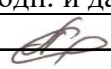
					ЮФКВ.431268.005РЭ			Лист
								40
Изм.	Лист	№ докум.	Подп.	Дата				
Инв. № подл.		Подп. и дата		Взам. инв. №	Инв. № дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			



Рисунок 15 – Блок схема двоянных таймеров с входами

1.3.2.7.2 Функциональное описание

Два таймера определены по умолчанию, хотя это легко может быть расширено через дополнительные установки FRC блока. Тот же самый принцип простого расширения применяется к регистру конфигурации, разрешая использование более сложных счетчиков. Для каждого счетчика разрешены следующие режимы:

Свободно работающий режим

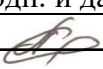
Счетчик совершает оборот после достижения 0-го значения и продолжает уменьшаться, начиная от максимального значения. Это режим по умолчанию.

Режим периодического таймера

Счетчик генерирует прерывание с постоянным интервалом, перезагружая исходное значение после оборота через 0

Одноразовый режим таймера

Счетчик генерирует прерывание один раз. Когда счетчик достигает 0, он останавливается до тех пор, пока не будет перепрограммирован пользователем. Это может быть достигнуто или обнулением One Shot Count бита в управляющем регистре (в этом случае счетчик будет работать в соответствии с выбором в **Свободно работающем режиме** или **Периодическом режиме**) или записью нового значения в регистр **Загрузки значения**

					ЮФКВ.431268.005РЭ			Лист
								41
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

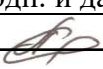
Ниже приведена последовательность работы с таймерами:

1. Необходимо провести начальные настройки используемого таймера, т.е. прописать поля регистра TimerXControl.
2. Загрузить начальное значение счетчика в регистр TimerXLoad.
3. Разрешить счет путем установки бита TimerEn регистра TimerXControl. Если после установки этого бита записать новое значение в регистр TimerXLoad, то счетчик продолжит декрементироваться с нового значения.
4. Другой способ записать новое значение счетчика заключается в записи фоновых регистра TimerXBGLoad. Эта запись не будет иметь мгновенного эффекта, вместо этого записанное значение переписывается в регистр TimerXLoad автоматически по достижению счетчиком нулевого значения.
5. Текущее значение счетчика может быть считано из регистра TimerXValue в любой момент времени.
6. Каждый раз, когда счетчик достигает нулевого значения, генерируется прерывание. Для сброса сгенерированного прерывания необходимо произвести запись в регистр TimerXIntClr. Генерация прерывания может быть замаскирована путем установки соответствующих бит регистра управления TimerXControl.

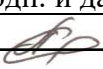
1.3.2.7.3 Регистровая модель блока сдвоенных таймеров

Программно доступные регистры блока сдвоенных таймеров DIT расположены в области памяти периферийных устройств ARMU (ARM Peripheral Area), имеют базовое смещение DIT Base = 0xFFFF88000 и общий размер 4 Кб. Спецификация регистров представлена в таблице ниже:

Таблица 18 - Описание регистров блока сдвоенных таймеров

					ЮФКВ.431268.005РЭ			Лист
								42
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Адрес	Тип	Разрядность	Начальное значение	Имя	Описание
DIT Base + 0x00	ЧТ/ЗП	32	0x00000000	Timer1Load	Регистр загрузки. TimerXLoad
DIT Base + 0x04	ЧТ	32	0xFFFFFFFF	Timer1Value	Регистр текущего значения. TimerXValue
DIT Base + 0x08	ЧТ/ЗП	8	0x20	Timer1Control	Регистр управления. TimerXControl
DIT Base + 0x0C	ЗП	-	-	Timer1IntClr	Регистр снятия прерываний. TimerXIntClr
DIT Base + 0x10	ЧТ	1	0x0	Timer1RIS	Регистр состояния прерывания до наложения маски. TimerXRIS
DIT Base + 0x14	ЧТ	1	0x0	Timer1MIS	Регистр состояния прерывания после наложения маски. TimerXMIS
DIT Base + 0x18	ЧТ/ЗП	32	0x00000000	Timer1BGLoad	Фоновый регистр загрузки. TimerXBGLoad
DIT Base + 0x20	ЧТ/ЗП	32	0x00000000	Timer2Load	Регистр загрузки. TimerXLoad
DIT Base + 0x24	ЧТ	32	0xFFFFFFFF	Timer2Value	Регистр текущего значения. TimerXValue
DIT Base + 0x28	ЧТ/ЗП	8	0x20	Timer2Control	Регистр управления. TimerXControl
DIT Base + 0x2C	ЗП	-	-	Timer2IntClr	Регистр снятия прерываний. TimerXIntClr
DIT Base + 0x30	ЧТ	1	0x0	Timer2RIS	Регистр состояния прерывания до наложения маски. TimerXRIS
DIT Base + 0x34	ЧТ	1	0x0	Timer2MIS	Регистр состояния прерывания после наложения маски. TimerXMIS
DIT Base + 0x38	ЧТ/ЗП	32	0x00000000	Timer2BGLoad	Фоновый регистр загрузки. TimerXBGLoad
DIT Base + 0x40 to 0xEFC	-	-	-	-	Зарезервировано
DIT Base + 0xF00	ЧТ/ЗП	1	0x0	TimerITCR	Регистр управления тестом интеграции. TimerITCR
DIT Base + 0xF04	ЗП	2	0x0	TimerITOP	Регистр управления тестом интеграции. TimerITOP
DIT Base + 0xF08 to 0xFDC	-	-	-	-	Зарезервировано
DIT Base + 0xFE0	ЧТ	8	0x04	TimerPeriphID0	Идентификатор периферийного устройства. TimerPeriphID0 биты [7:0]
DIT Base + 0xFE4	ЧТ	8	0x18	TimerPeriphID1	Идентификатор периферийного устройства. TimerPeriphID1 биты [15:8]
DIT Base + 0xFE8	ЧТ	8	0x04	TimerPeriphID2	Идентификатор периферийного устройства. TimerPeriphID2 биты [23:16]
DIT Base + 0xFEC	ЧТ	8	0x00	TimerPeriphID3	Идентификатор периферийного устройства. TimerPeriphID3 биты [31:24]
DIT Base + 0xFF0	ЧТ	8	0x0D	TimerPCellID0	PrimeCell идентификатор. TimerPCellID0 биты [7:0]
DIT Base + 0xFF4	ЧТ	8	0xF0	TimerPCellID1	PrimeCell идентификатор. TimerPCellID1 биты [15:8]
DIT Base + 0xFF8	ЧТ	8	0x05	TimerPCellID2	PrimeCell идентификатор. TimerPCellID2 биты [23:16]
DIT Base + 0xFFC	ЧТ	8	0xB1	TimerPCellID3	PrimeCell идентификатор. TimerPCellID3 биты [31:24]

					ЮФКВ.431268.005РЭ			Лист
								43
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Далее приведено подробное описание каждого регистра. Заметим, что использование X в названии регистров означает, что регистр относится к Timer 1 либо к блоку Timer2.

Регистр загрузки. TimerXLoad

Регистр TimerXLoad - это 32-х битный регистр, в который программно записывается значение, начиная с которого счетчик должен декрементироваться. Если периодический режим активен и текущее значение достигает нуля, то происходит перезагрузка счетчика.

При записи, текущее значение счетчика незамедлительно меняется на значение, записанное по активному фронту синхросигнала TIMCLK.

Отметим, что минимальным значением для TimerXLoad является 1. Если значение TimerXLoad установлено в 0, то прерывания вырабатываются незамедлительно.

Значение данного регистра всегда переписывается, если прописано значение регистра TimerXBGLoad. Но текущее значение счета изменяется не сразу. Если значения записываются сразу в оба регистра: TimerXLoad и TimerXBGLoad, до прихода активного фронта сигнала TIMCLK, тогда по следующему активному фронту сигнала TIMCLK значение, записанное в регистре TimerXLoad, заменяется текущим значением счета. После чего, каждый раз, когда счетчик достигает значения нуля, текущее значение устанавливается в значение, записанное в TimerXBGLoad.

Значение, считанное из TimerXLoad, - это всегда то значение, которое будет прописано в счетчике, как только он станет равным нулю в периодическом режиме.

Регистр текущего значения. TimerXValue

Регистр TimerXValue – 32-х битный регистр, предназначенный только для чтения, содержит текущее значение декрементирующего счетчика.

После процесса загрузки, когда прописывается новое значение в TimerXLoad, в регистре TimerXValue незамедлительно отражается новое загруженное значение

Отметим, что старшие 16 бит 32-х битного регистра TimerXValue не должны автоматически устанавливаться в нуль, когда используется 16-битный временной режим. Если TimerXValue находится в 16-битном режиме, тогда старшие 16 бит регистра TimerXValue должны иметь ненулевые значения, если перед этим TimerXValue был в 32-битном режиме, и произошла запись в регистр TimerXLoad, прежде чем перейти в 16-битный режим.

Регистр управления. TimerXControl

Формат регистра управления приведен в таблице ниже.

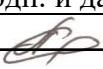
					ЮФКВ.431268.005РЭ			Лист
								44
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 19 - Формат регистра TimerXControl

Биты	Название	Тип	Функции
[31:8]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[7]	TimerEn	ЧТ/ЗП	Бит разрешения: 0 = Timer X FRC неактивен (по умолчанию) 1 = Timer X FRC активен
[6]	TimerMode	ЧТ/ЗП	Бит режима: 0 = Timer X FRC находится в режиме свободного доступа (по умолчанию) 1 = Timer X FRC находится в периодическом режиме.
[5]	IntEnable	ЧТ/ЗП	Бит разрешения прерываний: 0 = Timer X FRC Прерывание неактивно 1 = Timer X FRC Прерывание активно (по умолчанию).
[4]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[3:2]	TimerPre	ЧТ/ЗП	Биты масштабирования частоты счета (делитель частоты): 00 = синхросигнал не делится (по умолчанию) 01 = синхросигнал делится на 16 10 = синхросигнал делится на 256 11 = не используется.
[1]	TimerSize	ЧТ/ЗП	Выбирает 16/32 битный счетчик используется: 0 = 16-битный счетчик (по умолчанию) 1 = 32-битный счетчик.
[0]	OneShot	ЧТ/ЗП	Выбирает однократный или многократный режим счетчика: 0 = многократный режим (по умолчанию) 1 = однократный режим.

Заметим, что состояние счетчика, разрядность или делитель частоты - это установки, которые не должны меняться, пока Timer X FRC работает. Если необходима новая конфигурация, тогда Timer X FRC должен находиться в неактивном состоянии и значения новой конфигурации записываются в соответствующие регистры. Timer X FRC должен быть заново активирован, после чего изменения конфигурации заканчиваются. Отказ следовать данному порядку действий может послужить причиной непредсказуемого поведения блока.

Регистр снятия прерываний. TimerXIntClr

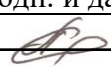
Любая запись в данный регистр снимает прерывание с выхода счетчика.

Регистр состояния прерывания до наложения маски. TimerXRIS

Регистр TimerXRIS указывает на состояние прерываний до наложения маски от счетчика. Формат регистра представлен в таблице ниже.

Таблица 20 - Формат регистра TimerXRIS

Биты	Имя	Тип	Функция
[31:1]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[0]	TimerXRIS	ЧТ	Состояние необработанных прерываний счетчика

					ЮФКВ.431268.005РЭ			Лист
								45
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Регистр состояния прерывания после наложения маски. *TimerXMIS*

Регистр *TimerXMIS* определяет прерывания после наложения маски от счетчика. Это значение представляется логическим элементом "И" между битом состояния необработанного прерывания (*TimerXRIS*) и битом разрешения прерываний (*IntEnable*) регистра управления, и представляет аналогичное значение выходного сигнала *TIMERINTX*. Формат регистра представлен в таблице ниже.

Таблица 21 - Формат регистра *TimerXMIS*

Биты	Имя	Тип	Функция
[31:1]	-	-	Резервные биты, не изменяются, игнорируются при чтении
[0]	<i>TimerXMIS</i>	ЧТ	Состояние бита, разрешающего прерывание от счетчика

Фоновый регистр загрузки. *TimerXBGLoad*

Регистр *TimerXBGLoad* – является 32-битным регистром, который содержит значение, с которого счетчик начинает декрементироваться. Данное значение используется для перезагрузки счетчика в периодическом режиме, и когда текущее значение счета достигает нуля.

Это предоставляет альтернативный метод доступа к регистру *TimerXLoad*. Отличием является то, что запись в *TimerXBGLoad* не означает, что счетчик устанавливает новое значение сразу.

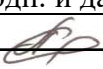
Чтение из этого регистра вернет то же самое значение, возвратное из *TimerXLoad*. Для получения более полной информации смотри раздел «Регистр загрузки. *TimerXLoad*».

Идентификатор периферийного устройства. *TimerPeriphID0-3*

Регистр *TimerPeriphID0-3* представляет четыре 8-битных регистра, предназначенных только для чтения, которые охватывают адресное пространство от 0xFE0 до 0xFEC. Регистры могут быть концептуально представлены как 32-битный регистр. В таблице ниже приведен формат полей этого регистра.

Таблица 22 - Поля идентификатора периферийного устройства. *TimerPeriphID0-3*

Биты	Выполняемые функции
<i>PartNumber</i> [11:0]	Содержит шифр компонента периферийного блока. Для DIT - 0x804
<i>DesignerID</i> [19:12]	Идентификационный номер проектировщика блока. Для ARM - 0x41 (ASCII A)
<i>Revision</i> [23:20]	Является номером ревизии периферийного блока. Номер ревизии начинается с нуля
<i>Configuration</i> [31:24]	Является вариантом конфигурацией периферии. Для DIT 0x0

					ЮФКВ.431268.005РЭ			Лист
								46
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

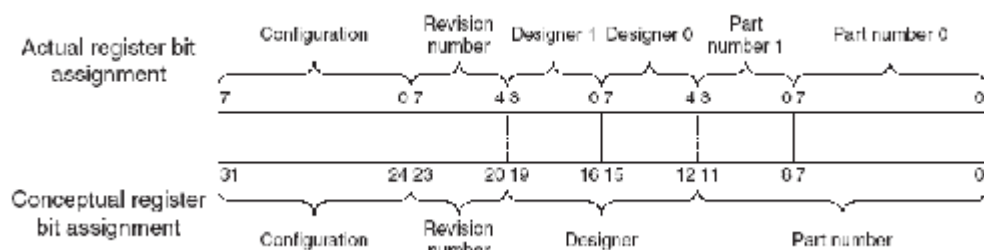


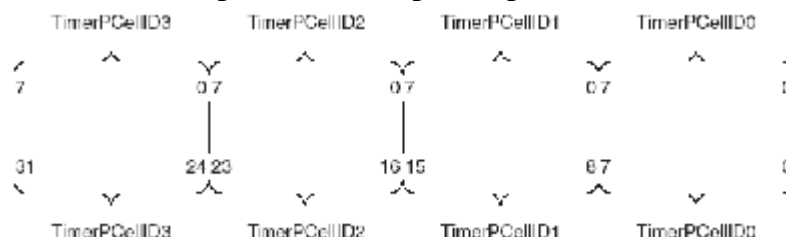
Рисунок 16 – Формат регистра TimerPeriphId0-3

Отметим, что при проектировании важно помнить, что периферийные блоки занимают 4 Кб адресного пространства. Обращение к периферийным регистрам должно быть 32-битным, независимо от их реальной разрядности.

PrimeCell идентификатор. TimerPCellID0-3

Регистры TimerPCellID0-3 – четыре 8-битных регистра, которые охватывают адресное пространство 0xFF0-0xFFC. Регистры, предназначенные только для чтения, могут быть концептуально представлены как 32-битный регистр. Регистр предназначен для идентификации стандартных периферийных блоков в составе системы. Регистр TimerPCellID установлен в 0xB105F00D. На рисунке ниже приведен формат этого регистра.

Действительное битовое присваивание регистра



Концептуальное битовое присваивание регистра

Рисунок 17 – Формат регистра TimerPCellID0-3

Регистр управления тестом интеграции. TimerITCR

Этот одноканальный регистр используется для активации тестового режима проверки правильности интеграции периферийного блока в систему – далее «теста интеграции».

Когда используется этот режим, маскированные сигналы прерывания напрямую контролируются регистром TimerITOP. Формат регистра приведен в таблице ниже.

Таблица 23 – Формат регистра TimerICTR

Биты	Название	Тип	Выполняемая функция
[31:1]	-	-	Зарезервированы, чтение не определено, должны быть записаны нули
[0]	ITEN	ЧТ/ЗП	Разрешение режима «теста интеграции». Когда этот бит установлен в 1, DIT переходит в режим теста интеграции, иначе находится в нормальном режиме.

Регистр управления выходными сигналами. TimerITOP

					ЮФКВ.431268.005РЭ			Лист
								47
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

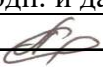
Когда используется режим теста интеграции, выходные сигналы прерывания непосредственно управляются битами этого регистра. Комбинированное прерывание TIMERINTC формируется по логическому "ИЛИ" между битами, установленными в регистре TimerITOR. Формат регистра приведен в таблице ниже.

Таблица 24 – Формат регистра TimerITOR

Биты	Название	Тип	Выполняемая функция
[31:2]	-	-	Зарезервированы, чтение не определено, должны быть записаны нули
[0]	TIMERINT2	ЗП	Значение с выхода TIMERINT2, в режиме теста интеграции
[1]	TIMERINT1	ЗП	Значение с выхода TIMERINT1, в режиме теста интеграции

1.3.2.7.4 Прерывания

Блок имеет 2 прерывания, каждое из которых подключено к системному контроллеру прерываний (VIC).

					ЮФКВ.431268.005РЭ			Лист
								48
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.2.8 Сторожевой таймер WATCHDOG

Сторожевой таймер WATCHDOG предоставляет путь восстановления после программной ошибки. Синхронный импульс WATCHDOG используется для того, чтобы генерировать регулярное прерывание (WDOGINT), зависящее от программируемого значения. WATCHDOG следит за прерываниями и устанавливает сигнал обнуления (WATCHDOGRES), если прерывание остается необслуженным за полный программируемый период. Вы можете сделать значимым или незначимым сторожевой таймер, как требуется. На Рисунок 18 показана блок-схема WATCHDOG



Рисунок 18 - Блок-схема WATCHDOG

Таблица 25 - Регистры устройства WATCHDOG

Адрес	Доступ	Ширина	Знач. по обнул.	Название	Описание
Wdog base + 0x00	Read/Write	32	0xFFFFFFFF	WdogLoad	Watchdog регистр загрузки
Wdog base + 0x04	Read Only	32	0xFFFFFFFF	WdogValue	Текущее значение счетчика Watchdog
Wdog base + 0x08	Read/Write	2	0x0	WdogControl	Watchdog управляющий регистр
Wdog base + 0x0C	Write Only	-	-	WdogIntClr	Обнуляет прерывание Watchdog
Wdog base + 0x10	Read Only	1	0x0	WdogRIS	Watchdog статус прерываний для строк
Wdog base + 0x14	Read Only	1	0x0	WdogMIS	Watchdog статус маскируемых прерываний
Wdog base + 0xC00	Read/Write	32	0x0	WdogLock	Регистр блокировки
Wdog base + 0xF00	Read/Write	1	0x0	WdogITCR	Управляющий регистр интеграц. теста
Wdog base + 0xF04	Write Only	2	0x0	WdogITOP	Регистр набора выходов интеграц. теста
Wdog base + 0xFE0	Read Only	8	0x05	WdogPeriphID0	Периф. ID рег. биты 7:0
Wdog base + 0xFE4	Read Only	8	0x18	WdogPeriphID1	Периф. ID рег. биты 15:8
Wdog base + 0xFE8	Read Only	8	0x04	WdogPeriphID2	Периф. ID рег. биты 23:16
Wdog base + 0xFEC	Read Only	8	0x00	WdogPeriphID3	Периф. ID рег. биты 31:24
Wdog base + 0xFF0	Read Only	8	0x0D	WdogPCellID0	PrimeCell ID рег. биты 7:0
Wdog base + 0xFF4	Read Only	8	0xF0	WdogPCellID1	PrimeCell ID рег. биты 15:8
Wdog base + 0xFF8	Read Only	8	0x05	WdogPCellID2	PrimeCell ID рег. биты 23:16
Wdog base + 0xFFC	Read Only	8	0xB1	WdogPCellID3	PrimeCell ID рег. биты 31:24

Watchdog регистр загрузки (WdogLoad)

					ЮФКВ.431268.005РЭ			Лист
								49
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Этот 32-разрядный регистр содержит значение, начиная с которого счетчик уменьшается. Когда регистр записан, счетчик немедленно рестартует с нового значения. Минимальное значимое значение счетчика есть 1.

Watchdog управляющий регистр (WdogControl)

Это регистр записи/чтения, который позволяет управлять устройством WATCHDOG. Таблице 82 показывает присваивание битов WdogControl регистра.

Таблица 26 - WdogControl регистр

Биты	Название	Доступ	Функция
1	RESEN	Read/write	Разрешение Watchdog выхода обнуления (WDOGRES). Действует как маска выхода обнуления. Устанавливает HIGH для разрешения обнуления и LOW, чтобы сделать обнуление незначимым.
0	INTEN	Read/write	Разрешает событие прерывания (WDOGINT). Устанавливает HIGH для разрешения счетчика и прерывания и устанавливает LOW для незначимости счетчика и прерывания. Загружает счетчик значением в WatchdogLoad, когда прерывание разрешено и было раньше незначимо.

Watchdog регистр обнуления прерывания (WdogIntClr)

Запись любого значения в эту ячейку обнуляет Watchdog прерывание и загружает счетчик значением из WatchdogLoad.

Регистр статуса прерывания для строк (WdogRIS)

Этот регистр указывает статус прерывания строки из счетчика. Это значение логически умножается с битом interrupt enable из управляющего регистра, чтобы создать маскируемое прерывание, когда проходит через выходной пин прерывания. Таблица 27 показывает присваивание бита для WdogRIS регистра.

Таблица 27 - WDOGRIS регистр

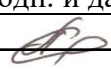
Биты	Название	Доступ	Функция
0	Raw watching interrupt	Read	Статус прерывания строк из счетчика

Регистр статуса прерывания (WdogMIS)

Этот регистр указывает маскируемый статус прерывания из счетчика. Это значение логически умножается с битом статуса прерывания для строк с битом INTEN из управляющего регистра и это же значение проходит через выходной пин прерывания. Таблица 84 показывает присваивание бита для WdogMIS регистра.

Таблица 28 - WDOGMIS регистр

Биты	Название	Доступ	Функция
0	Watchdog interrupt	Read	Статус разрешенного прерывания из счетчика

					ЮФКВ.431268.005РЭ			Лист
								50
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Watchdog регистр блокировки прерывания(WdogLock)

Использование этого регистра позволяет сделать незначимым доступ по записи ко всем другим регистрам.

Таким образом, можно защитить регистры WDOG от некорректно работающего программного обеспечения. Запись значения 0x1ACCE551 разблокирует все регистры блока, т.е. разрешает программный доступ по записи ко всем регистрам. Запись любого другого значения блокирует доступ по записи. Чтение из этого регистра возвращает состояние блокировки:

- 0 – доступ по записи разрешен (нет блокировки)
- 1 – доступ по записи запрещен (заблокирован)

В таблице ниже приведен формат регистра WdogLock.

Таблица 29 - Регистр блокировки прерывания(WdogLock)

Биты	Назваеие	Доступ	Функция
31:0	Разрешение записи в регистр	Write	Разрешается доступ по записи во все другие регистры записью 0x1ACCE551 Запрещается доступ по записизаписью любого другого значения.
0	Статус регистра разрешение записи	Read	0 -Разрешается доступ по записи во все другие регистры (по умолчанию) 1- Запрещается доступ по записи во все другие регистры

Управляющий регистр интеграционного теста (WdogITCR)

Однобитный регистр используется для активации режима интеграционного теста.

Когда используется этот режим, маскируемый выход прерывания **WDOGINT** и выход обнуления **WDOGRES** непосредственно управляются регистром “набор тестовых выходов”

Таблица ниже показывает присваивание бита в WdogITCR.

Таблица 30 - Управляющий регистр интеграционного теста

Биты	Назваеие	Доступ	Функция
0	Integration Test Mode Enable	Read/Write	Когда установлен HIGH, Watchdog в режиме интеграционного теста

Регистр набора тестовых выходов интеграционного теста (WdogITOP)

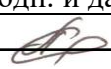
Когда используется этот режим, значимый выход прерывания и выход обнуления выдаются непосредственно из значений этого регистра.

Таблица ниже показывает присваивание битов в WdogITOP регистре.

Таблица 31 - Регистр набора тестовых выходов интеграционного теста

Биты	Назваеие	Доступ	Функция
0	Значение WDOGINT интеграционного теста	Write	Значение выхода на WDOGINT , когда используется интеграционный тест
1	Значение WDOGRES интеграционного теста	Write	Значение выхода на WDOGRES , когда используется интеграционный тест

Регистры идентификации периферийного устройства (WdogPeriphID0-3)

					ЮФКВ.431268.005РЭ			Лист
								51
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

Регистры WdogPeriphID0-3 –это четыре 8-битовых регистра,которые занимают 0xFE0-0xFEC.Эти регистры могут концептуально рассматриваться как один 32-битовый регистр. Регистры, доступные только по чтению, обеспечивают следующие опции для периферийного устройства:

- Part number[11:0]** Это используется, чтобы идентифицировать периферийное устройство. 3 цифры кода продукта 0x805 используется для сторожевого таймера.
- Designer[19:12]** Это идентификация изготовителя. **ARM Limited есть 0x41 (ASCII A).**
- Revision number[23:20]** Номер версии периферийного устройства. Номер версии начинается с 0.
- Конфигурация[31:24]** Это конфигурационная опция периферийного устройства. Значение конфигурации 0.

Рисунок ниже показывает присваивание WdogPeriphID0-3 регистров.

Действительное присваивание битов регистра 1/2/

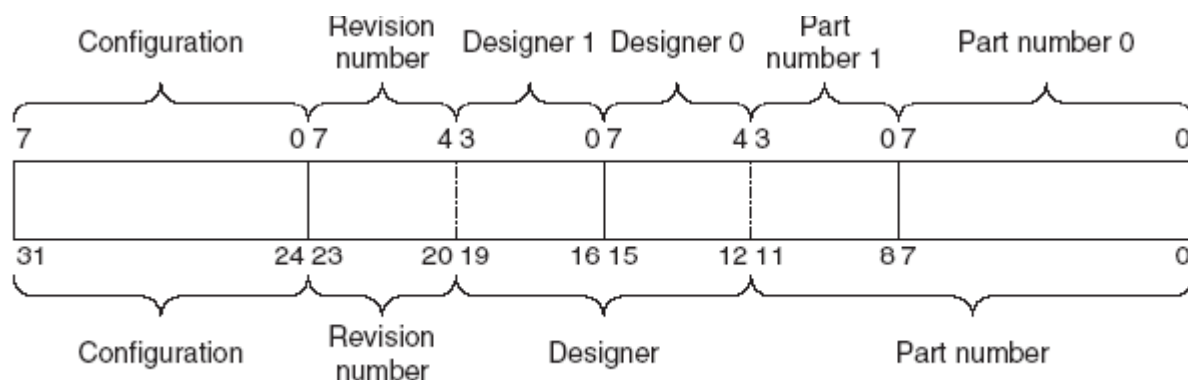


Рисунок 19 – Присваивание регистров идентификации периферийного устройства

Примечание

При проектировании карты памяти важно помнить, что регистры имеют 4Кб адресное пространство. Все обращения к памяти периферийным идентификационным регистрам должны быть 32-битовыми,использующими LDRи STR команды.

WdogPeriphID0 регистр

Таблица 32 - WdogPeriphID0 регистр

Биты	Название	Функция
31:0	-	Зарезервировано, чтение не определено, должны считываться нули
7:0	PartNumber0	Эти биты считываются обратно как 0x05

WdogPeriphID1 регистр

Этот регистр аппаратный и поля внутри регистра определяют значение при обнулении. Таблица ниже показывает присваивание битов WdogPeriphID1 регистра

					ЮФКВ.431268.005РЭ			Лист
								52
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

Таблица 33 - WdogPeriphID1 регистр

Биты	Название	Функция
31:8	-	Зарезервировано, чтение не определено, должны считываться нули
7:4	Designer0	Эти биты считываются обратно как 0x1
3:0	PartNumber1	Эти биты считываются обратно как 0x08

WdogPeriphID2 регистр

Этот регистр аппаратный и поля внутри регистра определяют значение при обнулении. Таблица ниже показывает присваивание битов WdogPeriphID2 регистра

Таблица 34 - WdogPeriphID2 регистр

Биты	Название	Функция
31:8	-	Зарезервировано, чтение не определено, должны считываться нули
7:4	Revision	Эти биты считываются обратно как 0x0
3:0	Designer1	Эти биты считываются обратно как 0x4

WdogPeriphID3 регистр

Этот регистр аппаратный и поля внутри регистра определяют значение при обнулении. Таблица ниже показывает присваивание битов WdogPeriphID3 регистра

Таблица 35 – WdogPeriphID3 регистр

Биты	Название	Функция
31:8	-	Зарезервировано, чтение не определено, должны считываться нули
7:0	Configuration	Эти биты считываются обратно как 0x00

PrimeCell идентификационные регистры (WdogPCellID0-3)

Регистры PrimeCellID0-3 –это четыре 8-битовых регистра,которые занимают 0xFF0-0xFFC.Эти регистры могут концептуально рассматриваться как один 32-битовый регистр. Регистр используется как стандартная коммутационная периферийная система. WdogPCellID регистр установлен в 0xB105F00D. На Рисунок 20 показано присваивание битов для WdogPCellID0-3 регистров.

Действительное присваивание битов регистра.

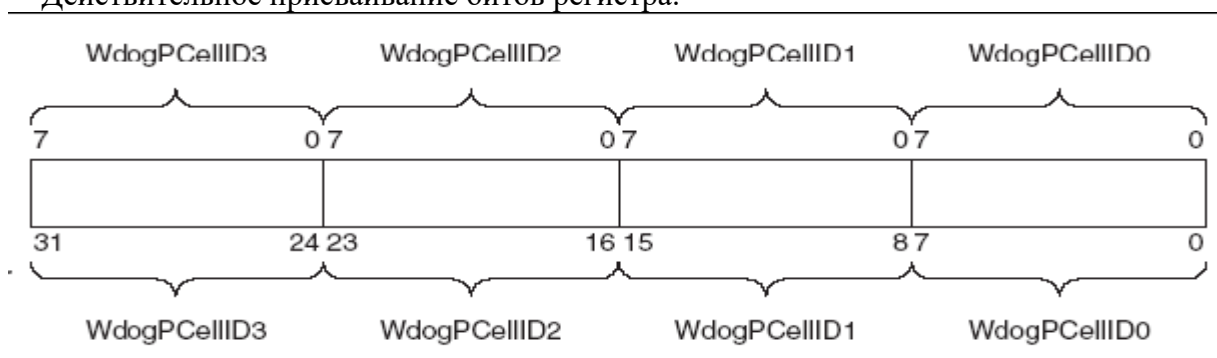


Рисунок 20 – Присваивание битов для WdogPCellID0-3 регистров

WdogPCellID0 регистр

Этот регистр аппаратный и поля внутри регистра определяют значение при обнулении. Таблица ниже показывает присваивание битов WdogPCellID0 регистра

					ЮФКВ.431268.005РЭ			Лист
								53
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Таблица 36 - WdogPCellID0 регистр

Биты	Название	Функция
31:8	-	Зарезервировано, чтение не определено, должны считываться нули
7:0	WdogPCellID0	Эти биты считываются обратно как 0x0D

WdogPCellID1 регистр

Этот регистр аппаратный и поля внутри регистра определяют значение при обнулении. Таблица ниже показывает присваивание битов WdogPCellID1 регистра

Таблица 37 - WdogPCellID1 регистр

Биты	Название	Функция
31:8	-	Зарезервировано, чтение не определено, должны считываться нули
7:0	WdogPCellID1	Эти биты считываются обратно как 0xF0

WdogPCellID0 регистр

Этот регистр аппаратный и поля внутри регистра определяют значение при обнулении. Таблица ниже показывает присваивание битов WdogPCellID0 регистра

Таблица 38 - WdogPCellID2 регистр

Биты	Название	Функция
31:8	-	Зарезервировано, чтение не определено, должны считываться нули
7:0	WdogPCellID2	Эти биты считываются обратно как 0x05

WdogPCellID3 регистр

Этот регистр аппаратный и поля внутри регистра определяют значение при обнулении. Таблица ниже показывает присваивание битов WdogPCellID2 регистра

Таблица 39 - WdogPCellID3 регистр

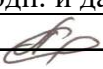
Биты	Название	Функция
31:8	-	Зарезервировано, чтение не определено, должны считываться нули
7:0	WdogPCellID3	Эти биты считываются обратно как 0xB1

1.3.2.9 Системный контроллер SCTL

Контроллер предназначен для хранения конфигурации системы и генерации сигналов управления системой.

Функции контроллера:

- Хранение конфигурации системы в наборе регистров;
- Обеспечение доступа к информации, находящейся в пользовательской OTP памяти;
- Управление генерацией системных тактовых сигналов и сбросов;
- Запись в пользовательскую OTP память в режиме записи.

					ЮФКВ.431268.005РЭ			Лист
								54
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

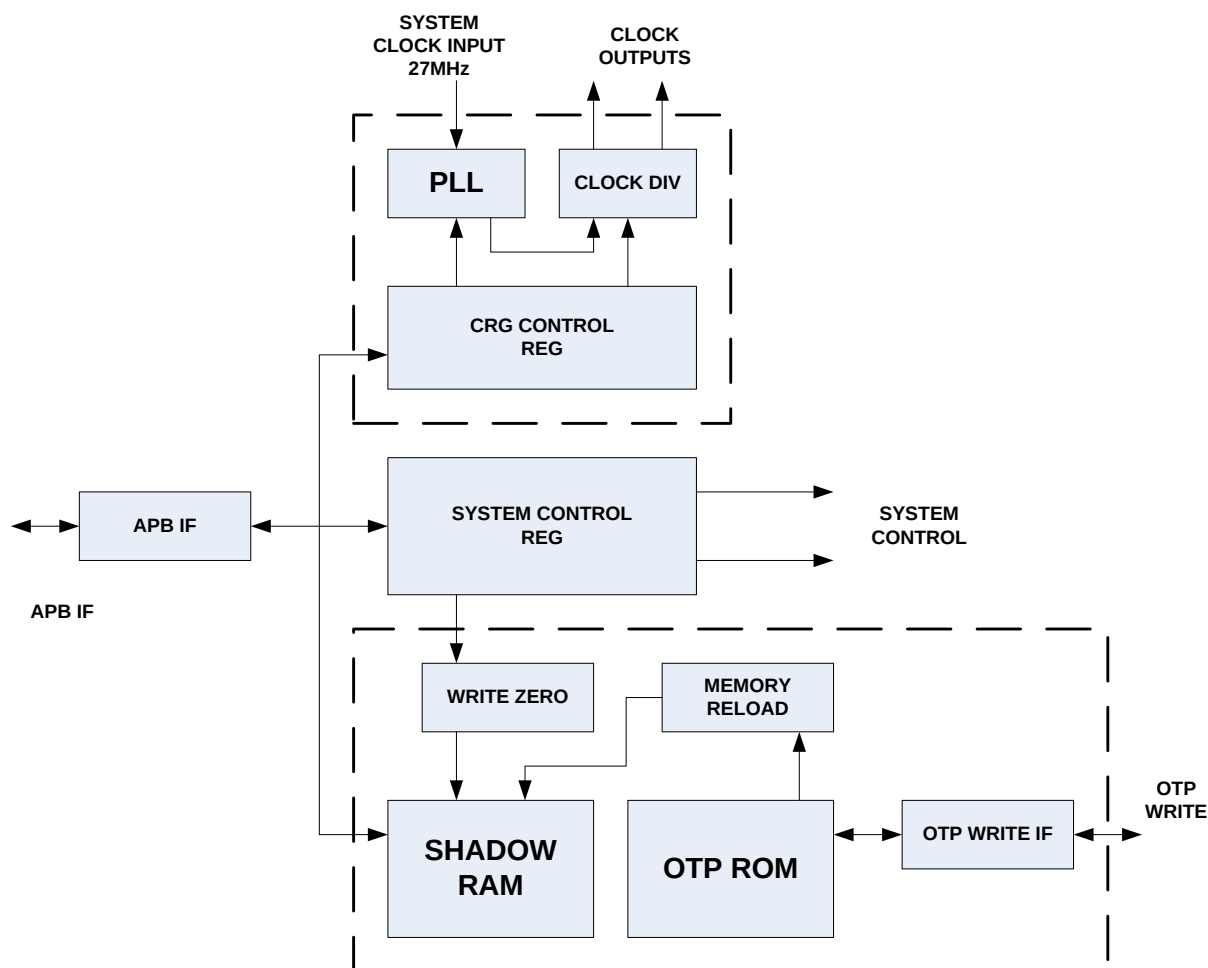


Рисунок 21 – Структура контроллера SCTL

Структура контроллера SCTL представлена на Рисунок 21.

Контроллер состоит из:

- APB интерфейса к набору регистров;
- Блока регистров управления системой;
- Блока пользовательской однократно программируемой OTP памяти.

1.3.2.9.1 SCTL регистры

Регистры контроллера SCTL представлены в

Таблица 40

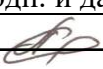
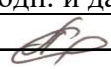
					ЮФКВ.431268.005РЭ			Лист
								55
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Таблица 40 – Регистры контроллера SCTL

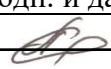
Таблица отчета	Размер	Наименование	Описание	r/w	Номер регистра
0x00	[14:0]	HDMI_CONTROL	Контрольные сигналы HDMI-PHY	R/W	0
0x04	[31:0]	NMC3_INT	Прерывание для NMC3 [0] - запуск прерывания; [8:1] - длительность до сброса регистра.	R/W	1
0x08	[7:0]	INT_P_OUT	Защелкивает прерывания по фронту. Для сброса прерывания необходимо в регистр записать "0".	R/W	2
0xC					3
0x10	[31:0]	NMC3_RST	Вырабатывает сброс для NMC3. [0] - запуск сброса; [8:1] - длительность сброса; [9] - разрешение обнуления регистра; [18:10] - длительность до обнуления регистра; [27:19] - длительность до обнуления регистра;	R/W	4
0x14	[31:0]	NMC3_GPO		R/W	5
0x18	[31:0]	Device_ID (наружу не выведен)		W	6
0x1C	[31:0]	Reg_Wr_prot (наружу не выведен)		W	7
0x20	[31:0]	Pad_Sel (наружу не выведен)		W	8
0x24	[2:0]	Pad_Sel (наружу не выведен)		W	9
0x28	[31:0]	CONFIG_L	Копии из OTP	R	10
0x2C	[31:0]	CONFIG_H	Копии из OTP	R	11
0x30	[0:0]	IRQ_NMC1	Прерывание на VIC от NMC3 (H). Сбрасывается путем записи "1".	R/W	12
0x34	[0:0]	IRQ_NMC0	Прерывание на VIC от NMC3	R/W	13

					ЮФКВ.431268.005РЭ			Лист
								56
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

			(L). Сбрасывается путем записи "1".		
0x38	[0:0]	IRQ_ARM1	Регистр, генерирующий прерывания для ARM	R/W	14
0x3C	[0:0]	IRQ_ARM0	Регистр, генерирующий прерывания для ARM	R/W	15
0x40	[31:0]	0] - ADVB15_IN [1] - ADVB15_OUT [2] - ADVB15_EN	Управление битом интерфейса DVB-CI	[0]-R [1:31] -R/W	16

Таблица 40

Адрес	Размер	Наименование	Описание	r\w	Номер регистра
0x44	[2:0]	[0] - CRC_OK32 [1] - CRC_OK8 [2] - OTP_RELOAD_FINISHED	Статусный регистр работы OTP	R/W	17
0x48					18
Регистры управления DDR2 интерфейсами					
0x4C	[11:0]	OCDCTRL_EM0	Регистр конфигурации функции OCD интерфейса DDR2 EM0	R/W	19
0x50	[7:0]	ODTCTRL_EM0	Регистр конфигурации функции ODT интерфейса DDR2 EM0	R/W	20
0x54	[29:0]	SUSPCTRL_EM0	Регистр управления спящим режимом интерфейса DDR2 EM0	R/W	21
0x58	[18:0]	DLCCTRL_EM0	Регистр управления линиями задержки интерфейса DDR2 EM0	R/W	22
0x5C	[4:0]	TIMECTRL_EM0	Регистр управления временными параметрами интерфейса DDR2 EM0	R/W	23
0x60	[11:0]	OCDCTRL_EM1	Регистр конфигурации функции OCD интерфейса DDR2 EM1	R/W	24
0x64	[7:0]	ODTCTRL_EM1	Регистр конфигурации функции ODT интерфейса	R/W	25

					ЮФКВ.431268.005РЭ				Лист
									57
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11		18212-1					

			DDR2 EM1		
0x68	[29:0]	SUSPCTRL_EM1	Регистр управления спящим режимом интерфейса DDR2 EM1	R/W	26
0x6C	[0:0]	DLCCTRL_EM1	Регистр управления линиями задержки интерфейса DDR2 EM1	R/W	27
0x70	[0:0]	TIMECTRL_EM1	Регистр управления временными параметрами интерфейса DDR2 EM1	R/W	28
Регистры управления USB					
0x74	[0:0]	app_prt_ovrcur_o_USB	Регистр управления отключением USB при возникновении ситуации перегрузки по току	R/W	29
0x78	[1:0]	[0] - ohci_0_irq_o_n; [1] - ohci_0_smi_o_n;	Регистр фиксации прерываний USB	R	30

Таблица 40

0x7C	[31:0]	[0] - ohci_0_bufacc_o; [1] - ohci_0_sof_o_n; [2] - ohci_0_ccs_o; [3] - ohci_0_rwe_o; [4] - ohci_0_globalsuspend_o [5] - ohci_0_suspend_o; [9:6] - ehci_lpsmc_state_o_USB; [15:10] - ehci_usbsts_o_USB; [16] - ehci_prt_pwr_o_USB; [17] - ehci_bufacc_o_USB; [18] - ehci_xfer_prdc_o_USB; [29:19] - ehci_xfer_cnt_o_USB;	ОНСІ/ЕНСІ интерфейсные сигналы	R	31

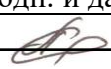
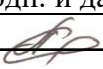
					ЮФКВ.431268.005РЭ			Лист
								58
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Таблица 41 - Регистры управления DDR2 интерфейсами

DDR2 control register	Width	State after reset	Function	Note
OCDCTRL	12	4'h100	OCD control	
IDRVP	4	4'b0000	OCD function control, Pullup side	[3:0]
IDRVN	4	4'b0000	OCD function control, Pulldown side	[7:4]
IDRVOFS	1	1'b1	OCD function offset control	[8]
IOCDCONT	1	1'b0	OCD calibration function enable	[9]
IOCDPOL	1	1'b0	OCD resistance selection	[10]
IDIMMCAL	1	1'b0	OCD resistance value control	[11]

					ЮФКВ.431268.005РЭ			Лист
								59
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Продолжение Таблица 41

Таблт	Width	State after reset	Function	Note
ODTCTRL	8	8'h20	ODT control	
IODT_STR	2	2'b00	ODT control	[1:0]
ODT_ON_PD	3	3'b00	ODT control	[4:2]
ODTOFF	1	1'b1	ODT control	[5]
IZSEL	2	2'b00	ODT resistance control	[7:6]
SUSPCTRL	30	State after reset	Power-down control	
ISUSPD	26	26'b0	Output signal power-down control	[25:0]
SUSPD_CK	2	2'b00	Output signal power-down control	[27:26]
ISUSPR	1	1'b0	Input signal power down control	[28]
ISUSP	1	1'b0	Output circuit power down control	[29]
DLCCTRL	19		DLL control	
IUDSET	4	4'b0010	LPF threshold control	[3:0]
IDEGSL0	1	1'b0	DL output selection	[4]
IDEGSL1	1	1'b0	DL output selection	[5]
ISFT0	3	3'b110	Delay shift control	[10:8]
ISFT1	3	3'b110	Delay shift control	[18:16]
TIMECTRL	6		Timing control	
IDQP	2	2'b01	Round trip time setting	[1:0]
ITDQENOUTCNT	1	1'b0	Failure analysis flag	[2]
ICVAL	2	2'b00	Round trip setting	[4:3]

1.3.2.9.2 Описание регистров управления блоком NMC3

Регистры управления блоком NMC3 определяют функционирование блока в составе системы. Регистры входят в состав блока управления системой SCTL и доступны управляющему процессору по интерфейсу APB. Описание регистров представлено в Таблица 42.

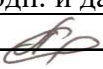
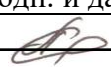
					ЮФКВ.431268.005РЭ			Лист
								60
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Таблица 42 – Описание регистров управления блоком NMC3

Адрес	Имя регистра	Назначение	Описание битовых полей	Доступ
BASE + 0x04	NMC3_INT	Генерация внешнего прерывания INT для процессора NMC3	[8:1] длительность импульса прерывания в тактах процессора NMC3 плюс один. [0] запись 1 в младший бит регистра означает начало генерации внешнего прерывания для процессора NMC3. Бит автоматически сбрасывается в 0 по окончании генерации импульса прерывания. В момент инициализации системы значение: 0x0	W
BASE + 0x10	NMC3_RST	Генерация сигнала программного сброса процессора NMC3 и генерация внешнего прерывания INT для процессора NMC3	[27:19] длительность паузы между окончанием импульса сброса и началом импульса внешнего прерывания в тактах процессора плюс один. [18:10] длительность импульса прерывания в тактах процессора NMC3 плюс один. [9] запись 1 в младший бит регистра означает начало генерации внешнего прерывания для процессора NMC3. Бит автоматически сбрасывается в 0 по окончании генерации импульса прерывания. В момент инициализации системы значение: 0x0 [8:1] длительность импульса сброса в тактах процессора NMC3 плюс один. [0] запись 1 в младший бит регистра означает начало генерации программного сброса для процессора NMC3. Бит автоматически сбрасывается в 0 по окончании генерации импульса. В момент инициализации	W

					ЮФКВ.431268.005РЭ			Лист
								61
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

			системы значение: 0x0	
BASE + 0x14	NMC3_GPO	Вывод значений портов вывода процессора NMC3	[7:0] значения портов вывода процессора NMC3	R
0x30	[0:0]	IRQ_NMC1	Прерывание на VIC от NMC3 (H). Сбрасывается путем записи "1".	W
0x34	[0:0]	IRQ_NMC0	Прерывание на VIC от NMC3 (L). Сбрасывается путем записи "1".	W

1.3.2.9.3 Интерфейс пользовательской OTP ROM

В СБИС ДЦТС предусмотрена возможность хранения информации, уникальной для каждого экземпляра микросхемы при помощи пользовательской однократно программируемой памяти.

В данной памяти может храниться информация ключей и цифровых подписей блоков дескремблирования, конфигурационная информация микросхемы, уникальный номер микросхемы.

Содержимое памяти программируется по заказу пользователя. Возможность пользователя самостоятельно программировать OTP ROM не предусматривается.

1.3.2.9.4 Архитектура контроллера

Блок использует схему двойного резервирования.

Резервирование позволяет бороться с ошибками записи в OTP ROM. То есть, наличия в ячейке памяти "0", хотя, ожидается "1". Резервирование реализуется путем сложения по логическому ИЛИ двух экземпляров данных.

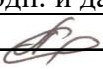
В OTP данные хранятся в двух экземплярах для каждого 32-разрядного слова. Два экземпляра данных хранятся последовательно в двух соседних 32-разрядных словах.

В процессе инициализации системы данные из OTP памяти перегружаются в теньную память SHADOW RAM.

В OTP памяти поддерживаются следующие разделы:

- область хранения ключей и цифровых подписей Key/Hash размером 32 x 32 бита. (это 4 ключа по 256 бит)
- область хранения конфигурации системы CONFIG, размером 64 бита
- область хранения контрольной суммы содержимого OTP ROM - CRC, размером 32 бита
- область хранения уникального номера микросхемы NUMBER с собственным CRC8 кодом
- область дополнительных пользовательских данных

Данные, хранящиеся в OTP, защищаются контрольной суммой CRC. Эта контрольная сумма проверяется в процессе загрузки системы и перезаписи данных в теньную память. В

					ЮФКВ.431268.005РЭ			Лист
								62
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

случае несовпадения контрольной суммы данные в ОТР считаются испорченными и работа с микросхемой в нормальном режиме невозможна.

Данные конфигурации системы сохраняются в регистре конфигурации системы CONFIG.

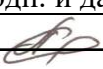
Структура пользовательского ППЗУ допускает только единовременное программирование, так как изменение впоследствии поля CRC невозможно.

В то же время, для нужд пользователя отводится 8 32-разрядных слов ОТР ROM: User Area 0 - User Area 7. Запись в эти слова не регламентируется. Содержимое этих слов не используется при подсчете контрольной суммы. Организация мажорирования для проверки целостности данных в этих словах отводится на усмотрение пользователя и может осуществляться программным образом.

Теневая память, конфигурационный и пользовательские регистры доступны в системе на чтение по интерфейсу APB.

Теневая память может быть стерта командой по интерфейсу APB, путем записи в специализированный регистр.

Структура контроллера представлена на Рисунок 22.

					ЮФКВ.431268.005РЭ			Лист
								63
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

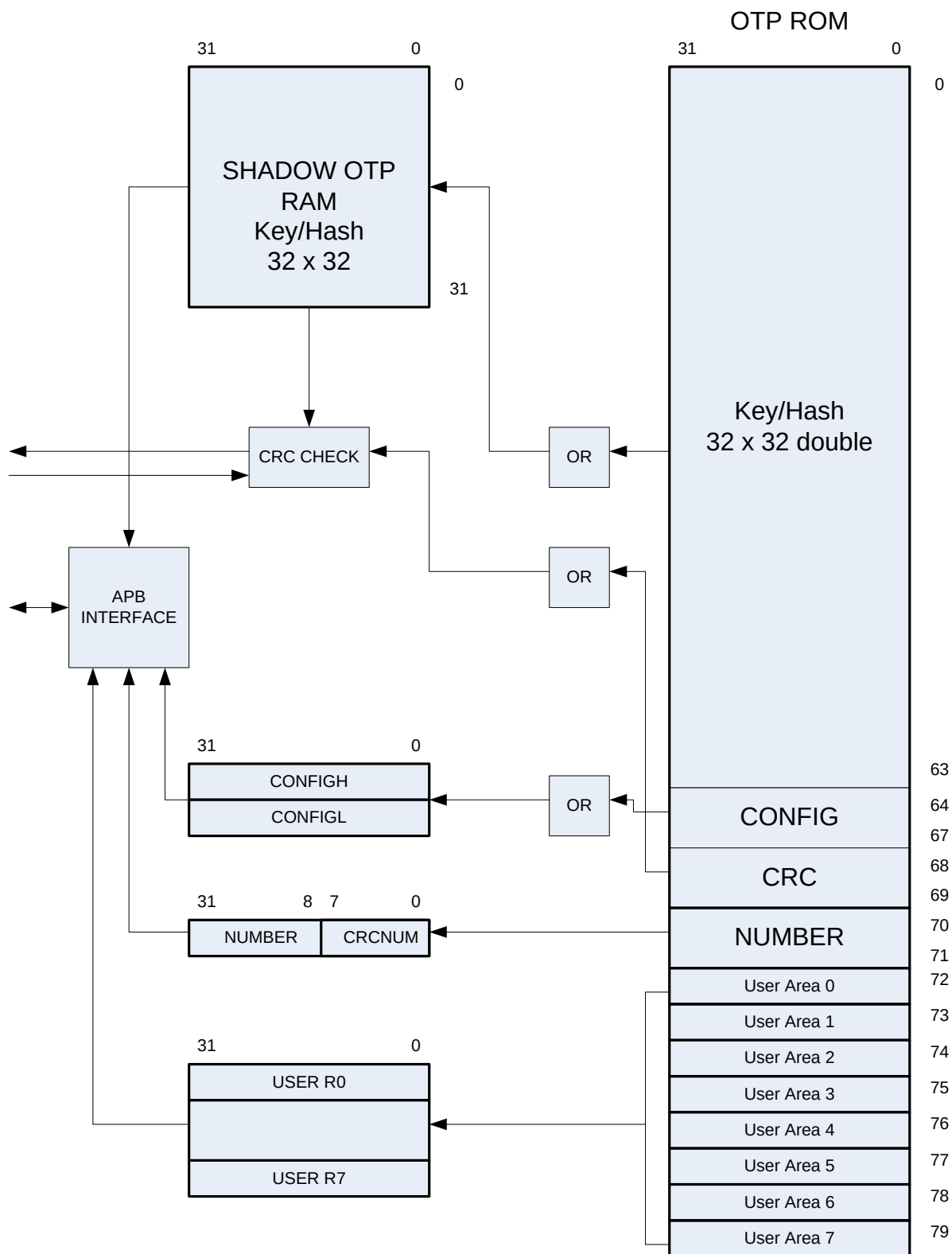


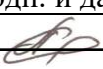
Рисунок 22 – Структура User OTP ROM

В табл описаны регистры User OTP ROM.

					ЮФКВ.431268.005РЭ			Лист
								64
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Таблица 43 – Регистры User OTP ROM

Регистр	Адрес в устройстве	Описание	Доступ
SYS_SM0	00h	Строка 0 теневой памяти	r
SYS_SM1	04h	Строка 1 теневой памяти	r
SYS_SM2	08h	Строка 2 теневой памяти	r
SYS_SM3	0ch	Строка 3 теневой памяти	r
SYS_SM4	10h	Строка 4 теневой памяти	r
SYS_SM5	14h	Строка 5 теневой памяти	r
SYS_SM6	18h	Строка 6 теневой памяти	r
SYS_SM7	1ch	Строка 7 теневой памяти	r
SYS_SM8	20h	Строка 8 теневой памяти	r
SYS_SM9	24h	Строка 9 теневой памяти	r
SYS_SM10	28h	Строка 10 теневой памяти	r
SYS_SM11	2ch	Строка 11 теневой памяти	r
SYS_SM12	30h	Строка 12 теневой памяти	r
SYS_SM13	34h	Строка 13 теневой памяти	r
SYS_SM14	38h	Строка 14 теневой памяти	r
SYS_SM15	3ch	Строка 15 теневой памяти	r
SYS_SM16	40h	Строка 16 теневой памяти	r
SYS_SM17	44h	Строка 17 теневой памяти	r
SYS_SM18	48h	Строка 18 теневой памяти	r
SYS_SM19	4ch	Строка 19 теневой памяти	r
SYS_SM20	50h	Строка 20 теневой памяти	r
SYS_SM21	54h	Строка 21 теневой памяти	r
SYS_SM22	58h	Строка 22 теневой памяти	r
SYS_SM23	5ch	Строка 23 теневой памяти	r
SYS_SM24	60h	Строка 24 теневой памяти	r
SYS_SM25	64h	Строка 25 теневой памяти	r
SYS_SM26	68h	Строка 26 теневой памяти	r
SYS_SM27	6ch	Строка 27 теневой памяти	r
SYS_SM28	70h	Строка 28 теневой памяти	r
SYS_SM29	74h	Строка 29 теневой памяти	r
SYS_SM30	78h	Строка 30 теневой памяти	r
SYS_SM31	7ch	Строка 31 теневой памяти	r
SYS_SMCLEAN	80h	Регистр сброса теневой памяти	w

					ЮФКВ.431268.005РЭ			Лист
								65
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Продолжение Таблица 43

SYS_SMCONFIGH	84h	Регистр конфигурации системы младшая половина	г
SYS_SMCONFIGL	88h	Регистр конфигурации системы старшая половина	г
SYS_SMNUMBER	8ch	Регистр номера процессора	г
SYS_SMUSER0	90h	Регистр конфигурации пользователя 0	г
SYS_SMUSER1	94h	Регистр конфигурации пользователя 1	г
SYS_SMUSER2	98h	Регистр конфигурации пользователя 2	г
SYS_SMUSER3	9ch	Регистр конфигурации пользователя 3	г
SYS_SMUSER4	a0h	Регистр конфигурации пользователя 4	г
SYS_SMUSER5	a4h	Регистр конфигурации пользователя 5	г
SYS_SMUSER6	a8h	Регистр конфигурации пользователя 6	г
SYS_SMUSER7	ach	Регистр конфигурации пользователя 7	г

1.3.2.9.5 Структура блока, включая системы записи и тестирования OTP ROM

Возможны 4 режима работы блока:

- нормальный, пользовательский режим, EMODE = 00;
- режим записи в OTP ROM, EMODE = 01;
- режим проверки пустой OTP ROM, EMODE = 10;
- режим тестирования – проверка записанной OTP ROM, EMODE = 11.

Выбор режима осуществляется сигналом EMODE[1:0].

В **нормальном пользовательском режиме** по сигналу внешнего сброса производится последовательное считывание данных из OTP ROM. Два последовательных 32-разрядных слова складываются по OR для формирования слова данных. Эти данные записываются в теньовую память блока – SHADOW OTP RAM, регистр конфигурации системы CONFIGH, CONFIGL.

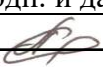
Одновременно с процессом считывания производится вычисление контрольной суммы содержимого OTP ROM и последующее сравнение этой суммы со значением, хранящимся там же в OTP ROM.

В случае успешного подсчета контрольной суммы на внешний вывод блока подается сигнал CRC_OK.

Отдельно вычисляется контрольная сумма для номера микросхемы с выдачей флага CRC8_OK, объединяемого с основным сигналом CRC_OK. Сам номер микросхемы переписывается в регистр NUMBER.

Ячейки User Area OTP ROM не проверяются и загружаются в пользовательские регистры как есть.

1.3.2.9.6 Регистр конфигурации системы CONFIG

					ЮФКВ.431268.005РЭ			Лист
								66
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Регистр конфигурации системы CONFIG - 64-разрядный регистр, состоящий из двух 32-разрядных частей SYS_SMCONFIGH и SYS_SMCONFIGL (см. Таблица 44).

Адрес в карте памяти:

BASE: 0x20033000 +

Таблица 44 – Регистр конфигурации системы

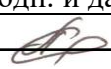
SYS_SMCONFIGH	84h	Регистр конфигурации системы младшая половина	r/w*
SYS_SMCONFIGL	88h	Регистр конфигурации системы старшая половина	r/w*

* - возможность записи в конфигурационный регистр может быть заблокирована установкой бита конфигурации системы

Формат битовых полей регистра CONFIG представлен в Таблица 45:

Таблица 45 – Формат битовых полей регистра CONFIG

Название	Разряды	Назначение
Блокировки устройств SYS_SMCONFIGH		
TMODE	1 [0]	Блокировка JTAG. Если бит в активном состоянии, по JTAG интерфейсу доступен отладочный контроллер процессора ARM1176. Бит аналогичен внешнему сигналу TMODE, но имеет более высокий приоритет.
JTAG	1 [1]	Блокировка JTAG. Если бит в активном состоянии, то JTAG интерфейс заблокирован полностью.
HOSTIF	1 [2]	Блокировка Host интерфейса
USB	1 [3]	Блокировка блока USB Host
LAN	1 [4]	Блокировка блока Ethernet MAC
UART0	1 [5]	Блокировка блока UART0
UART1	1 [6]	Блокировка блока UART1
UART2	1 [7]	Блокировка блока UART2
I2C0	1 [8]	Блокировка блока I2C0
I2C1	1 [9]	Блокировка блока I2C1
I2C2	1 [10]	Блокировка блока I2C2
HDMI	1 [11]	Блокировка блока HDMI
VOUT	1 [12]	Блокировка цифрового выхода видео
VDEC	1 [13]	Блокировка видео декодера
VDECHD	1 [14]	Блокировка HD видео декодера
GA	1 [15]	Блокировка графического ускорителя
NMC	1 [17]	Блокировка NMC2
TSDEMUX	1 [18]	Блокировка демультиплексора транспортного потока
3DES_DSC	1 [19]	Блокировка дескремблера 3DES
CSA_DSC	1 [20]	Блокировка дескремблера CSA
AES	1 [21]	Блокировка блока AES
3DES	1 [22]	Блокировка блока 3DES
CONF	1 [23]	Блокировка возможности записи в регистр CONFIG
OTP	1 [24]	Блокировка возможности последующей записи в OTP ROM
Загрузка и защищенные режимы работы SYS_SMCONFIGL		
BOOTSRC	1 [0]	Выбор источника управления загрузкой: 0 – Режим определяется внешними входами BOOTM 1 – Режим определяется битами в SYS_SMCONFIGL

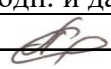
					ЮФКВ.431268.005РЭ			Лист
								67
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Продолжение Таблица 45

Название	Разряды	Назначение
Загрузка и защищенные режимы работы SYS_SMCONFIGL		
LOAD0	1 [1]	Выбор источника загрузки: 0 – SPI Flash 1 – NAND В случае BOOTSRC = 0 значение берется с внешнего входа BOOTM0
LOAD1	1 [2]	Выбор источника загрузки: 0 – определяется LOAD0 1 – Host interface В случае BOOTSRC = 0 значение берется с внешнего входа BOOTM1
CRYPT	1 [3]	Выбор загрузки с дескремблированием или без: 0 – открытая, без дескремблирования, 1 – защищенная, с дескремблированием В случае BOOTSRC = 0 значение берется с внешнего входа BOOTM2
KEYN	5 [8:4]	Адрес ключа для дескремблирования загрузочных данных в теневой OTP памяти
MD5	1 [9]	Выбор наличия/отсутствия проверки цифровой подписи прошивки: 0 – нет проверки 1 – есть проверка В случае BOOTSRC = 0 значение берется с внешнего входа BOOTM3
MD5N	5 [14:10]	Адрес ключа для проверки цифровой подписи в теневой OTP памяти
UPDATE	1 [15]	Выбор разрешения/запрещения обновлений прошивки в NAND Flash: 0 – обновления разрешены, 1 – обновления запрещены
CRC32	1 [16]	Разрешение работы системы при ошибке проверки CRC32 данных из OTP памяти: 0 – работа разрешается, 1 – работа не разрешается
CRC8	1 [17]	Разрешение работы системы при ошибке проверки CRC8 данных из OTP памяти: 0 – работа разрешается, 1 – работа не разрешается
NANDPSIZE	4 [21:18]	Размер страницы NAND Flash памяти
NANDPNUM	8 [29:22]	Номер страницы NAND Flash, с которой начинается загрузка

Загрузка и защищенные режимы работы SYS_SMCONFIGL

Значения всех битовых полей по умолчанию – 0.

					ЮФКВ.431268.005РЭ			Лист
								68
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.2.10 Блок управления синхросигналами и сигналами сброса

Блок управления сигналами сброса и синхросигналами предназначен для управления генерацией синхросигналов и сигналов сброса внутри СБИС ДЦТС.

Описание сигналов блока CRG11 приведено в Таблица 46 .По сигналу SYSRESET конфигурационные регистры блока CRG 11 устанавливаются в начальное состояние, начальное состояние конфигурационных регистров приведено в Таблица 47

Структурная схема блока управления синхросигналами и сигналами сброса показана на **Рисунок 23**

Блок имеет следующие характеристики:

- управление схемой ФАПЧ;
- управление 4-мя доменами синхросигналов внутри СБИС;
- управление внутренними сигналами сброса СБИС;
- возможность программной настройки параметров через шину APB;
- подключение к системной шине СБИС через AMBA APB интерфейс, используется полный 32-битный интерфейс шины данных.

Таблица 46 – Описание сигналов блока CRG11

сигнал	описание
SYSCLK	Входной тактирующий сигнал 27 МГц
SYSRES	Внешний сигнал сброса
WDOGRES	Сигнал сброса от WatchDog таймера
OTP_RELOAD_FINISH	Сигнал окончания считывания конфигурационных данных системы из накрystalного OTP
PCLK	Вход тактирующего сигнала 81 МГц после задержки на клоковом дереве.
AXI_IN	Вход тактирующего сигнала 161 МГц после задержки на клоковом дереве.
CLK_324	Тактирующий сигнал клокового домена 324 МГц , (включает в себя ARM и NM)
CLK_162	Тактирующий сигнал клокового домена 162 МГц
CLK_81	Тактирующий сигнал клокового домена 81 МГц
CLK_54	Тактирующий сигнал клокового домена 54 МГц
CLK_27	Тактирующий сигнал клокового домена 27 МГц
ACLKEN	Сигнал Enable для синхронизации интерфейсов клоковых доменов 162МГц/81 МГц
ACLKENARM	Сигнал Enable для синхронизации интерфейсов клоковых доменов 324 МГц/162 МГц
RST_OTP	Сигнал сброса контроллера памяти OTP
RST_ARM	Сигнал сброса процессора ARM
RST_DSP	Сигнал сброса NMC3
RST_AXI	Сигнал сброса клокового домена 162 МГц
RST_PRF	Сигнал сброса клокового домена 81 МГц
RST_APB	Сигнал сброса клокового домена 54 МГц
MEM_POR	Сигнал “Memory power on”
HSIF_RES_81	Управляемый сигнал сброса клокового домена 81МГц блока интерфейсов
HSIF_RES_54	Управляемый сигнал сброса клокового домена 54МГц блока интерфейсов
RRESETn_out[0]	Управляемый сигнал сброса блока мультимедиа
RRESETn_out[1]	Управляемый сигнал сброса блока EM0
RRESETn_out[2]	Управляемый сигнал сброса блока EM1
RRESETn_out[3]	Управляемый сигнал сброса блока интерфейсов
RRESETn_out[4]	Управляемый сигнал сброса блока USB
RRESETn_out[5]	Управляемый сигнал сброса блока DVBCI
RRESETn_out[6]	Управляемый сигнал сброса блока Ethernet

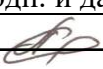
					ЮФКВ.431268.005РЭ			Лист
								69
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Таблица 47 - Состояние входов блока CRG11 по сигналу сброса

	Сигнал	Состояние
1	CRIFBM	6'hc
2	CRIPSM	4'h1
3	CRILUW	4'h8
4	CRIBYP	1'b0
5	CRIARS	4'h0
6	CRISRC	4'h4
7	CRCPRW	4'h4
8	CRIDM0	8'h0
9	CRIDM1	8'h1
10	CRIDM2	8'h3
11	CRIDM3	8'h5

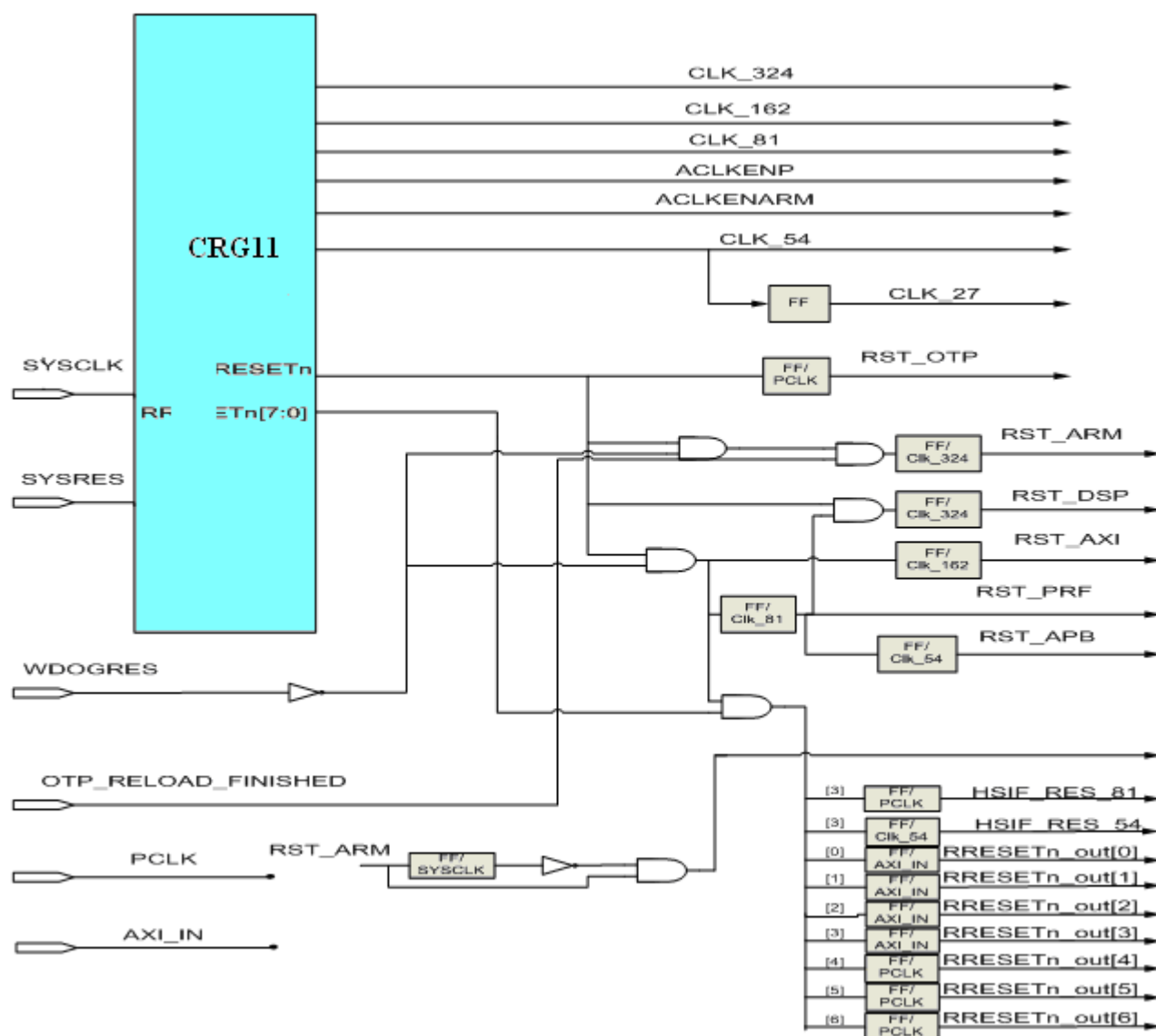
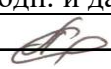


Рисунок 23 - Структурная схема блока управления синхросигналами и сигналами сброса

					ЮФКВ.431268.005РЭ			Лист
								70
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Блок CRG11 имеет следующие характеристики:

Генератор сбросов

- Поддерживает следующие 4 вида сброса
 - Внешний сброс, который инициализирует всю систему.
 - SRST вход сброса, который устанавливается средством отладки.
 - Программно управляемый сброс, который вызывается из управляющего регистра.
 - Сброс от Сторожевого таймера, устанавливаемый по запросу сброса от внешнего модуля
- Генерирует внутренние сбросы по видам сброса, описанным выше.:

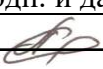
Генератор синхросигналов

- Управляет генерацией и останавливает ФАПЧ (PLL) макрос следующим образом :
 - Конфигурируемое ФАПЧ время ожидания блокировки (ФАПЧ время ожидания стабилизации генерации) установкой начального значения или управляющим регистром.. 64- 49152 значений XCLK может быть выбрано.
 - Конфигурируемая ФАПЧ частота генерации установкой начального значения или управляющим регистром. 2 -126 значений XCLK частоты генерации может быть выбрано.
 - Конфигурируемый ФАПЧ делитель частоты установкой начального значения или управляющим регистром. 1/1 -1/30 значений частоты генерации может быть выбрано.
- Выбирает ФАПЧ (PLL) синхроимпульс (ФАПЧ bypass синхросигнал) как источник синхросигналов системы

Контроллер синхроимпульсов

- поддерживает 16 (0-F) доменов синхросигналов, которые имеют независимую частоту:
Для каждого домена включаются следующие сигналы:
 - UngatedCLKx : 1-битовый небуферизированный (un-gated) синхросигнал, который работает не в стоповом режиме.
 - CLKx[7:0] 8-ми битовые синхросигналы, которые могут управлять цепями буферизируемых синхросигналов для каждого бита.:
 - CLKENx[15:0]:Разрешение синхросигнала, которое показывает отношение к другим доменам синхросигналов.Количество доменов синхросигналов и количество битов разрешения (CLKx[7:0] и CLKENx[15:0]:) конфигурируется, используя RTL опции.
- Управляет конфигурируемым режимом частоты для каждого домена синхросигнала. 1/1 – 1,216 значений CCLK может быть выбрано установкой начального значения или управляющим регистром..
- управляет цепями буферизируемых синхросигналов согласно спецификации интерфейса малой мощности AMBA AXI протокола и также управляет цепями буферизируемых синхросигналов напрямую, если периферийное устройство не поддерживает интерфейс малой мощности.
- Поддерживает режим останова и может остановить все синхросигналы в системе по запросу от ARM процессора.

APB интерфейс для доступа к регистрам

					ЮФКВ.431268.005РЭ			Лист
								71
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.2.10.1 Генератор синхросигналов

Генератор синхросигналов содержит схему управления ФАПЧ и блоки делителей получаемого со схемы ФАПЧ синхросигнала. Опорный сигнал SCLKIN попадает на вход схемы ФАПЧ, частота сигнала на выходе схемы определяется по следующей формуле:

$$F_{cclk} = F_{xclk} * m/n$$

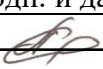
где значение m задается полем FBMODE регистра CRPLC, а значение n полем PSMODE того же регистра.

1.3.2.10.2 Регистровая модель блока CRG11

Программно доступные регистры блока управления сигналами сброса и синхросигналами CRG11 расположены в области памяти периферийных устройств ARMU (ARM Peripheral Area), имеют базовое смещение CRG11 Base = 0x2003e000 и общий размер 4 Кб. Спецификация регистров представлена в таблице ниже:

Таблица 48 - Спецификация регистров

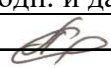
Адрес	Разрядность	Имя	Сигнал сброса	Описание
Base + 000h	32	CRPLC	CRSTn	Регистр управления PLL
Base + 004h	5	CRRDY	CRSTn	Регистр состояния PLL
Base + 008h	2	CRSTP	CRSTn	Регистр управления STOP режимом
Base + 00Ch	-	-		Зарезервировано
Base + 010h	1	CRIMA	CRSTn	Регистр управления маской прерывания
Base + 014h	1	CRPIC	CRSTn	Регистр снятия прерываний
Base + 018h	-	-		Зарезервировано
Base + 01Ch	-	-		Зарезервировано
Base + 020h	32	CRRSC	CRSTn	Регистр управления сигналами сброса
Base + 024h	1	CRSWR	CRSTn	Регистр управления программным сбросом
Base + 028h	32	CRRRS	CRSTn	Управляемый из регистра сброс регистра прерываний
Base + 02Ch	4	CRRSM	PORESETn	Регистр мониторинга сигналов сброса
Base + 030h	1	CRCDC	CRSTn	Регистр управления делением синхросигнала
Base + 034h to 0FCh	-	-		Зарезервировано
Base + 100h	8	CRDM0	CRSTn	Регистр режима деления синхросигнала CLK0
Base + 104h	32	CRLP0	CRSTn	Регистр состояния режима LP домена CLK0
Base + 108h, 10Ch	-	-		Зарезервировано
Base + 110h	8	CRDM1	CRSTn	Регистр режима деления синхросигнала CLK1
Base + 114h	32	CRLP1	CRSTn	Регистр состояния режима LP домена CLK1
Base + 118h, 11Ch	-	-		Зарезервировано
Base + 120h	8	CRDM2	CRSTn	Регистр режима деления синхросигнала CLK2
Base + 124h	32	CRLP2	CRSTn	Регистр состояния режима LP домена CLK2
Base + 128h, 13Ch	-	-		Зарезервировано
Base + 140h	8	CRDM4	CRSTn	Регистр режима деления синхросигнала CLK4
Base + 144h	32	CRLP4	CRSTn	Регистр состояния режима LP домена CLK4
Base + 148h, 14Ch	-	-		Зарезервировано
Base + 150h	8	CRDM4	CRSTn	Регистр режима деления синхросигнала CLK5

					ЮФКВ.431268.005РЭ			Лист
								72
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Продолжение тТаблица 48

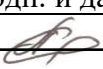
Адрес	Разрядность	Имя	Сигнал сброса	Описание
Base + 154h	32	CRLP4	CRSTn	Регистр состояния режима LP домена CLK5
Base + 158h, 15Ch	-	-		Зарезервировано
Base + 160h	8	CRDM6	CRSTn	Регистр режима деления синхросигнала CLK6
Base + 164h	32	CRLP6	CRSTn	Регистр состояния режима LP домена CLK6
Base + 168h, 16Ch	-	-		Зарезервировано
Base + 170h	8	CRDM7	CRSTn	Регистр режима деления синхросигнала CLK7
Base + 174h	32	CRLP7	CRSTn	Регистр состояния режима LP домена CLK7
Base + 178h, 17Ch	-	-		Зарезервировано
Base + 180h	8	CRDM8	CRSTn	Регистр режима деления синхросигнала CLK8
Base + 184h	32	CRLP8	CRSTn	Регистр состояния режима LP домена CLK8
Base + 188h, 18Ch	-	-		Зарезервировано
Base + 190h	8	CRDM9	CRSTn	Регистр режима деления синхросигнала CLK9
Base + 194h	32	CRLP9	CRSTn	Регистр состояния режима LP домена CLK9
Base + 198h to 19Ch	-	-		Зарезервировано
Base + 1A0h	8	CRDMA	CRSTn	Регистр режима деления синхросигнала CLKA
Base + 1A4h	32	CRLPA	CRSTn	Регистр состояния режима LP домена CLKA
Base + 1A8h to 1ACh	-	-		Зарезервировано
Base + 1B0h	8	CRDM9	CRSTn	Регистр режима деления синхросигнала CLKB
Base + 1B4h	32	CRLP9	CRSTn	Регистр состояния режима LP домена CLKB
Base + 1B8h to 1BCh	-	-		Зарезервировано
Base + 1C0h	8	CRDMA	CRSTn	Регистр режима деления синхросигнала CLKC
Base + 1C4h	32	CRLPA	CRSTn	Регистр состояния режима LP домена CLKC
Base + 1C8h to 1CCh	-	-		Зарезервировано
Base + 1D0h	8	CRDMD	CRSTn	Регистр режима деления синхросигнала CLKD
Base + 1D4h	32	CRLPD	CRSTn	Регистр состояния режима LP домена CLKD
Base + 1D8h to 1DCh	-	-		Зарезервировано
Base + 1E0h	8	CRDMA	CRSTn	Регистр режима деления синхросигнала CLKE
Base + 1E4h	32	CRLPA	CRSTn	Регистр состояния режима LP домена CLKE
Base + 1E8h to 1ECh	-	-		Зарезервировано
Base + 1F0h	8	CRDMD	CRSTn	Регистр режима деления синхросигнала CLKF
Base + 1F4h	32	CRLPD	CRSTn	Регистр состояния режима LP домена CLKF
Base + 1F8h to 1FCh	-	-		Зарезервировано

Далее дано описание полей всех регистров.

					ЮФКВ.431268.005РЭ			Лист
								73
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

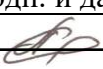
Регистр управления PLL. CRPLC
Таблица 49 - Формат регистра CRPLC

Биты	Название	Тип	Значение после инициализации	Выполняемая функция
[31: 25]	Зарезервировано	ЧТ	7'h00	-
[24]	PLLBYPASS	ЧТ/ЗП	Значение на внешнем входе СБИС (PLLBYPASS)	Используется, чтобы устанавливать режим работы схемы ФАПЧ 0 – режим генерации схемы ФАПЧ 1 – синхросигнал обходит схему ФАПЧ (PLL bypass)
[23:20]	Зарезервировано	ЧТ	4'h0	-
[19:16]	LUWMODE[3:0]	ЧТ/ЗП	4'b1011	Используются для установления времени ожидания стабилизации схемы ФАПЧ (PLL Lockup Time). Ниже приведены различные значения поля и соответствующие им периоды времени ожидания установа. LUWMODE[3:0] TLUW 4'b0000 64X TXCLK 4'b0001 128 X TXCLK 4'b0010 512 X TXCLK 4'b0011 768 X TXCLK 4'b0100 1024 X TXCLK 4'b0101 1536 X TXCLK 4'b0110 2048 X TXCLK 4'b0111 3072 X TXCLK 4'b1000 4096 X TXCLK 4'b1001 6144 X TXCLK 4'b1010 8192 X TXCLK 4'b1011 12288 X TXCLK 4'b1100 16384 X TXCLK 4'b1101 24576 X TXCLK 4'b1110 32768 X TXCLK 4'b1111 49152 X TXCLK где TLUW – количество тактов синхросигнала XCLK ожидания стабилизации ФАПЧ
[15:12]	Зарезервировано	ЧТ	4'h0	-
[11:8]	PSMODE[3:0]	ЧТ/ЗП	4'b0001	Поля PSMODE[3:0] и FBMODE[5:0] управляют частотой синхросигнала, генерируемого схемой ФАПЧ. См. Описание поля FBMODE[5:0]
[7:6]	Зарезервировано	ЧТ	2'b00	-

					ЮФКВ.431268.005РЭ			Лист
								74
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

Продолжение Таблица 49

Биты	Название	Тип	Значение после инициализации	Выполняемая функция
[5:0]	FBMODE[5:0]	ЧТ/ЗП	6'b000000, если вход СБИС PLLBYPASS=1 6'b000100, если вход СБИС PLLBYPASS=0	Поля PSMODE[3:0] и FBMODE[5:0] управляют частотой синхросигнала, генерируемого схемой ФАПЧ. $F_{CCLK} = F_{XCLK} * m * n$ FBMODE [5:0] m 6'b000000 Stop the PLL 6'b 000001 m = 1 X 2 6'b 000010 m = 2 X 2 6'b 000011 m = 3 X 2 6'b 000100 m = 4 X 2 6'b 000101 m = 5 X 2 6'b 000110 m = 6 X 2 6'b 000111 m = 7 X 2 ----- 6'b 111001 m = 57 X 2 6'b 111010 m = 58 X 2 6'b 111011 m = 59 X 2 6'b 111100 m = 60 X 2 6'b 111101 m = 61 X 2 6'b 111110 m = 62 X 2 6'b 111111 m = 63 X 2 PSMODE[3:0] n 4'b0000 n = 1 4'b 0001 n = 1 / (1 X 2) 4'b 0010 n = 1 / (2 X 2) 4'b 0011 n = 1 / (3 X 2) 4'b 0100 n = 1 / (4 X 2) 4'b 0101 n = 1 / (5 X 2) 4'b 0110 n = 1 / (6 X 2) 4'b 0111 n = 1 / (7 X 2) 4'b 1000 n = 1 / (8 X 2) 4'b 1001 n = 1 / (9 X 2) 4'b 1010 n = 1 / (10 X 2) 4'b 1011 n = 1 / (11 X 2) 4'b 1100 n = 1 / (12 X 2) 4'b 1101 n = 1 / (13 X 2) 4'b 1110 n = 1 / (14 X 2) 4'b 1111 n = 1 / (15 X 2) Отметим: 1) Сквозность синхросигнала CCLK не 50/50, когда PSMODE = 4'b0000 2) Бит PLLBYPASS должен быть установлен прежде, чем биты PSMODE станут равными 4'b0000, или прежде чем сменят значение с 4'b0000 3) С изменением значений битов FBMODE, происходит сброс схемы ФАПЧ. Блок CRG11 переходит в режим ожидания стабилизации схемы ФАПЧ. 4) Бит PLLBYPASS не должен меняться пока биты FBMODE[5:0] установлены в 6'b000000

					ЮФКВ.431268.005РЭ			Лист
								75
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Регистр состояния PLL. CRRDY
Таблица 50 - Формат регистра CRRDY

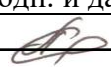
Биты	Название	Тип	Значение после инициализации	Выполняемая функция
[31: 5]	Зарезервировано	ЧТ	27'h00000000	-
[4]	PSRMNT	ЧТ	1'b0	Бит PSRMNT указывает, что установленные биты PSMODE (регистра CRPLC) отражены в частоте генерируемого схемой ФАПЧ сигнала. 0 - поле PSMODE не отражено в частоте генерируемого сигнала. 1 – поле PSMODE отражено в частоте генерируемого PLL сигнала.
[3:1]	Зарезервировано	ЧТ	3'b000	-
[0]	PLLRDY	ЧТ	1'b0	Бит PLLRDY устанавливается по истечении времени стабилизации ФАПЧ, которое задается полем LUWMODE[3:0] (регистра CRPLC). 0 – PLL не готова 1 – PLL готова Отметим: Этот бит не показывает, что PLL защелкнулась, а лишь только говорит об истечении времени, запрограммированного в регистре CRPLC.

Регистр управления STOP режимом. CRSTP
Таблица 51 - Формат регистра CRSTP

Биты	Название	Тип	Значение после инициализации	Выполняемая функция
[31: 2]	Зарезервировано	ЧТ	30'h00000000	-
[1]	STOPMNT	ЧТ/ЗП	1'b0	Бит STOPMNT используется для определения режима работы CRG11. Когда CRG находится в режиме останова (STOP режиме), то бит установлен. 0 - CRG не находится в режиме останова 1 - CRG находится в режиме останова
[0]	STOPEN	ЧТ/ЗП	1'b0	Бит разрешения входа в STOP режим. 0 – вход в STOP режим запрещен 1 – разрешен вход в режим останова при установлении сигнала STANDBYWFI от ядра ARM

Регистр управления маской прерывания. CRIMA
Таблица 52 - Формат регистра CRIMA

Биты	Название	Тип	Значение после инициализации	Выполняемая функция
[31: 1]	Зарезервировано	ЧТ	31'h00000000	-
[0]	RDYINTM	ЧТ/ЗП	1'b1	Бит маскирует прерывание PLLRDYINT, которое устанавливается после истечения времени установка PLL. 0 – нет маскирования прерывания PLLRDYINT 1 – прерывание PLLRDYINT маскируется

					ЮФКВ.431268.005РЭ			Лист
								76
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Регистр снятия прерываний. CRPIC

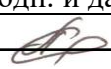
Таблица 53 - Формат регистра CRPIC

Биты	Название	Тип	Значение после инициализации	Выполняемая функция
[31: 1]	Зарезервировано	ЧТ	31'h00000000	-
[0]	PLLRDYINT	ЧТ	1'b0	Бит показывает состояние прерывания PLLRDYINT, которое устанавливается по истечении времени стабилизации схемы ФАПЧ. 0 – PLLRDYINT не выставлено 1 – PLLRDYINT выставлено

Регистр управления сигналами сброса. CRRSC

Таблица 54 - Формат регистра CRRSC

Биты	Название	Тип	Значение после инициализации	Выполняемая функция
[31: 20]	Зарезервировано	ЧТ	12'h000	-
[19:16]	SRSTMODE[3:0]	ЧТ/ЗП	4'b0111	Бит используется для установления длительности активного состояния XSRSTout в тактах синхросигнала CCLK. Определяется параметрами внешнего отладчика. 4'b0000 8 X TCCLK 4'b0001 12 X TCCLK 4'b0010 16 X TCCLK 4'b0011 24 X TCCLK 4'b0100 32 X TCCLK 4'b0101 48 X TCCLK 4'b0110 64 X TCCLK 4'b0111 96 X TCCLK 4'b1000 128 X TCCLK 4'b1001 192 X TCCLK 4'b1010 256 X TCCLK 4'b1011 384 X TCCLK 4'b1100 512 X TCCLK 4'b1101 768 X TCCLK 4'b1110 1024 X TCCLK 4'b1111 1536 X TCCLK ← начальное значение
[15:10]	Зарезервировано	ЧТ	6'h00	-
[9]	WDRSTM	ЧТ/ЗП	1'b0	Управляет реакцией CRG на сброс от сторожевого таймера (WDOGRST). 0 – CRSTn и PLLRST не генерируются 1 – CRSTn и PLLRST генерируются
[8]	SWRSTM	ЧТ/ЗП	1'b0	Управляет реакцией CRG на внутренний программный сброс (SOFTIRST). 0 – CRSTn и PLLRST не генерируются 1 – CRSTn и PLLRST генерируются
[7:4]	Зарезервировано	ЧТ	4'h0	-
[3:0]	ARSTMODE[3:0]	ЧТ/ЗП	4'b0111	Бит используется для установления длительностью активного состояния ARESETn в тактах синхросигнала CCLK. 4'b0000 8 X TCCLK (Min.) 4'b0001 12 X TCCLK (Min.) 4'b0010 16 X TCCLK (Min.) 4'b0011 24 X TCCLK (Min.) 4'b0100 32 X TCCLK (Min.) 4'b0101 48 X TCCLK (Min.) 4'b0110 64 X TCCLK (Min.) 4'b0111 96 X TCCLK (Min.) 4'b1000 128 X TCCLK (Min.) 4'b1001 192 X TCCLK (Min.) 4'b1010 256 X TCCLK (Min.) 4'b1011 384 X TCCLK (Min.) 4'b1100 512 X TCCLK (Min.) 4'b1101 768 X TCCLK (Min.) 4'b1110 1024 X TCCLK (Min.) 4'b1111 1536 X TCCLK (Min.) ← н.знач. В таблице выше представлена минимально возможная длительность активного состояния ARESETn.

					ЮФКВ.431268.005РЭ			Лист
								77
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
18212-2				14.11.11	18212-1			

Регистр управления программным сбросом. CRSWR

Таблица 55 - Формат регистра CRSWR

Биты	Название	Тип	Значение после инициализации	Выполняемая функция
[31: 1]	Зарезервировано	ЧТ	31'h00000000	-
[0]	SWRSTREQ	ЧТ/ ЗП1	1'b0	Бит используется для генерации внутреннего программного сброса. Программный сброс имеет место сразу же после установления бита. Генерируемые внутренние сигналы сброса определяются битом SWRSTM (регистра CRRSM)

Регистр мониторинга сигналов сброса. CRRSM

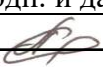
					ЮФКВ.431268.005РЭ			Лист
								78
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Таблица 56 - Формат регистра CRRSM

Биты	Название	Тип	Значение после инициализации	Выполняемая функция
[31: 4]	Зарезервировано	ЧТ	28'h00000000	-
[3]	PORESET	ЧТ/ ЗПО	1'b1	Бит показывает состояние сигнала сброса PORESETn. Устанавливается при генерации сигнала сброса PORESETn. Необходимо записывать нуль для снятия этого бита. 0 – PORESETn не устанавливался 1 – PORESETn устанавливался Бит инициализируется при установлении сигнала PORESETn, запись 1 игнорируется
[2]	SRST	ЧТ/ ЗПО	1'b0	Бит показывает состояние программного сброса (XSRST) от внешнего отладчика. Устанавливается при установке сигнала XSRSTin. Необходимо записывать нуль для снятия этого бита. 0 – XSRSTin не устанавливался 1 - XSRSTin устанавливался Бит инициализируется при установлении сигнала PORESETn. Запись 1 игнорируется.
[1]	SWRST	ЧТ/ ЗПО	1'b0	Бит отслеживает программный сброс. Устанавливается только тогда, когда имел место программный сброс. Необходимо записывать нуль для снятия этого бита. 0 – программного сброса не было 1 – был программный сброс Бит инициализируется при установлении сигнала PORESETn. Запись 1 игнорируется
[0]	WDRST	ЧТ/ ЗПО	1'b0	Бит отслеживает сброс от сторожевого таймера. Устанавливается при генерации сброса от сторожевого таймера. Необходимо записывать нуль для снятия этого бита. 0 – сброса от сторожевого таймера не было 1 – был сброс от сторожевого таймера Бит инициализируется при установлении сигнала PORESETn. Запись 1 игнорируется.

Регистр управления делением синхросигнала. CRCDC

В таблице ниже приведен формат регистра CRCDC.

Таблица 57 - Формат регистра CRCDC

Биты	Название	Тип	Значение после инициализации	Выполняемая функция
[31: 1]	Зарезервировано	ЧТ	31'h00000000	-
[0]	DCHREQ	ЧТ/ЗП	1'b0	Бит обновляет режим деления синхросигнала. Установка этого бита после установки регистров CRDMx приводит к изменению частоты генерируемых синхросигналов CLK0-CLK9. Бит автоматически сбрасывается после изменения частот генерируемых синхросигналов. 0 – частоты генерируемых синхросигналов не обновлены (Начальное значение) 1 – обновление частот в процессе.

Регистр режима деления синхросигнала. CRDMx

В таблице ниже приведен формат регистра (“х” принимает значения от 0,1,2,4,6,7,8 и 9).

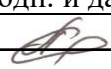
					ЮФКВ.431268.005РЭ			Лист
								79
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

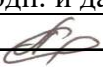
Таблица 58 - Формат регистра CRDMx

Биты	Название	Тип	Значение после инициали- зации	Выполняемая функция																																																																				
[31: 8]	Зарезервировано	ЧТ	24'h0000000	-																																																																				
[7: 0]	DIVMODEx [7:0]	ЧТ /ЗП	в соответствии с Рисунок 23	Биты используются для установления режима деления синхросигнала для CLKx домена. Частота генерируемого синхросигнала может быть определена по следующим формулам: $F_{clkx} = F_{cclk} / (2^n \times 3^m)$ (где n=0~3 и m=0~3) f_{CLKx} – частота синхросигнала CLKx домена f_{CCLK} – частота синхросигнала CCLK Параметры M и N могут быть определены согласно битам DIVMODEx: <table><tr><th>DIVMODEx</th><th>m</th><th>n</th><th>Частота CLKx</th></tr><tr><td>8'h00</td><td>0</td><td>0</td><td>fCLKx = fCCLK x (1/1)</td></tr><tr><td>8'h01</td><td>0</td><td>1</td><td>fCLKx = fCCLK x (1/2)</td></tr><tr><td>8'h03</td><td>0</td><td>2</td><td>fCLKx = fCCLK x (1/4)</td></tr><tr><td>8'h07</td><td>0</td><td>3</td><td>fCLKx = fCCLK x (1/8)</td></tr><tr><td>8'h02</td><td>1</td><td>0</td><td>fCLKx = fCCLK x (1/3)</td></tr><tr><td>8'h05</td><td>1</td><td>1</td><td>fCLKx = fCCLK x (1/6)</td></tr><tr><td>8'h0B</td><td>1</td><td>2</td><td>fCLKx = fCCLK x (1/12)</td></tr><tr><td>8'h17</td><td>1</td><td>3</td><td>fCLKx = fCCLK x (1/24)</td></tr><tr><td>8'h08</td><td>2</td><td>0</td><td>fCLKx = fCCLK x (1/9)</td></tr><tr><td>8'h11</td><td>2</td><td>1</td><td>fCLKx = fCCLK x (1/18)</td></tr><tr><td>8'h23</td><td>2</td><td>2</td><td>fCLKx = fCCLK x (1/36)</td></tr><tr><td>8'h47</td><td>2</td><td>3</td><td>fCLKx = fCCLK x (1/72)</td></tr><tr><td>8'h1A</td><td>3</td><td>0</td><td>fCLKx = fCCLK x (1/27)</td></tr><tr><td>8'h35</td><td>3</td><td>1</td><td>fCLKx = fCCLK x (1/54)</td></tr><tr><td>8'h6B</td><td>3</td><td>2</td><td>fCLKx = fCCLK x (1/108)</td></tr><tr><td>8'hD7</td><td>3</td><td>3</td><td>fCLKx = fCCLK x (1/216)</td></tr></table>	DIVMODEx	m	n	Частота CLKx	8'h00	0	0	fCLKx = fCCLK x (1/1)	8'h01	0	1	fCLKx = fCCLK x (1/2)	8'h03	0	2	fCLKx = fCCLK x (1/4)	8'h07	0	3	fCLKx = fCCLK x (1/8)	8'h02	1	0	fCLKx = fCCLK x (1/3)	8'h05	1	1	fCLKx = fCCLK x (1/6)	8'h0B	1	2	fCLKx = fCCLK x (1/12)	8'h17	1	3	fCLKx = fCCLK x (1/24)	8'h08	2	0	fCLKx = fCCLK x (1/9)	8'h11	2	1	fCLKx = fCCLK x (1/18)	8'h23	2	2	fCLKx = fCCLK x (1/36)	8'h47	2	3	fCLKx = fCCLK x (1/72)	8'h1A	3	0	fCLKx = fCCLK x (1/27)	8'h35	3	1	fCLKx = fCCLK x (1/54)	8'h6B	3	2	fCLKx = fCCLK x (1/108)	8'hD7	3	3	fCLKx = fCCLK x (1/216)
DIVMODEx	m	n	Частота CLKx																																																																					
8'h00	0	0	fCLKx = fCCLK x (1/1)																																																																					
8'h01	0	1	fCLKx = fCCLK x (1/2)																																																																					
8'h03	0	2	fCLKx = fCCLK x (1/4)																																																																					
8'h07	0	3	fCLKx = fCCLK x (1/8)																																																																					
8'h02	1	0	fCLKx = fCCLK x (1/3)																																																																					
8'h05	1	1	fCLKx = fCCLK x (1/6)																																																																					
8'h0B	1	2	fCLKx = fCCLK x (1/12)																																																																					
8'h17	1	3	fCLKx = fCCLK x (1/24)																																																																					
8'h08	2	0	fCLKx = fCCLK x (1/9)																																																																					
8'h11	2	1	fCLKx = fCCLK x (1/18)																																																																					
8'h23	2	2	fCLKx = fCCLK x (1/36)																																																																					
8'h47	2	3	fCLKx = fCCLK x (1/72)																																																																					
8'h1A	3	0	fCLKx = fCCLK x (1/27)																																																																					
8'h35	3	1	fCLKx = fCCLK x (1/54)																																																																					
8'h6B	3	2	fCLKx = fCCLK x (1/108)																																																																					
8'hD7	3	3	fCLKx = fCCLK x (1/216)																																																																					

Регистр состояния режима LP домена CLKx. CRLPx

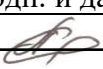
В таблице ниже приведен формат регистра ("х" принимает значения от 0,1,2,4,6,7,8 и 9).

Таблица 59 - Формат регистра CRLPx

					ЮФКВ.431268.005РЭ			Лист
								80
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Биты	Название	Тип	Значение после инициализации	Выполняемая функция						
[31: 24]	CENx[7:0]	ЧТ	8'hff	Разрешает генерацию CLKx[y].<table><tr><td>CENx[y]</td><td></td></tr><tr><td>0</td><td>CLKx[y] остановлен</td></tr><tr><td>1</td><td>CLKx[y] не остановлен</td></tr></table>	CENx[y]		0	CLKx[y] остановлен	1	CLKx[y] не остановлен
CENx[y]										
0	CLKx[y] остановлен									
1	CLKx[y] не остановлен									
[23: 16]	CACTIVE_Cx[7:0]	ЧТ	8'h00	Биты отслеживают внутренние сигналы CACTIVE_Cx[7:0]. Биты устанавливаются, когда внешний порт CACTIVEx[y] имеет высокий уровень. Этот сигнал информирует CRG, что периферийное устройство не готово к отключению синхросигнала.						
[15: 8]	LPOWERHSx[7:0]	ЧТ	8'h00	Биты отслеживают внутренние сигналы LPOWERHSx[7:0]. Биты устанавливаются, когда в интерфейсе управления пониженным энергопотреблением между CRG11 и периферийным блоком в домене CLKx[y] происходит обмен. Т.е. CRG пытается выключить или включить синхросигнал CLKx[y]. Во время такого обмена невозможна запись бита CSYSREQ_Rx[y].<table><tr><td>LPOWERHSx[y]</td><td></td></tr><tr><td>0</td><td>Запись в CSYSREQ_Rx[y] разрешена</td></tr><tr><td>1</td><td>Запись в CSYSREQ_Rx[y] игнорируется</td></tr></table>	LPOWERHSx[y]		0	Запись в CSYSREQ_Rx[y] разрешена	1	Запись в CSYSREQ_Rx[y] игнорируется
LPOWERHSx[y]										
0	Запись в CSYSREQ_Rx[y] разрешена									
1	Запись в CSYSREQ_Rx[y] игнорируется									
[7: 0]	CSYSREQ_Rx[7:0]	ЧТ/ЗП	8'hff	Биты, управляющие выдачей запроса на включение/выключение синхросигнала CLKx[y] по интерфейсу управления пониженным энергопотреблением.<table><tr><td>CSYSREQ_Rx[y]</td><td></td></tr><tr><td>0</td><td>Запрос на остановку CLKx[y]</td></tr><tr><td>1</td><td>Запрос на активацию CLKx[y]</td></tr></table>	CSYSREQ_Rx[y]		0	Запрос на остановку CLKx[y]	1	Запрос на активацию CLKx[y]
CSYSREQ_Rx[y]										
0	Запрос на остановку CLKx[y]									
1	Запрос на активацию CLKx[y]									

Более подробно блок CRG11 в документе “Clock and Reset Generator (CRG11)” Specifications Revision 1.2 September 12,2007 FUJITSU

					ЮФКВ.431268.005РЭ			Лист
								81
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

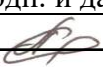
1.3.2.11 Контроллер внешних прерываний EXIRC

Контроллер внешних прерываний EXIRC обеспечивает управление приемом сигналов внешних прерываний. Описание регистров контроллера внешних прерываний представлено в Таблица 60.

Таблица 60 – Описание регистров контроллера внешних прерываний EXIRC

External Interrupt Controller (EXIRC)		
00hE	IENB	Значимость Внешнего Прерывания
04h	EIREQ	Запрос Внешнего Прерывания
08h	EILVL	Уровень Внешнего Прерывания

Более подробно контроллер внешних прерываний описан в документе:
“External Interrupt Controller (EXIRC) Specifications, Revision 1.1”.

					ЮФКВ.431268.005РЭ			Лист
								82
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3 Подсистема медиаобработки

Подсистема медиаобработки представляет собой совокупность устройств, входящих в тракт обработки и выдачи аудио и видео данных, а также программных средств, управляющих данным трактом и осуществляющих программное преобразование информации.

1.3.3.1 Структура подсистемы медиаобработки

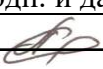
1.3.3.1.1 Функциональное назначение

Тракт обработки и выдачи аудио и видео данных осуществляет:

- декодирование видеопотока в соответствии со стандартом h264,
- реализует функции ускорения отрисовки графических примитивов для отображения оконных меню,
- производит наложение графического изображения оконных меню на декодированный видеопоток,
- формирует сигналы телевизионной развертки в соответствии с заданными стандартами (SD и HD качества),
- преобразует размер и цветопалитрические характеристики отображаемого видеопотока,
- обеспечивает цифровые и аналоговые интерфейсы для выдачи видео и цифровые интерфейсы для выдачи аудио,

1.3.3.1.2 Взаимосвязь с другими подсистемами

Устройства тракта обработки и выдачи аудио и видео имеют связи с остальными подсистемами СБИС ДЦТС. Связь по данным с другими подсистемами осуществляется посредством внешней памяти. Подсистема медиаобработки имеет прямую связь с контроллером внешней DDR памяти EM1 DDR, который подключен к шине AXI B, входящей в подсистему медиаобработки, данная память в основном предназначена для осуществления декодирования и отображения видеоизображений. Также подсистема медиаобработки имеет ряд выходов на коммутатор AXI A. Один канал для стыковки двух коммутаторов AXI A - AXI B. Один двунаправленный канал для обеспечения работы графического ускорителя, который обрабатывает графические данные, хранимые во внешней памяти через контроллер EM0 DDR. Один канал чтения для чтения графических данных видеоконтроллером высокого разрешения. Два канала чтения от видеodeкодера для чтения исходных транспортных потоков

					ЮФКВ.431268.005РЭ			Лист
								83
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.1.3 Структурная схема тракта аудио и видеобработки

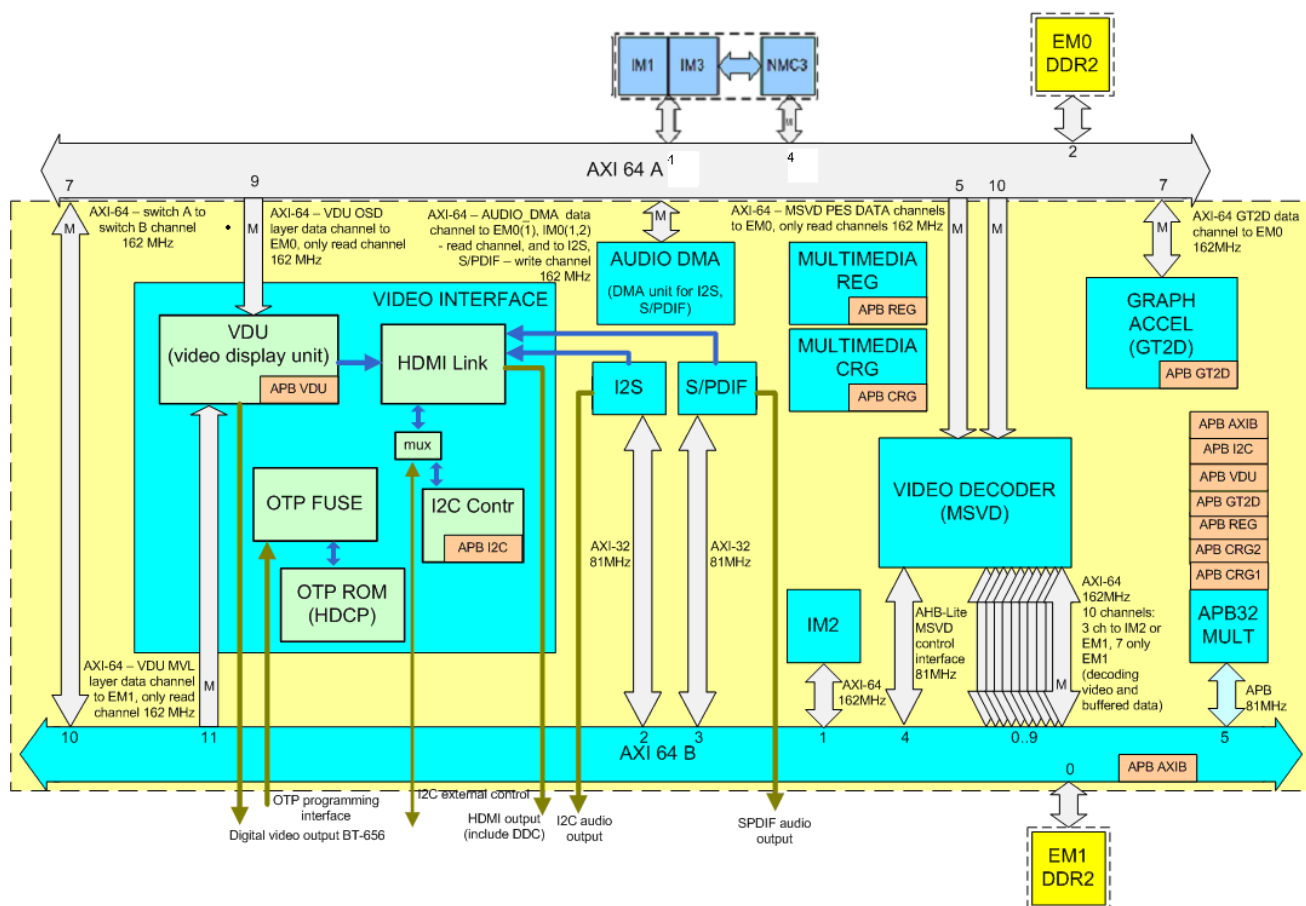


Рисунок 24 - Тракт аудио и видеобработки

В состав тракта входят следующие аппаратные устройства:

• VIDEO - Подсистема видеовывода:

- VDU - Видеоконтроллер высокого разрешения;
- CLK_MUX - Коммутатор источников синхросигнала;
- HDMI_LINK - Контроллер интерфейса HDMI версии 1.2;
- I2C Contr - Контроллер интерфейса I2C;
- OTP ROM - Однократно программируемая память ключей;
- OTP FUSE - Устройство программирования памяти ключей;
- HDMI PHY - Физический уровень контроллера HDMI;
- HDMI TEST - Устройство тестирования интерфейса HDMI;

• AUDIO - Аудиоподсистема:

- Универсальный цифровой процессор сигналов NMC3 ;
- Контроллер передачи звуковой информации стандарта I2S (I2S);

					ЮФКВ.431268.005РЭ			Лист
								84
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

- Контроллер передачи звуковой информации стандарта SPDIF (SPDIF);

• MSVD - Видеodeкодер;

• GT2D - Графический ускоритель;

- GT2D_CORE - ядро графического ускорителя, выполняющее основные функции
- GT2D_AXI_IF – блок, реализующий согласование интерфейса AMBA AXI и интерфейса ядра графического ускорителя
- APB_HUB – блок, реализующий согласование интерфейса AMBA APB и интерфейса ядра графического ускорителя
- FUJITSU MEMORY - набор блоков памяти Fujitsu, необходимых для работы ядра графического ускорителя

• IM2 - Внутренняя память;

• AXI В - Коммутатор шины AXI В;

• MULTIMEDIA REG - Конфигурационные регистры подсистемы медиаобработки;

• MULTIMEDIA CRG - Блок генерации синхросигналов и сброса.

• AUDIO_DMA - Контроллер DMA для управления аудиоподсистемой.

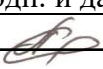
1.3.3.1.4 Подсистема видеовывода СБИС ДЦТС

1.3.3.1.4.1 Структура подсистемы видеовывода

Подсистема видеовывода объединяет набор блоков микросхемы, которые по своему функционалу предназначены для конечного преобразования и вывода видеоданных на внешние устройства отображения.

Структурная схема подсистемы видеовывода представлена на Рисунок 25. В состав подсистемы видеовывода входят следующие устройства:

- видеоконтроллер высокого разрешения (**VDU**) – предназначен для считывания видео и графической информации из системной памяти декодера цифрового телевизионного сигнала, наложения видео и графической информации и формирования сигналов развертки телевизионного сигнала;
- контроллер интерфейса **HDMI** версии 1.2 (HDMI) – обеспечивает выдачу мультимедийной (видео, аудио) информации в соответствии со стандартом HDMI;
- контроллер интерфейса **I2C** (I2C Contr) – обеспечивает выработку управляющих сигналов для контроллера HDMI;
- однократно программируемая память ключей (**OTP ROM**) – содержит ключи необходимые для обмена кодированной информацией в соответствии с протоколом HDCP;
- устройство программирования памяти ключей (**OTP FUSE**) – предназначено для записи HDCP ключей в однократно программируемую память;

					ЮФКВ.431268.005РЭ			Лист
								85
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

- физический уровень контроллера **VIDEO_HDMI** (HDMI PHY) – реализует физический уровень интерфейса HDMI (данное устройство относится к подсистеме видеовывода, однако в структуре модели ДЦТС оно физически находится на верхнем уровне иерархии);
- устройство тестирования интерфейса HDMI (HDMI TEST) – предназначен для тестирования и отладки контроллера HDMI (данное устройство относится к подсистеме видеовывода, однако в структуре модели ДЦТС оно физически находится на верхнем уровне иерархии);
- видео ЦАП – предназначен для перевода цифрового телевизионного сигнала в аналоговый вид.

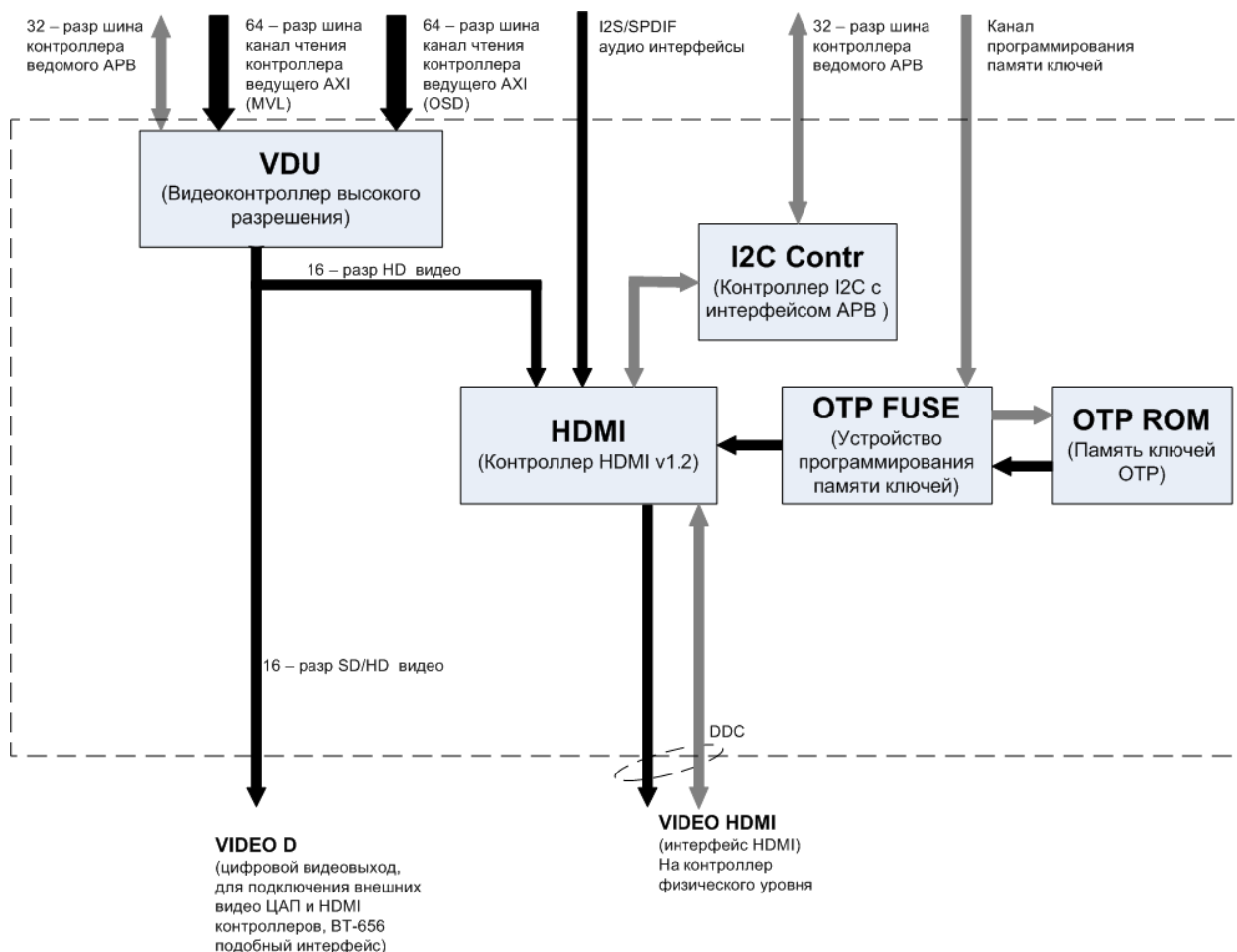
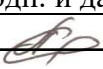


Рисунок 25 – Структура подсистемы видеовывода

На вход видеоподсистемы поступают видеоданные (посредством 64 разрядной шины интерфейса AXI), графические данные (посредством 64 разрядной шины интерфейса AXI), аудиоданные (посредством I2S/SPDIF интерфейсов), а также управляющие данные (посредством 3х шин интерфейса APB и отдельных сигналов)

Подсистема видеовывода обладает тремя выходами для выдачи телевизионного сигнала:

- **Video A** – аналоговый видеовыход для выдачи из микросхемы ДЦТС аналогового композитного телевизионного сигнала стандартной четкости. Данный выход предназначен для подключения приемных устройств, оборудованных аналоговым

					ЮФКВ.431268.005РЭ			Лист
								86
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

выходом. Данный выходной сигнал формируется видеоконтроллером высокого разрешения, далее передается на формирователь телевизионного сигнала стандартного разрешения для модуляции сигнала цветности и формирования композитного видеосигнала, после чего сигнал подается на видео ЦАП, где переводится в аналоговый сигнал.

- **Video D** – цифровой видеовыход для выдачи из микросхемы ДЦТС телевизионного сигнала в цифровом виде (как стандартной, так и высокой четкости). Данный выход предназначен для подключения внешних устройств формирования телевизионного сигнала (внешние видео ЦАП, HDMI передатчики), имеющих цифровой интерфейс стандарта BT-656. Данный выходной сигнал выдается напрямую из видеоконтроллера высокого разрешения.
- **Video HDMI** – цифровой интерфейс стандарта HDMI v1.2. с каналом DDC и поддержкой HDCP протокола. Данный выходной сигнал формируется видеоконтроллером высокого разрешения, далее подается на контроллер HDMI интерфейса, для формирования сигналов в соответствии со спецификацией HDMI.

1.3.3.1.4.2 Принципы функционирования подсистемы видеовывода

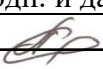
Графические и видеоданные поступают в видеоконтроллер высокого разрешения, где осуществляется их наложение друг на друга с учетом прозрачности. Также видеоконтроллер позволяет производить изменение размеров входного видеоизображения и преобразование видеоизображения из SD в HD и наоборот. Также видеоконтроллер генерирует сигналы временной развертки, которые сопровождают видеоданные. Для приема графических и видеоданных видеоконтроллер имеет отдельные каналы, что позволяет уменьшить итоговые требования к пропускной способности подсистемы памяти ДЦТС по каждому из каналов.

Перед работой видеоконтроллер должен быть сконфигурирован на требуемый режим преобразования и выдачи данных посредством управляющего APB интерфейса.

Данные с выхода видеоконтроллера могут выдаваться по трем направлениям.

- 1). В том случае, если требуется вывод аналогового телевизионного сигнала, дальнейшая обработка сигнала ведется в формирователе TV сигнала стандартного разрешения, где осуществляется модуляция сигнала и формирование композитного телевизионного сигнала, который после этого передается в видео ЦАП для перевода сигнала из цифрового представления в аналоговое, после чего видеосигнал выдается через выход - Video A.
- 2). Видеосигнал может выдаваться в цифровом виде непосредственно из видеоконтроллера наружу микросхемы, т.е. цифровой сигнал без преобразований будет выдаваться посредством интерфейса Video D. Впоследствии к этому интерфейсу могут быть подключены внешние микросхемы формирователя TV сигнала или контроллера HDMI.
- 3). В том случае, если к микросхеме ДЦТС требуется подключение устройства отображения информации использующее протокол HDMI, то видеопоток с видеоконтроллера направляется на контроллер интерфейса HDMI v1.2. На данный контроллер также подается аудио информация, поступающая с внутренних контроллеров звука по протоколу I2S/SPDIF, которая передается вместе с видеоданными на блок физического уровня контроллера HDMI, откуда выдается на внешнее устройство отображения.

Конфигурирование контроллера HDMI ведется посредством контроллера I2C, имеющего внешний интерфейс APB.

					ЮФКВ.431268.005РЭ			Лист
								87
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Также к контроллеру HDMI интерфейса подключена через устройство программирования памяти ключей OTP память ключей, предназначенная для хранения HDCP ключей.

Память ключей является однократно-программируемой. При этом доступ непосредственно к ней возможен только в режиме программирования. В рабочем режиме доступ извне к памяти ключей не возможен, обращение к памяти ведется только контроллером HDMI.

1.3.3.1.4.3 Интерфейсы подсистемы видеовывода

При описании можно выделить две группы интерфейсов подсистемы видеовывода:

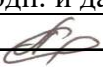
- внутри кристальные интерфейсы;
- внешние интерфейсы;

Первая группа сигналов является внутри кристальной, т.е. подключение к другим блокам происходит внутри кристалла (включает в себя все сигналы подсистемы видеовывода), в то время как вторая группа содержит только сигналы, выводимые на внешние контакты микросхемы, обеспечивающие подключение блоков внешних, по отношению к микросхеме.

Особенности подключения и конфигурирования сигналов описаны в разделах, посвященных конкретным блокам.

При рассмотрении интерфейсов подсистемы видеовывода следует учитывать то, что данные интерфейсы соответствуют функциональной структуре, однако, при разработке RTL модели ДЦТС возможно разбиение блоков по другому иерархическому принципу, в связи с чем внутри кристальные интерфейсы подсистемы видеовывода могут не совпадать. Например, физический слой контроллера HDMI в RTL модели вынесен из подсистемы видеовывода на верхний уровень иерархии, также на верхний уровень иерархии вынесен коммутатор синхросигналов. При этом функционально эти блоки относятся к подсистеме видеовывода.

Более подробно блок видеоинтерфейса описан в Техническом описании подсистемы видеовывода.

					ЮФКВ.431268.005РЭ			Лист
								88
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.2 Видеоконтроллер

1.3.3.2.1 Описание и работа видеоконтроллера

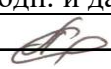
1.3.3.2.1.1 Назначение видеоконтроллера

Блок видеоконтроллера рассчитан на применение в составе СнК с системной шиной AMBA 3.0 (AXI) высокой степени интеграции и может использоваться в цифровых фотоаппаратах, видеокамерах, DVD-плеерах, телевизионных приставках и цифровых телевизорах.

Видеоконтроллер предназначен для формирования видеосигнала во всем спектре телевизионных разрешений, вплоть до разрешений высокой четкости, поддерживает аппаратное наложение слоя графики и меню на основное видеоизображение с программируемым коэффициентом прозрачности, а также позволяет масштабировать видеоизображение с произвольными коэффициентами по вертикали и горизонтали. Видеоконтроллер отличается небольшой площадью, занимаемой на кристалле, и по своим характеристикам соответствует образцам IP-блоков, доступным в данный момент на международном рынке интеллектуальной собственности. Видеоконтроллер имеет стандартные внешние интерфейсы, позволяющие разработчикам СнК интегрировать его в свои проекты с минимальными затратами.



Рисунок 26 - Схема типового применения (в типовом применении обязательно наличие видеоконтроллера, контроллера памяти, процессора, а также шин AXI и APB)

					ЮФКВ.431268.005РЭ			Лист
								89
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

На Рисунок 27 отображено типичное изображение, которое может быть выведено на экран дисплея видеоконтроллером.

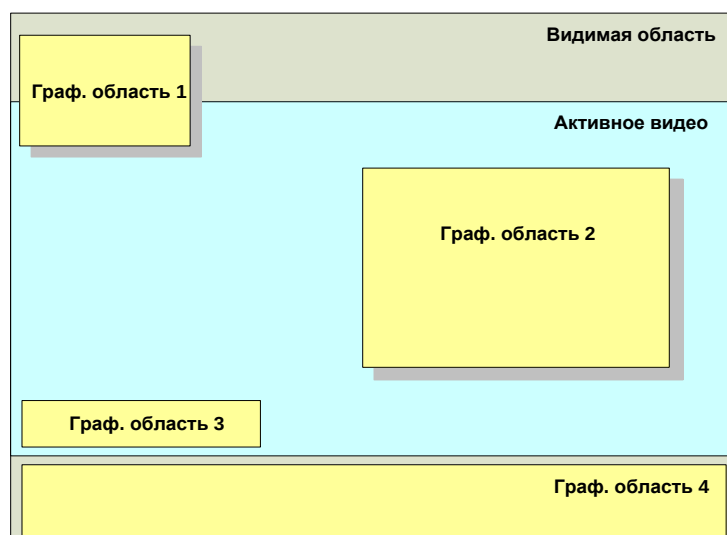


Рисунок 27 - Пример построения изображения на экране дисплея

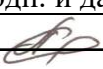
- Видимая область определяет размеры итогового изображения на экране средства отображения. При этом цвет видимой области (цвет фона) задается программно в регистрах видеоконтроллера.
- Область активного видео – это область, в которую осуществляется вывод изображения из основного видеослоя, эта область непрозрачна и располагается поверх видимой области.
- Графические области 1-4 относятся к графическому слою и располагаются поверх области активного видео. Для графических областей могут быть заданы коэффициенты прозрачности. Размеры и положение областей могут варьироваться, при этом не допускается перекрытие графических областей по горизонтали.

Видеоконтроллер предназначен для считывания видеоданных из видеостраниц в системной памяти, преобразования изображения и передачи его на устройства, осуществляющие кодирование видеосигнала в формат, воспринимаемый оконечными устройствами отображения видеoinформации.

На вход видеоконтроллера поступают видеоданные в форматах представления YCbCr 4:2:2 и/или YCbCr 4:2:0, которые преобразуются видеоконтроллером в цифровые выходные сигналы в соответствии со стандартами ITU-R BT.656 или EIA/CEA-861-B с соотношением сторон 4:3 или 16:9. Видеоконтроллером может поддерживаться режим телевидения высокой четкости (HD) при соответствии выходных данных стандарту EIA/CEA-861-B. Сигналы пиксельной и системной синхронизации поступают в видеоконтроллер от внешних программируемых генераторов синхросигналов.

Итоговое видимое изображение формируется путем смешения видеоконтроллером нескольких видеослоев, поступающих на вход видеоконтроллера. В Таблица 61 представлены характеристики входных слоев видеоконтроллера.

Итоговое видимое изображение выдается из видеоконтроллера посредством его выходных цифровых интерфейсов. Видеоконтроллер имеет выходные интерфейсы

					ЮФКВ.431268.005РЭ			Лист
								90
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

стандартной и высокой четкости. При этом активен только один из этих интерфейсов. Краткие характеристики этих интерфейсов приведены в Таблица 62.

Таблица 61 - Характеристики входных слоев видеоконтроллера

Входной видеослой	Тип представления видеоданных	Максимальное разрешение кадра
Основной	YCbCr 4:2:0 или 4:2:2, 8 бит на компонент	1920x1080 точек
Графический	до четырех не перекрывающихся прямоугольных областей представленных в формате (A)RGB	1920x1080 точек

Таблица 62 - Характеристики выходных интерфейсов видеоконтроллера

Выходной интерфейс	Соответствие стандарту по развертке	Максимальное разрешение
Интерфейс стандартной четкости	ITU-R BT.656	720x480i30 или 720x576i25
Интерфейс высокой четкости	EIA/CEA-861-B	1920x1080 точек в кадре

Видеоданные для входных видеослоев поступают в видеоконтроллер посредством интерфейса ведущего AMBA AXI, который содержит буферную память для нивелирования задержек при передаче данных.

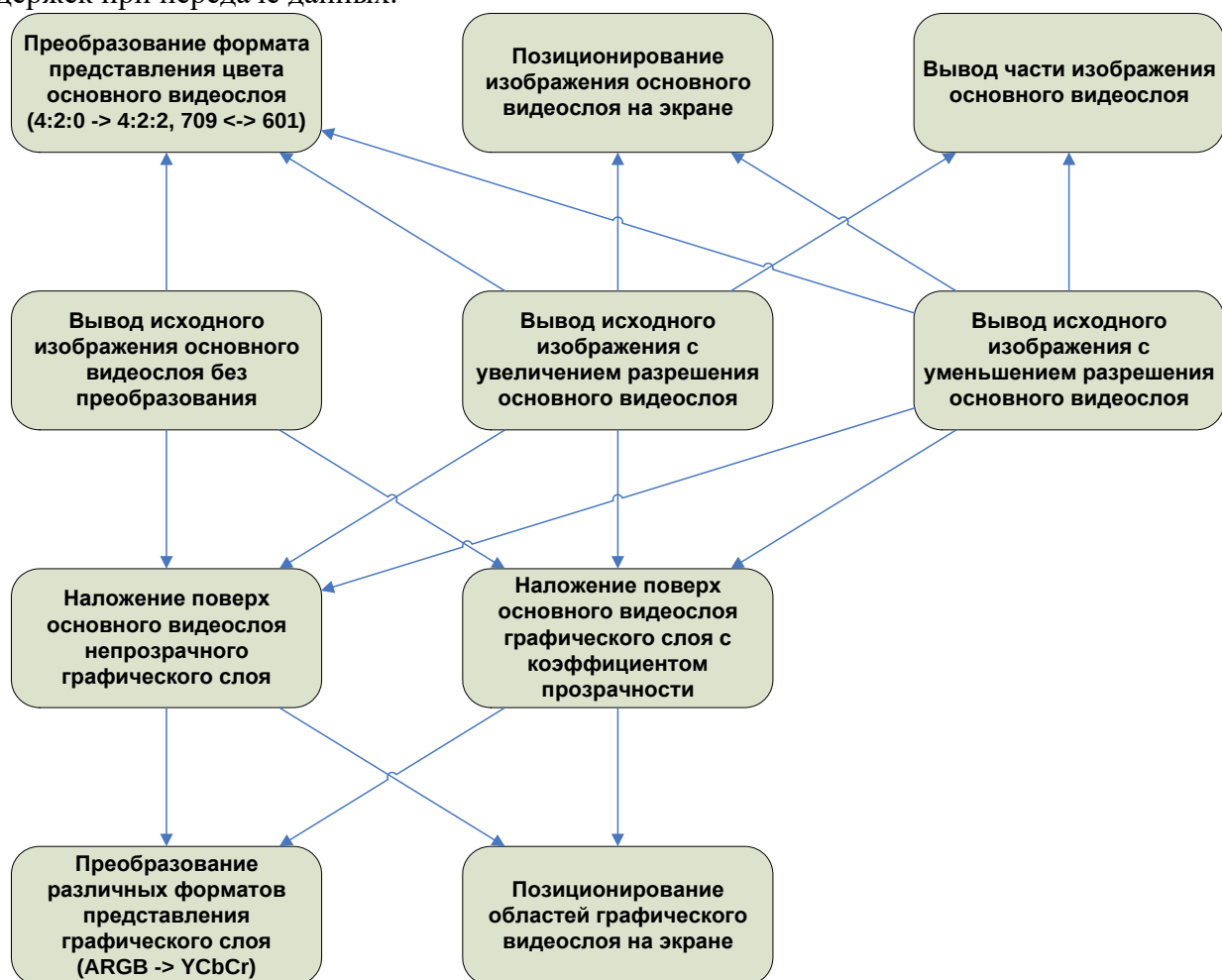


Рисунок 28 - Сценарии применения видеоконтроллера

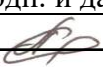
					ЮФКВ.431268.005РЭ			Лист
								91
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Возможные сценарии применения видеоконтроллера. На Рисунок 28 указаны возможные действия, которые могут быть произведены видеоконтроллером при обработке видеоизображения, также этот рисунок описывает возможные режимы работы видеоконтроллера. Дадим их краткую характеристику.

1. Самым простым режимом работы является вывод исходного изображения основного видеослоя без преобразования, под преобразованием подразумевается изменение разрешения исходного видеоизображения. Однако при этом режиме работы видеоконтроллером могут быть выполнены также следующие действия.

- Преобразование формата представления цвета основного видеослоя – входной видеопоток для основного слоя видеоконтроллера может быть представлен как в формате YCbCr 4:2:0, так и в формате YCbCr 4:2:2, однако внутренним представлением является YCbCr 4:4:4, поэтому в случае необходимости видеоконтроллер способен организовать преобразование формата 4:2:0 и 4:2:2 в 4:4:4. Также преобразование формата представления цвета основного видеослоя необходимо в случае, если отличаются форматы входного и выходного видеосигнала, т.е. если один из них представляет сигнал стандартной четкости, а другой высокой, так как SDTV и HDTV форматы имеют разные колориметрические характеристики. В данном случае необходимо выполнить преобразование Y₆₀₁CbCr (SDTV) в Y₇₀₉CbCr (HDTV), или наоборот.
- Наложение поверх основного видеослоя непрозрачного графического слоя – итоговое видеоизображение формируется путем наложения непрозрачных областей (до 4 областей) графического слоя поверх основного видеослоя. При данном режиме полностью не учитывается влияние коэффициентов прозрачности, т.е. канал прозрачности может отсутствовать.
- Наложение поверх основного видеослоя графического слоя с коэффициентом прозрачности – в данном случае учитывается влияние коэффициентов прозрачности. Учитывается как коэффициент прозрачности для каждой точки изображения, так и коэффициент, который может задаваться для целой области графического слоя.
- Преобразование различных форматов представления графического слоя (ARGB -> YCbCr) – так как внутренним форматом представления цвета в видеоконтроллере является формат YCbCr 4:4:4, то необходимо провести преобразование к нему форматов входных данных графического слоя. При преобразовании следует учитывать, что SDTV и HDTV форматы имеют разные колориметрические характеристики, поэтому преобразование форматов типа ARGB в YCbCr зависит от типа итогового видеоизображения Y₆₀₁CbCr (SDTV) или Y₇₀₉CbCr (HDTV). Данное преобразование выполняется при любом варианте наложения, как с учетом прозрачности, так и без.
- Позиционирование областей графического видеослоя на экране – при отображении графического слоя он может быть представлен в виде от 1 до 4 графических областей, каждая из которых характеризуется своим размером и начальными координатами. Видеоконтроллер может производить позиционирование данных областей на экране.

2. Помимо вывода исходного изображения основного видеослоя без преобразования, видеоконтроллер также способен увеличивать разрешение изображения. Данный режим - вывод исходного изображения с увеличением разрешения основного видеослоя подразумевает возможность произвольного независимого увеличения разрешения изображения как по вертикали, так и по горизонтали. При этом коэффициенты масштабирования могут быть произвольными, однако стабильная работа видеоконтроллера гарантируется лишь на фиксированном наборе коэффициентов, предназначенных для преобразований между набором разрешенных входных и выходных форматов

					ЮФКВ.431268.005РЭ			Лист
								92
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

видеоконтроллера (используется для увеличения изображений разрешением меньше SD до изображения в формате SD, в других режимах и при других значениях коэффициентов правильная работоспособность видеоконтроллера не гарантируется). Увеличение разрешения изображения производится методом линейной интерполяции.

3. Также видеоконтроллер способен уменьшать разрешение изображения. Данный режим - вывод исходного изображения с уменьшением разрешения основного видеослоса подразумевает возможность произвольного независимого уменьшения разрешения изображения как по вертикали, так и по горизонтали. При этом коэффициенты масштабирования могут быть произвольными, однако стабильная работа видеоконтроллера гарантируется лишь на фиксированном наборе коэффициентов, предназначенных для преобразований между набором разрешенных входных и выходных форматов видеоконтроллера (используется для уменьшения изображений с HD разрешением до изображения в формате SD, в других режимах и при других значениях коэффициентов правильная работоспособность видеоконтроллера не гарантируется). Уменьшение разрешения изображения производится методом усреднения по нескольким точкам. Для режимов с масштабированием видеоизображения видеоконтроллером могут быть помимо вышеперечисленных режимов работы реализованы следующие.

- Позиционирование изображения основного видеослоса на экране – при использовании режимов видеоконтроллера с масштабированием видеоизображения (например для преобразований форматов с отношением сторон 16:9 к форматам с отношением 4:3, или наоборот) возможно понадобится позиционирование основного видеослоса относительно экрана.
- Вывод части изображения основного видеослоса – при использовании режимов видеоконтроллера с масштабированием видеоизображения (например для преобразований форматов с отношением сторон 16:9 к форматам с отношением 4:3) – подразумевает отсечение ненужных областей исходного изображения после его масштабирования (уменьшения размеров изображения).

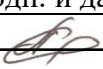
1.3.3.2.1.2 Технические характеристики видеоконтроллера

Технические характеристики устройства Видеоконтроллера делятся на две группы:

- Технологически не зависимые характеристики
- Технологически зависимые характеристики

К первой группе относятся следующие характеристики устройства:

- поддерживаемые форматы хранения видеоданных:
 - линейное с двух плоскосным и трех плоскостным хранением компонент,
 - макроблочное с двух плоскостным хранением компонент;
- формат представления компонент YCbCr видеоданных:
 - 4.2.0,
 - 4.2.2;
- поддерживаемые форматы хранения графических данных:
 - 5:6:5,
 - 1:5:5:5,
 - 4:4:4:4;
- поддерживаемые разрешения вывода видеоданных:
 - SDTV 720x480i 60Hz,
 - SDTV 720x576i 50Hz,
 - EDTV 720(1440)x480i 60Hz,

					ЮФКВ.431268.005РЭ			Лист
								93
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

- EDTV 720(1440)x576i 50Hz,
- EDTV 720x480p 60Hz,
- EDTV 720x576p 50Hz,
- HDTV 1280x720p 60Hz,
- HDTV 1280x720p 50Hz,
- HDTV 1920x1080i 60Hz,
- HDTV 1920x1080i 50Hz,
- HDTV 1920x1080p 30Hz,
- HDTV 1920x1080p 25Hz;
- системная шина данных AMBA AXI с разрядность по адресам 32 бит, по данным 64 бита;

Ко второй группе относятся следующие характеристики устройства, все значения приведены при условии реализации устройства на технологическом процессе Fujitsu с проектными нормами 90 нм:

- системная частота – 162 МГц;
- частота вывода видеоданных для высокого разрешения – 74,25МГц;
- частота вывода видеоданных для стандартного разрешения – 27 МГц;

1.3.3.2.1.3 Структура видеоконтроллера

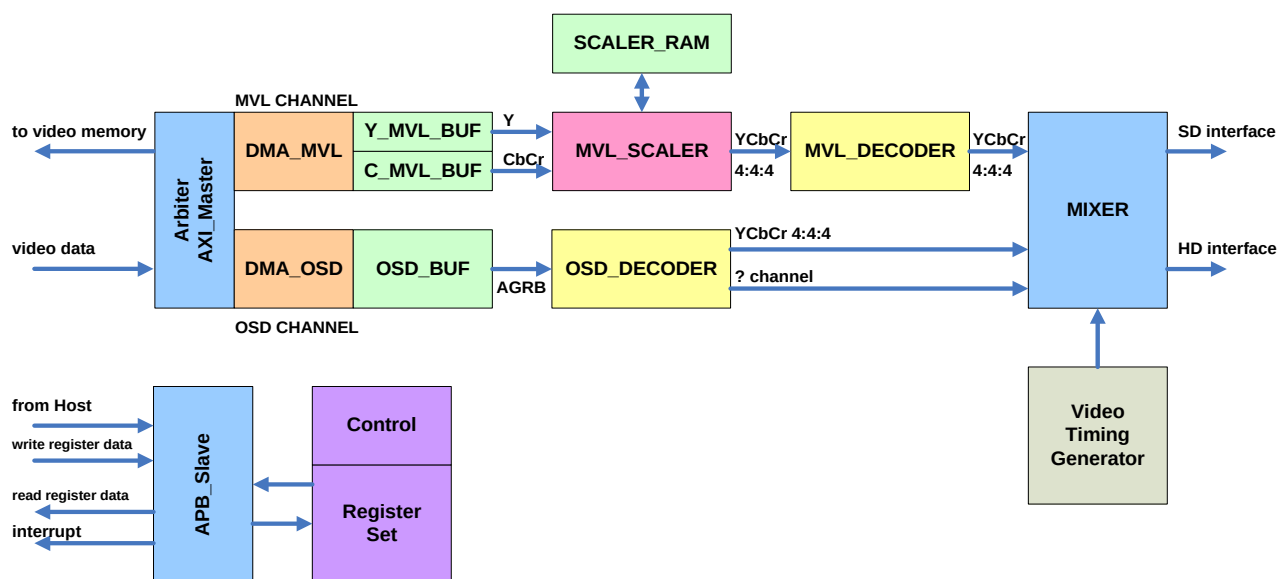


Рисунок 29 - Структурная схема видеоконтроллера

Блок видеоконтроллера является параметризируемым и построен по модульному принципу, что позволяет на его базе формировать различные конфигурации оптимально соответствующие различным вариантам его применения. Возможно изменение объемов используемой буферной памяти и исключение из тракта обработки ряда блоков, таких как устройство масштабирования, поддержка разрешений высокой четкости и др. Структурная схема видеоконтроллера приведена на **Ошибка! Источник ссылки не найден.**

APB_Slave – блок системного интерфейса управления обеспечивает прием и выдачу конфигурационной информации видеоконтроллера по запросу внешнего ведущего устройства.

					ЮФКВ.431268.005РЭ			Лист
								94
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Реализуется контроллером ведомого на шине AMBA APB, в соответствии со спецификацией AMBA™ 3 APB Protocol v1.0.

Control – устройство управления видеоконтроллером – управляет функционированием блоков видеоконтроллера и их взаимодействием, обеспечивает запись/считывание управляющей информации в/из регистров видеоконтроллера посредством системного интерфейса, управляет режимами работы видеоконтроллера, преобразует внутренние управляющие сигналы и вырабатывает сигналы прерываний.

Register Set – набор внутренних регистров видеоконтроллера, обеспечивает хранение управляющей информации и внутреннего состояния видеоконтроллера.

AXI_Master (Arbiter) – интерфейс с видеопамью – обеспечивает выдачу запросов в видеопамью и прием видеоданных из памяти, выдает сигналы прерывания видеоконтроллера на головное устройство. Реализуется контроллером ведущего на шине AMBA AXI, в соответствии со спецификацией AMBA® AXI Protocol v1.0., совмещен с **Arbiter** – арбитр обращений к памяти – производит диспетчеризацию запросов к системной памяти от аппаратуры каналов основного и графического слоев. Это обусловлено тем, что при обработке видеоданных в соответствующем канале используется собственный генератор запросов в видеопамью. Видеоконтроллер имеет отдельные интерфейсы подключения (для основного и графического слоев), диспетчеризируемые между собой. Осуществляется контроль количества запросов, выданных мастерами на системную шину AXI, гарантирует, что все запросы выданные на системную шину будут приняты входными буферами соответствующего тракта видеоконтроллера.

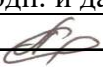
DMA_MVL – контроллер прямого доступа в память основного видеослоя – обеспечивает генерацию запросов в память для загрузки видеоданных в канал основного видеослоя. На основе внутренней информации генерирует адреса для обращения в видеопамью за порцией видеоданных, определяет размер порции. Имеет интерфейс AMBA® AXI Protocol v1.0.

Y_MVL_BUF – буфер яркостной составляющей – служит буфером между блоком интерфейса с видеопамью и аппаратурой канала основного видеослоя, в данном буфере содержится информация только о яркостной составляющей сигнала, Обеспечивает буферизацию для нивелирования возможной задержки поступления видеоданных по шине. Осуществляет преобразование данных из форматов интерфейсной шины в форматы, используемые при обработке в канале основного видеослоя.

C_MVL_BUF – буфер цветоразностной составляющей – аналогичен Y_MVL_BUF, за тем исключением, что данный буфер содержит информацию только о цветоразностной составляющей сигнала.

MVL_DECODER – преобразователь форматов представления цвета в канале основного видеослоя – видеоконтроллер поддерживает и режим телевидения стандартной четкости, и режим телевидения высокой четкости, при этом, обеспечивая перевод видеоизображения между ними, данные форматы цифрового телевидения имеют разные колориметрические характеристики. Данный блок выполняет преобразование формата Y₆₀₁CbCr в Y₇₀₉CbCr и наоборот.

MVL_SCALER – устройство масштабирования видеоизображения - осуществляет, как увеличение разрешения исходного изображения (upscaling), так и уменьшение (downscaling). Увеличение разрешения проводится по методу линейной интерполяции, уменьшение - выполняется методом усреднения по нескольким ближайшим точкам. Видеоконтроллер позволяет выполнять масштабирование изображения с произвольными значениями коэффициентов, однако стабильная работа видеоконтроллера гарантируется только с определенным набором коэффициентов, необходимыми для осуществления преобразований между разрешениями форматов входного и выходного изображения, являющихся рабочими для видеоконтроллера. Значения коэффициентов масштабирования ограничены также желаемым качеством выходного изображения.

					ЮФКВ.431268.005РЭ			Лист
								95
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Для устранения возможных искажений изображения при его масштабировании в системе производящей масштабирование могут быть применены дополнительные средства, например, предварительная сглаживающая фильтрация перед уменьшением разрешения изображения.

Осуществляет преобразование форматов представления входной видеоинформации из форматов YCbCr 4:2:0 и YCbCr 4:2:2 во внутреннее представление YCbCr 4:4:4.

Осуществляет симметричную обрезку изображения по вертикали и горизонтали.

SCALER_RAM – при выполнении операций масштабирования изображения первоначально ведется масштабирование в горизонтальном направлении, затем осуществляется масштабирование по вертикали. Для осуществления данного перехода в состав видеоконтроллера входит блок памяти, для временного хранения строк изображения.

DMA_OSD - контроллер прямого доступа в память графического слоя.

OSD_BUF - буфер графического слоя – служит буфером между блоком интерфейса с видеопамтью и аппаратурой канала графического слоя. Обеспечивает буферизацию для нивелирования возможной задержки поступления графической информации по шине. Осуществляет преобразование данных из форматов интерфейсной шины в форматы, используемые при обработке в канале графического слоя.

OSD_DECODER - преобразователь форматов представления цвета в канале графического слоя. Внутренним форматом представления цвета в видеоконтроллере является формат YCbCr 4:4:4, поэтому входные данные графического слоя, представленные в форматах (A)RGB необходимо преобразовать в Y₆₀₁CbCr 4:4:4 (при работе в режиме телевидения стандартной четкости), или Y₇₀₉CbCr 4:4:4 (в режиме телевидения высокой четкости). При этом значение прозрачности выносится в отдельный канал и подается на блок наложения и позиционирования видеослоев.

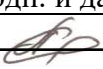
MIXER – блок наложения и позиционирования видеослоев. Данный блок реализует совмещение трех слоев видеоизображения: основного видеослоя, графического слоя и фонового слоя (задаваемого в регистрах видеоконтроллера). Для получения итогового изображения необходимо произвести наложения данных слоев изображения друг на друга в следующем порядке: фоновый, основной, графический. Основной слой всегда непрозрачен и накладывается на фоновый слой. Также данный блок производит встраивание результирующего изображения во временную развертку, генерируемую генератором временных разверток.

Video Timing Generator – генератор временных разверток обеспечивает генерацию сигналов в соответствии со стандартами ITU-R BT.656 и EIA/CEA-861-B.

1.3.3.2.1.4 Принципы функционирования, интерфейсы и форматы данных

1.3.3.2.1.4.1 Принцип формирования итогового видимого изображения

На Рисунок 30 отображена основная последовательность действий (функций), выполняемых видеоконтроллером при обработке исходного видеоизображения.

					ЮФКВ.431268.005РЭ			Лист
								96
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

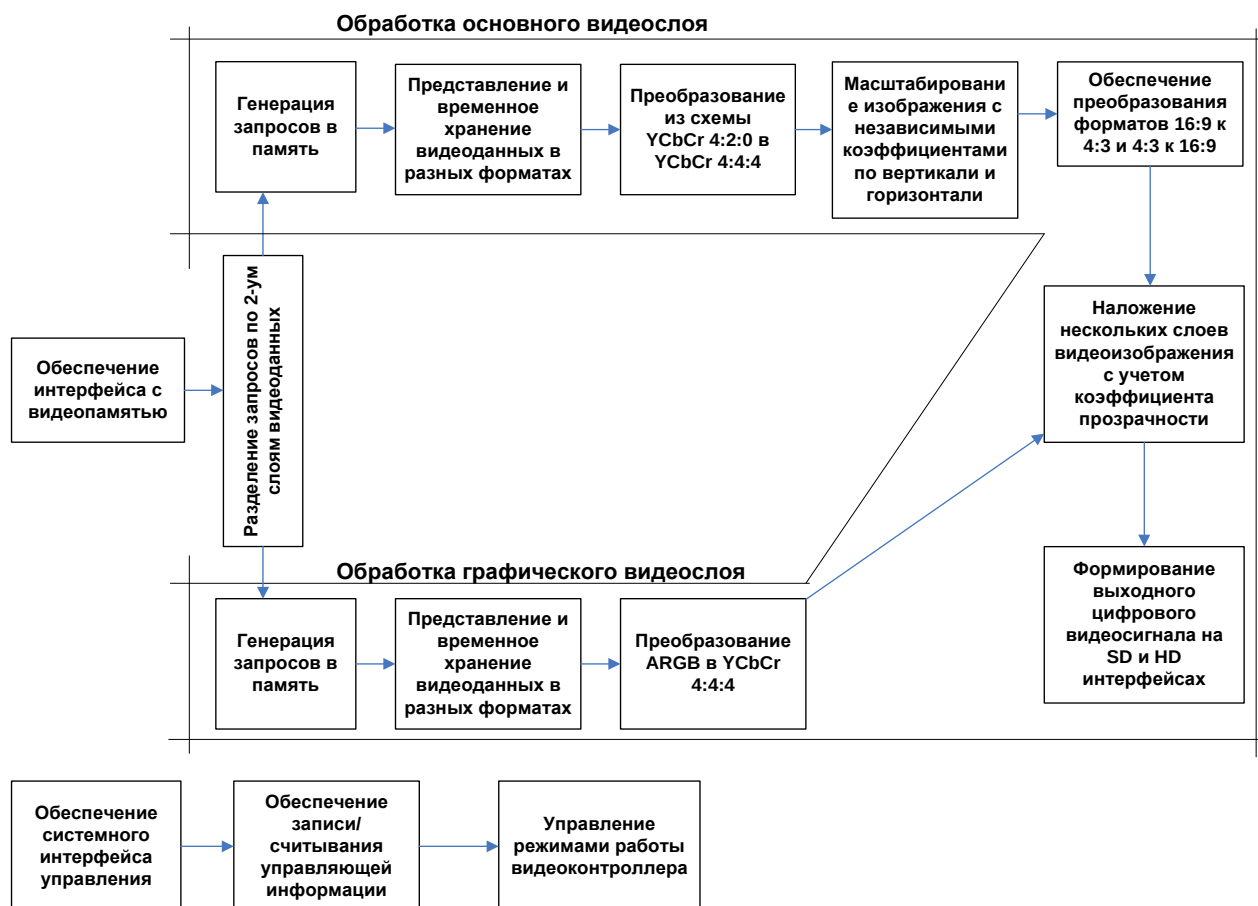


Рисунок 30 - Сценарий формирования итогового видимого изображения

Дадим краткие характеристики функциям видеоконтроллера, указанным на Рисунок 30. Из них можно выделить функции обработки основного видеослоя и графического видеослоя.

					ЮФКВ.431268.005РЭ			Лист
								97
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Обеспечение интерфейса с видеопамью

Реализуется интерфейсом ведущего шины AMBA AXI. Обеспечивает отправку запросов в видеопамью и прием видеоданных из памяти. Обеспечивает выдачу на головное устройство сигналов прерывания видеоконтроллера.

Разделение запросов по 2-ум слоям видеоданных

Так как для обработки обоих видеослоев используются собственные генераторы запросов в видеопамью, необходимо проводить диспетчеризацию запросов к памяти от двух видеослоев, а также распределять поступающие из видеопамью данные между двумя видеослоями.

Генерация запросов в память (для основного видеослоя)

На основе внутренней информации видеоконтроллера генерирует адреса для обращения в видеопамью за порцией видеоданных, также определяет размер порции.

Представление и временное хранение видеоданных в разных форматах (для основного видеослоя)

Данные, поступающие в видеоконтроллер, представлены в форматах интерфейсной шины, необходимо перевести их в форматы допустимые для основного видеослоя - YCbCr 4:2:0 или YCbCr 4:2:2. Обеспечить их буферизацию для нивелирования возможной задержки поступления данных по интерфейсной шине. А также необходимо обеспечить считывание видеоданных на следующие этапы обработки в форматах допустимых для основного видеослоя (YCbCr 4:4:4).

Преобразование из схемы YCbCr 4:2:0 и 4:2:2 в YCbCr 4:4:4

Внутренним представлением для обработки видеоданных в данном видеоконтроллере принят формат YCbCr 4:4:4. Поэтому, в том случае, если входные видеоданные представлены в формате YCbCr 4:2:0 или 4:2:2 необходимо провести их преобразование к формату YCbCr 4:4:4. Также преобразование формата представления цвета необходимо в случае, если отличаются форматы входного и выходного видеосигнала, так как SDTV и HDTV форматы имеют разные колориметрические характеристики. В данном случае необходимо выполнить преобразование Y₆₀₁CbCr (SDTV) в Y₇₀₉CbCr (HDTV),

Масштабирование изображения с независимыми коэффициентами по вертикали и горизонтали

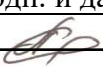
Видеоконтроллер позволяет изменять разрешение исходного изображения по вертикали и горизонтали с независимыми коэффициентами. Видеоконтроллер позволяет, как увеличивать разрешение исходного изображения (upscaling), так и уменьшать (downscaling). Увеличение разрешения проводится по методу линейной интерполяции, уменьшение разрешения выполняется методом усреднения по нескольким ближайшим точкам. Видеоконтроллер позволяет выполнять масштабирование изображения с произвольными значениями коэффициентов, однако стабильная работа видеоконтроллера гарантируется только с определенным набором коэффициентов, необходимыми для осуществления преобразований между разрешениями форматов входного и выходного изображения, являющихся рабочими для видеоконтроллера. Значения коэффициентов масштабирования ограничены также желаемым качеством выходного изображения.

Для устранения возможных искажений изображения при его масштабировании в системе производящей масштабирование применены дополнительные средства - предварительная сглаживающая фильтрация перед уменьшением разрешения изображения.

Обеспечение преобразования форматов 16:9 к 4:3 и 4:3 к 16:9

При работе видеоконтроллера может потребоваться преобразование видеоизображения к форматам с разным соотношением сторон. Поддерживается несколько типов преобразования, которые в общем можно свести к следующим действиям: масштабирование изображения, обрезание изображения и его последующее позиционирование.

Генерация запросов в память (для графического видеослоя)

					ЮФКВ.431268.005РЭ			Лист
								98
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

На основе внутренней информации видеоконтроллера генерирует адреса для обращения в видеопамять за порцией графических данных, также определяет размер порции.

Представление и временное хранение видеоданных в разных форматах (для графического слоя)

Данные, поступающие в видеоконтроллер, представлены в форматах интерфейсной шины, необходимо перевести их в форматы допустимые для графического слоя – (A) RGB. Обеспечить их буферизацию для нивелирования возможной задержки поступления данных по интерфейсной шине. А также необходимо обеспечить считывание графических данных на следующие этапы обработки в форматах допустимых для графического слоя.

Преобразование (A)RGB в YCbCr 4:4:4

Внутренним форматом представления цвета в видеоконтроллере является YCbCr 4:4:4, поэтому входные данные графического слоя, представленные в форматах (A)RGB необходимо преобразовать в Y₆₀₁CbCr 4:4:4 (при работе в режиме телевидения стандартной четкости), или Y₇₀₉CbCr 4:4:4 (в режиме телевидения высокой четкости).

Наложение нескольких слоев видеоизображения с учетом коэффициента прозрачности

В видеоконтроллере реализовано два слоя изображения: один (основной видеослой) для отображения основного видеопотока и второй (графический) для отображения графической информации, такой как субтитры, оконные меню, логотипы, фотографическая информация. Плюс существует еще понятие фоновый слой, значение которого статично и задается значением цвета в регистрах видеоконтроллера. Для получения итогового изображения необходимо произвести наложения данных слоев изображения друг на друга в следующем порядке: фоновый, основной, графический. Основной слой всегда непрозрачен и накладывается на фоновый слой. Графический слой состоит из областей (1-4) имеет коэффициенты прозрачности. Наложение слоев производится в формате представления цвета YCbCr 4:4:4.

Формирование выходного цифрового видеосигнала на SD и HD интерфейсах

Осуществляется кодирование выходных сигналов видеоконтроллера в соответствии со стандартами выходов стандартной и высокой четкости. При этом внутренний формат представления информации о цвете точки YCbCr 4:4:4 преобразуется в выходной YCbCr 4:2:2.

Обеспечение системного интерфейса управления

По условиям технического задания реализуется интерфейсом ведомого шины AMBA APB. Обеспечивает прием и выдачу конфигурационной информации видеоконтроллера по запросу внешнего ведущего устройства.

Обеспечение записи/считывания управляющей информации

Осуществляет запись/чтение в/из внутренних регистров видеоконтроллера в память посредством системного интерфейса управления.

Управление режимами работы видеоконтроллера

Осуществляет чтение регистров и формирование управляющих сигналов для внутренней логики видеоконтроллера. Преобразует внутренние сигналы видеоконтроллера и записывает их в регистры состояния.

1.3.3.2.1.4.2 Интерфейсы RTL-модели видеоконтроллера

Таблица 63 - Интерфейсы RTL-модели видеоконтроллера

Сигнал		Напр	Описание				
Глобальные сигналы синхронизации и сброса							
sys_clk_i		вх	сигнал системной синхронизации				
reset_i		вх	сигнал асинхронного сброса, активный низкий уровень				
Интерфейс системной шины управления (должен быть обязательно синхронен сигналу системной синхронизации sys_clk_i)							
pclk_i		вх	сигнал синхронизации системной шины управления (APB)				
paddr_i[11:0]		вх	шина адреса (задается адрес регистра к которому ведется				
					ЮФКВ.431268.005РЭ	Лист	
						99	
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата	
18212-2				14.11.11	18212-1		

Сигнал	Напр	Описание
		обращение по шине управления)
pwrite_i	ВХ	определяет тип обращения к регистру
psel_i	ВХ	выбор устройства ведомого
penable_i	ВХ	сигнал значимости данных на шине
pwdata_i[31:0]	ВХ	шина записи данных
prdata_o[31:0]	ВЫХ	шина чтения данных
pready_o	ВЫХ	завершение обращения к ведомому устройству
pslverr_o	ВЫХ	сигнал ошибки при выполнении обращения
Сигнал запроса прерывания		
vdu_interrupt	ВЫХ	сигнализирует о возникновении прерывания в видеоконтроллере (сигнал уровня прерывания)
Канал адресов для чтения видеоданных по шине AXI (раздельные для основного –mv1 и графического –osd слоев)		
axi_*_araddr_o[31:0]	ВЫХ	адрес чтения
axi_*_arlen_o[3:0]	ВЫХ	размер пакета (определяет количество посылок в одном пакете)
axi_*_arsize_o[2:0]	ВЫХ	определяет размер одной посылки (количество байт в одной посылке – имеет постоянное значение 3'b011, т.е. 64 разряда)
axi_*_arburst_o[1:0]	ВЫХ	тип обращения. Доступен только режим обращения INCR, поэтому сигнал постоянно имеет значение 2'b01
axi_*_arvalid_o	ВЫХ	значимость адреса на шине
axi_*_arready_i	ВХ	готовность адреса (запрос принят ведомым устройством шины AXI)
Канал чтения видеоданных по шине AXI (раздельные для основного –mv1 и графического –osd слоев)		
axi_*_rdata_i[63:0]	ВХ	считываемые данные
axi_*_rvalid_i	ВХ	значимость данных на шине чтения данных
axi_*_rlast_i	ВХ	последняя посылка в пакете
axi_*_rready_o	ВЫХ	индицирует, что видеоконтроллер готов принять данные по шине
axi_*_rresp_i	ВХ	сообщение ведомого об ошибке во время проведения обращения
axi_*_arcache_o[3:0]	ВЫХ	задание режимы работы с кеш (не поддерживается, всегда обнулен)
axi_*_arlock_o[1:0]	ВЫХ	задание режима эксклюзивного доступа (не поддерживается, всегда обнулен)
axi_*_arprot_o[2:0]	ВЫХ	задание режима защищенного доступа (не поддерживается, всегда обнулен)
Сигнал синхронизации видеовыхода		
pix_clk_i	ВХ	сигнал синхронизации видеовыхода видеоконтроллера (сигнал пиксельной синхронизации, <= 75 МГц)
Видеовыход стандартной четкости формата BT656 (последовательный интерфейс)		
dv0[7:0]	ВЫХ	информация о цвете пикселей, формат 4:2:2 (Cb,Y,Cr,Y) – в режиме последовательной выдачи видеоданных, также используется при параллельной выдаче видеоданных – в этом случае передает информацию о цвете Y компоненты
Видеовыход стандартной и высокой четкости формата BT601 подобный (параллельный интерфейс)		
dv1[7:0]	ВЫХ	информация о цвете пикселей, либо Cb компоненты, либо CbCr компонент в зависимости от режима
dv2[7:0]	ВЫХ	информация о цвете пикселей компоненты Cr используется в некоторых режимах

						ЮФКВ.431268.005РЭ	Лист
							100
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2	 14.11.11		18212-1				

Сигнал	Напр	Описание
data_en	вых	сигнал сопровождения данных активной части видеоизображения
field	вых	сигнал идентификации выводимого полукадра ('0' – первый полукадр, '1' – второй)
h_sync	вых	сигнал горизонтальной развертки
v_sync	вых	сигнал вертикальной развертки

1.3.3.2.1.4.3 Протокол формирования изображения и форматы данных основного видеослоса

Видеоконтроллер выводит видеоданные, хранимые во внешней памяти, на один из своих цифровых видеоинтерфейсов: стандартной или высокой четкости. Для основного видеослоса видеоконтроллера поддерживаются следующие форматы представления входных данных:

- YCbCr 4:2:0
- YCbCr 4:2:2

Видеоданные видеопотока, хранимые во внешней памяти, разделены на яркостную и цветоразностную плоскости (плоскости компонент), которые хранятся в видеопамяти независимо. При этом порядок данных внутри плоскости может быть различным.

Видеоконтроллером поддерживается два режима разделения кадра на плоскости компонент:

- режим двойного разделения
- режим тройного разделения

Видеоконтроллером поддерживаются два режима порядка данных внутри плоскости:

- линейный режим
- макроблочный режим

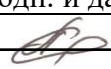
Для макроблочного режима порядка данных внутри плоскости не поддерживается режим тройного разделения кадра на плоскости.

Предполагается, что видеопамять состоит из 64х разрядных слов.

Режимы разделения кадра на плоскости

В случае режима двойного разделения кадра на плоскости компонент действительны следующие утверждения:

- Видеопоток представлен в виде последовательности кадров, которые хранятся в памяти раздельно.
- Независимо от того, в каком виде представлена исходная видеопоследовательность (прогрессивном или чересстрочном) и от режима отображения (прогрессивный, чересстрочный) все яркостные составляющие (Y) для кадра хранятся в отдельной яркостной плоскости и все цветоразностные составляющие (Cb, Cr) кадра хранятся в отдельной цветоразностной плоскости. В случае чересстрочного режима строки четного и нечетного полукадров хранятся в чередующемся манере, начиная сверху в одной плоскости..
- Яркостная и цветоразностная плоскости называются - плоскости компонент и хранятся в памяти раздельно. Таким образом, видеоконтроллеру требуется задать два базовых адреса (один базовый адрес для яркостной плоскости и один - для цветоразностной плоскости) для обращения к видеокадру.
- Внутри цветоразностной плоскости Cb и Cr составляющие хранятся в виде чередующихся CbCr пар. CbCr пары занимают по два байта и имеют выровненные по 2

					ЮФКВ.431268.005РЭ			Лист
								101
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

байта адреса, при этом Сб составляющая находится в младшем (четном) байте, а Сг составляющая расположена в старшем (нечетном) байте.

В случае режима тройного разделения кадра – цветоразностная плоскость разделяется на две плоскости: одну плоскость для Сб составляющей и одну плоскость для Сг составляющей. При этом видеоконтроллеру требуется уже три базовых адреса (один для яркостной плоскости и два для цветоразностных плоскостей) для доступа к видеокадру.

Для каждого базового адреса плоскостей принято выравнивание по 1КБайтной границе.

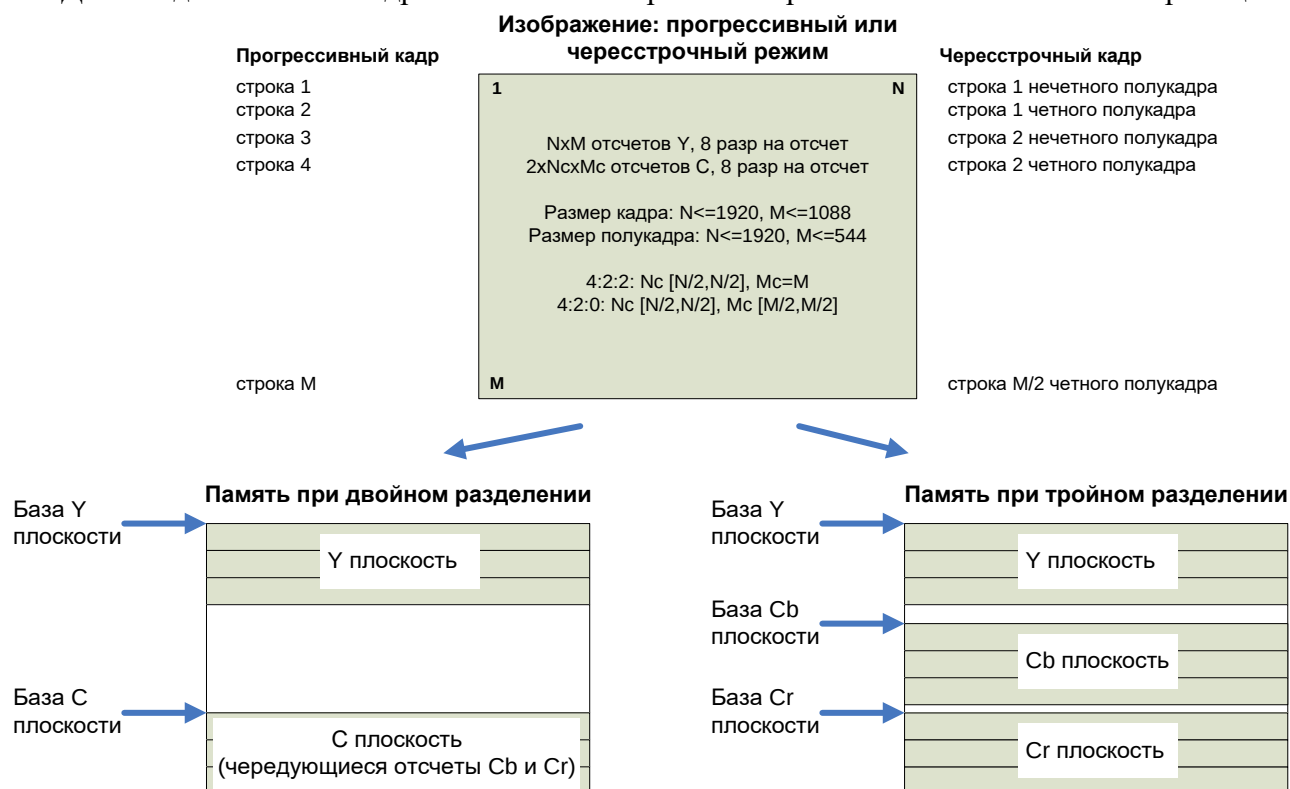


Рисунок 31 - Режимы разделения кадра на плоскости компонент

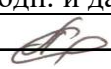
Порядок данных внутри плоскости

1.3.3.2.1.4.3.1 Линейный режим

Изображения внутри плоскости компоненты расположено следующим образом:

- строки последовательно расположены сверху вниз;
- внутри каждой строки отсчеты расположены последовательно слева направо.

В случае чересстрочного режима изображения строки четного и нечетного полукадров представлены в одной плоскости в виде четных и нечетных строк одного кадра (четные строки плоскости относятся к четному полукадру, нечетные строки – к нечетному полукадру).

					ЮФКВ.431268.005РЭ			Лист
								102
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

P1	P2	P3	P4	P5	P6	P7	P8	P9	P10	P11	P12	P13	P14	P15	P16
P17	P18	P19	P20	P21	P22	P23	P24	P25	P26	P27	P28	P29	P30	P31	P32
P33	P34	P35	P36	P37	P38	P39	P40	P41	P42	P43	P44	P45	P46	P47	P48

Рисунок 32 - Положение отсчетов на экране

64х разрядное слово видеопамати может содержать максимально до восьми 8ми разрядных отсчетов для плоскости компоненты. Внутри слова видеопамати первый отсчет (по правилам чтения изображения) содержится в байте с младшим адресом, т.е. в младшем байте LSB для формата little endian format, и в старшем байте MSB для формата big endian format. Байты по следующим адресам содержат отсчеты в соответствии с правилами чтения изображения в плоскости.

Рассмотрим порядок данных внутри плоскости на следующем примере (см. Рисунок 33 и Рисунок 34). Базовый адрес плоскости равняется n . Размер плоскости $N=16$, $M=3$, Длина строки N равняется физическому размеру строки.

MSB		QWORD=64 разр				LSB		
0	1	2	3	4	5	6	7	смещение в байтах
P1	P2	P3	P4	P5	P6	P7	P8	n
P9	P10	P11	P12	P13	P14	P15	P16	n+8
P17	P18	P19	P20	P21	P22	P23	P24	n+16
P25	P26							n+24
P33	P34							n+32
P41	P42					P47	P48	n+40

Рисунок 33 - Отображение плоскости в памяти при линейном режиме (big endian format)

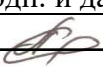
MSB		QWORD=64 разр				LSB		
7	6	5	4	3	2	1	0	смещение в байтах
P8	P7	P6	P5	P4	P3	P2	P1	n
P16	P15	P14	P13	P12	P11	P10	P9	n+8
P24	P23	P22	P21	P20	P19	P18	P17	n+16
						P26	P25	n+24
						P34	P33	n+32
P48	P47					P42	P41	n+40

Рисунок 34 - Отображение плоскости в памяти при линейном режиме (little endian format)

1.3.3.2.1.4.3.2 Макроблочный режим

Плоскость представлена в виде макроблоков (Рисунок 35), состоящих из 16 строк по 16 отсчетов в каждой. Макроблоки объединяются в строки, в которых макроблоки содержатся последовательно слева направо. Плоскость состоит из набора строк макроблоков, которые идут последовательно сверху вниз. При этом количество макроблоков в строке $N_m = N/16$ (N – размер строки плоскости компонента), а количество строк макроблоков $M_m = M/16$.

Внутри каждого макроблока изображение представлено аналогично линейному режиму.

					ЮФКВ.431268.005РЭ			Лист
								103
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18212-2		 14.11.11		18212-1				

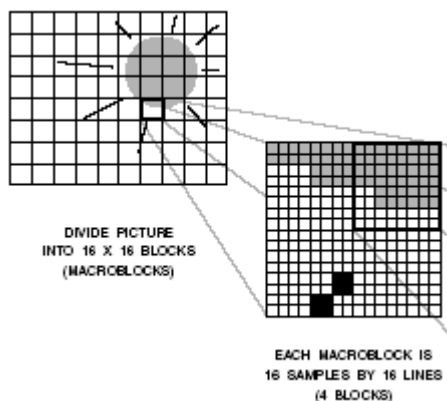


Рисунок 35 - Представление изображения макроблоками

В случае чересстрочного режима изображения строки четного и нечетного полукадров представлены в одной плоскости в виде четных и нечетных строк одного макроблока (первые 8 строк (0-7) относятся к четному полукадру, строки 8-15 – к нечетному полукадру).

Отображение плоскости при макроблочном режиме будет иметь следующий вид (Рисунок 36). Пример: плоскость, имеющая размеры в макроблоках $N_m=2$, $M_m=2$. Длина строки N_m равняется физическому размеру строки. На Рисунок 36 цветом выделены строки памяти, содержащие первую и семнадцатую строки изображения. Возможно хранение информации в памяти как в формате little endian format, так и в формате big endian format.

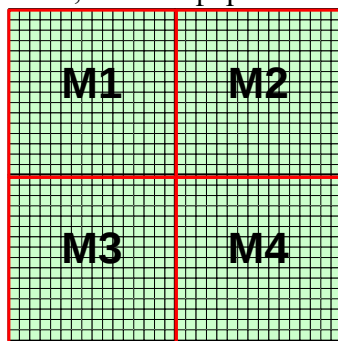
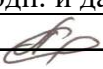


Рисунок 36 - Положение макроблоков на экране

					ЮФКВ.431268.005РЭ			Лист
								104
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

MSB		QWORD=64 разр				LSB		смещение в байтах
7	6	5	4	3	2	1	0	
M1_8	M1_7	M1_6	M1_5	M1_4	M1_3	M1_2	M1_1	n
M1_16	M1_15	M1_14	M1_13	M1_12	M1_11	M1_10	M1_9	n+8
M1_256	M1_255	M1_254	M1_253	M1_252	M1_251	M1_250	M1_249	n+32*8
M2_8	M2_7	M2_6	M2_5	M2_4	M2_3	M2_2	M2_1	n+33*8
M2_16	M2_15	M2_14	M2_13	M2_12	M2_11	M2_10	M2_9	n+34*8
M2_256	M2_255	M2_254	M2_253	M2_252	M2_251	M2_250	M2_249	n+64*8
M3_8	M3_7	M3_6	M3_5	M3_4	M3_3	M3_2	M3_1	n+65*8
M3_16	M3_15	M3_14	M3_13	M3_12	M3_11	M3_10	M3_9	n+66*8
M3_256	M3_255	M3_254	M3_253	M3_252	M3_251	M3_250	M3_249	n+96*8
M4_8	M4_7	M4_6	M4_5	M4_4	M4_3	M4_2	M4_1	n+97*8
M4_16	M4_15	M4_14	M4_13	M4_12	M4_11	M4_10	M4_9	n+98*8
M4_256	M4_255	M4_254	M4_253	M4_252	M4_251	M4_250	M4_249	n+128*8

Рисунок 37 - Отображение плоскости в памяти при макроблочном режиме (little endian format)

Режим макроблочного доступа не доступен при тройном разделении плоскости на компоненты.

Доступ к плоскостям компонент

Область доступа в системной видеопамати задается следующими параметрами (при этом базовый адрес (указатель на начало плоскости компоненты видеокадра) не указывается):

- mvl_line_size – размер строки доступной области в плоскости, в пикселах. При макроблочном режиме – кол-во макроблоков = mvl_line_size/16.
- mvl_num_row – количество строк в доступной области плоскости.
- mvl_full_line_size ($\geq$ mvl_line_size) – полный размер строки плоскости в пикселах, может быть равен или больше размера строки доступной области.
- mvl_start_pos – адрес, указывающий на начало доступной области в системной памяти.
- field_access – тип изображения: прогрессивный, чересстрочный.

Ситуация когда внутри плоскости компоненты в памяти существуют недоступные позиции (изображение, считываемое из памяти меньше кадра) возможна в том случае, если выполняется одно из следующих условий:

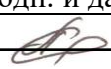
- mvl_full_line_size > mvl_line_size
- mvl_num_row < M (M – количество строк в плоскости компонента кадра)

На Рисунок 38 приводится пояснение вышеуказанных параметров.

Ограничения для параметров доступа к области памяти:

Для параметров mvl_line_size и mvl_num_row нет никаких ограничений, кроме того, что они должны быть четными значениями.

Параметр mvl_full_line_size для линейного режима (при задании в пикселах) должен быть кратен 16 (размеру строки макроблока). При макроблочном режиме параметр mvl_full_line_size должен быть кратен 64 (Y или 4:2:2 CbCr плоскости) или 128 (4:2:0 CbCr плоскость). Таким образом, начальный (самый левый) макроблок в строке макроблоков имеет адрес, выровненный по 1 КБайтной границе.

					ЮФКВ.431268.005РЭ			Лист
								105
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата
18212-2		 14.11.11		18212-1				

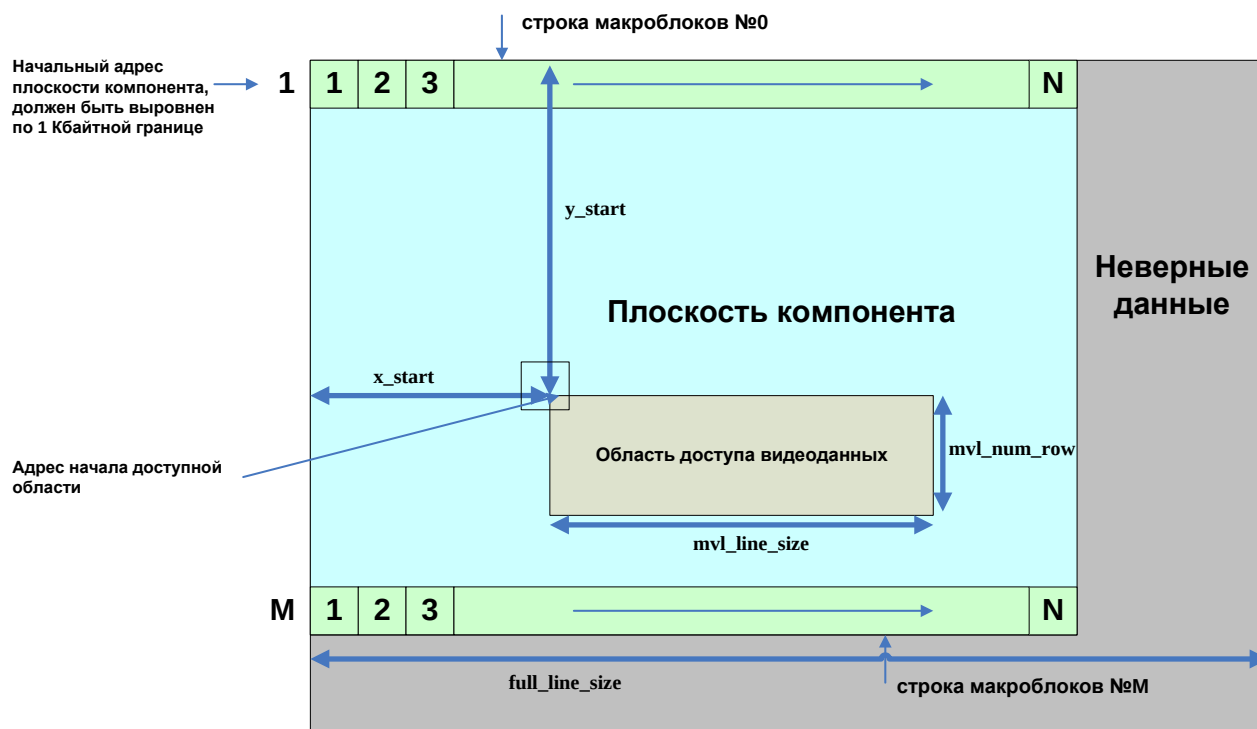


Рисунок 38 - Иллюстрация параметров для обращения в область доступа системной видеопамати

Параметр видеоконтроллера - `field_access` может быть установлен для доступа только к четным, или нечетным строкам изображения в плоскости компонента (тип считываемых строк определяется: `field_access` = "00" – чтение в прогрессивном режиме, `field_access` = "01" – чтение нечетных строк, `field_access` = "10" – чтение четных строк изображения). Это необходимо для организации чересстрочного доступа (доступа к полукадрам) при прогрессивном хранении изображения в системной видеопамати. Данный режим требует постоянства значения `mvl_full_line_size`, так как для вычисления адреса строки используется данное значение.

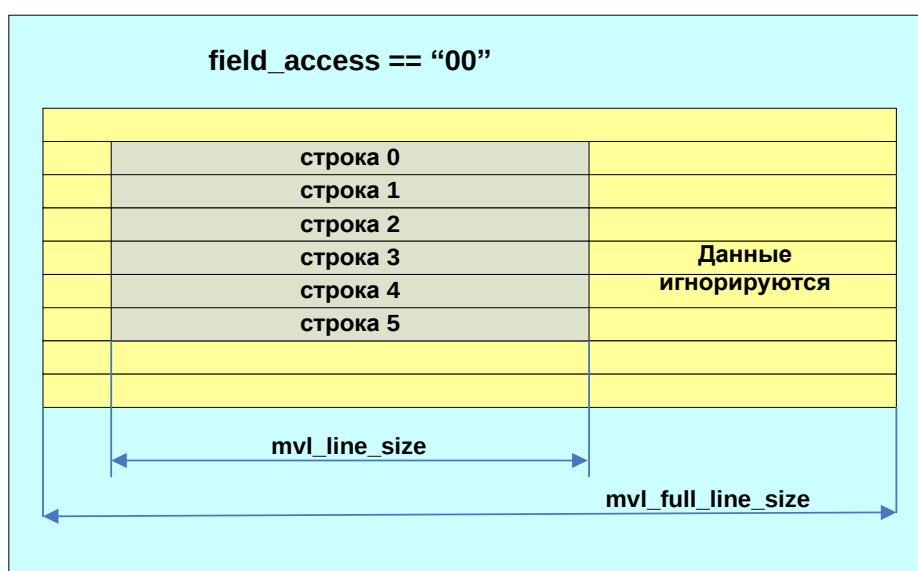
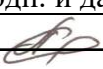


Рисунок 39 - Пример использования параметра `field_access` == "00"

					ЮФКВ.431268.005РЭ			Лист
								106
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

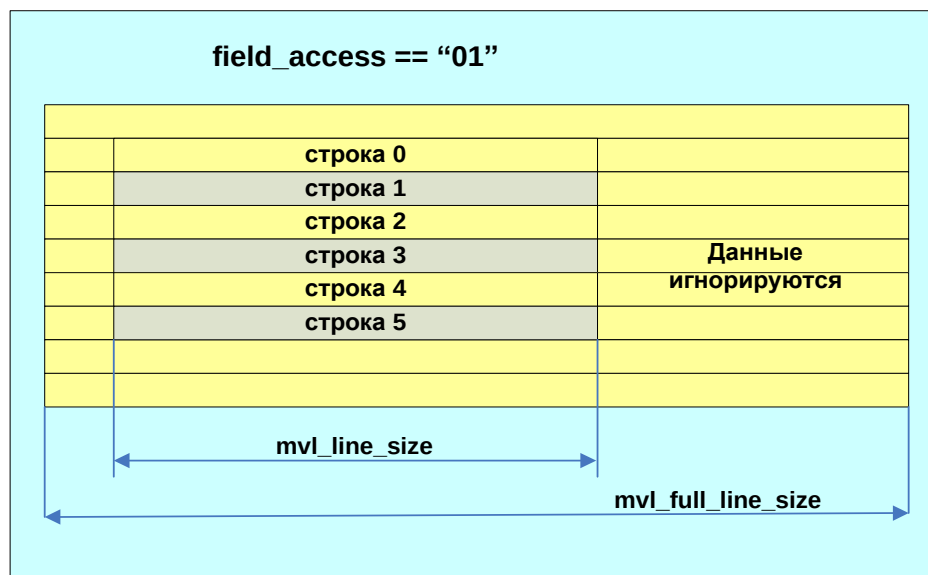


Рисунок 40 - Пример использования параметра field_access == "01"

1.3.3.2.1.4.4 Протокол формирования изображения и форматы данных графического слоя

Графический слой представляет собой набор графических областей. Каждая графическая область представляет собой прямоугольник, имеющий границы и содержащий набор пикселей, определяющих его содержание. Графические данные располагаются поверх области активного видео с использованием коэффициента прозрачности, определяющего прозрачность графических данных.

Ограничения, накладываемые на данный слой:

Графические области одного не должны перекрываться по горизонтали и только одна область может быть определена для строки. Устройство управления и контроллер прямого доступа видеоконтроллера должны гарантировать то, что заголовок области будет вовремя считан и декодирован, для обращения к следующей области.

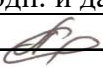
Графические области считываются из системной памяти, каждая графическая область содержит:

- заголовок графической области
- графические данные

При хранении в памяти все графические данные хранятся в little endian формате.

Заголовок графической области

Заголовок определяет положение области на экране, размер области, формат цвета, указатель на заголовок следующей графической области в памяти (связанный список), указатель на начало графических данных, полный размер строки графических данных. Для форматов представления цвета 5:6:5 и 1:5:5:5 в заголовке задается значение коэффициента прозрачности для данной области.

					ЮФКВ.431268.005РЭ			Лист
								107
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

	63 32				31 16				15 3		0
n	osd_base[31:1]				32	osd_next[31:3]					2 ... 0
n+1	63...50	osd_ver_start[11:0]	47..44	osd_hor_start[11:0]	32..28	osd_ver_size[11:0]			15 ... 12	osd_hor_size[11:0]	
n+2					32..28	alpha[3:0]	23..18	df[1:0]	15 ... 13	full_line_size[12:0]	

Рисунок 41 - Структура заголовка графической области

Приведем пояснения к Рисунок 41:

osd_next[31:3] – указатель на заголовок следующей области, хранится в нулевом слове, разряды с 31 по 3, имеет выравнивание адреса на начало строки в памяти.

osd_hor_start[11:0] – горизонтальная координата начальной позиции графической области для отображения на экране, хранится в 1-ом слове, разряды с 43 по 32.

osd_ver_start[11:0] – вертикальная координата начальной позиции графической области для отображения на экране, хранится в 1-ом слове, разряды с 59 по 48.

df [1:0] – формат представления цвета для области, хранится во 2-ом слове, разряды с 17 по 16.

alpha [3:0] – коэффициент прозрачности для всей области, используется для форматов представления цвета 5:6:5 и 1:5:5:5, не используется для формата 4:4:4:4, хранится во 2-ом слове, разряды с 27 по 24.

osd_hor_size[11:0] – горизонтальный размер считываемой области в пикселах - 1 (размер строки), хранится в 1-ом слове, разряды с 11 по 0, максимальное значение 1920 пикселей.

osd_ver_size[11:0] – вертикальный размер считываемой области в строках -1, хранится в 1-ом слове, разряды с 27 по 16, максимальное значение 1080 строк.

full_line_size[12:0] – полный размер строки графического изображения в пикселах (full_line_size>= osd_hor_size) , хранится во 2-ом слове, разряды с 12 по 0, максимальное значение 1920 пикселей.

osd_base[31:1] – указатель на начало графических данных, хранится в нулевом слове, разряды с 63 по 33, имеет выравнивание на размер слова.

Все указатели хранятся по выровненным по 64 разрядам адресам в системной памяти. Указатель на заголовок следующей области указывает на следующий заголовок. Значение указателя 0x0 означает конец связанного списка, что эквивалентно окончанию отображения графического слоя для данного кадра изображения.

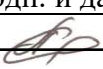
Для формата представления цвета возможны следующие значения:

Таблица 64 - Список форматов графической информации

cf[1:0]	(A)RGB формат
00	5:6:5
01	1:5:5:5
10	зарезервирован
11	4:4:4:4

Хранение в памяти графического изображения и графических областей

Параметры доступа к графической области наглядно отображены на Рисунок 42

					ЮФКВ.431268.005РЭ				Лист
									108
Изм.	Лист	№ докум.	Подп.	Дата					
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1						

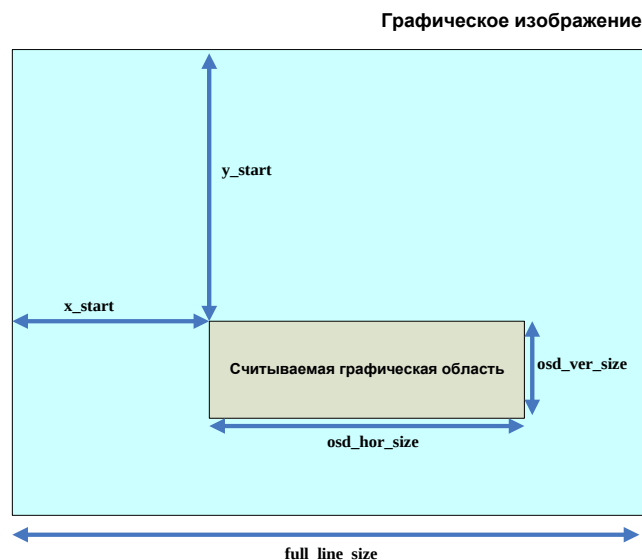


Рисунок 42 - Параметры доступа для считывания графической области

Параметр `osd_base` задает начальный адрес графической области. После чего необходимо считать информацию для `osd_hor_size` пикселей первой строки. Адрес начала следующей строки графической области вычисляется прибавлением к начальному адресу области полного размера строки графического изображения $\text{full\_line\_size} * 2$, где 2 – это количество байт, используемых для кодирования цвета одного пиксела, и т.д. (для прогрессивного режима отображения графической области).

При чересстрочном режиме представления информации в памяти считываются только четные или нечетные строки изображения (значение типа полукадра – четный, нечетный определяется по нулевому разряду `osd_ver_start`). При этом адрес следующей строки вычисляется прибавлением $\text{full\_line\_size} * 4$ к адресу текущей (4 = кол-во байт на пиксел * кол-во строк). Если требуется считать четный полукадр (все четные строки), то чтение начинается с адреса `osd_base`, если требуется считать нечетный полукадр, то к начальному адресу `osd_base` прибавляется значение `full_line_size`, для перехода на нечетную строку.

P1	P2	P3	P4	P5	P6
P7	P8	P9	P10	P11	P12
P13	P14	P15	P16	P17	P18
P19	P20	P21	P22	P23	P24

Рисунок 43 - Графическое изображение и область в памяти (параметры `osd_hor_size = 3`, `osd_ver_size = 2`, `full_line_size = 6`, `osd_reg_start = 14`)

					ЮФКВ.431268.005РЭ			Лист
								109
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		14.11.11		18212-1				

MSB		QWORD=64 разр				LSB		смещение в байтах
7	6	5	4	3	2	1	0	
P4		P3		P2		P1		n
P8		P7		P6		P5		n+8
P12		P11		P10		P9		n+16
P16		P15		P14		P13		n+24
P20		P19		P18		P17		n+36
P24		P23		P22		P21		n+44

Рисунок 44 - Хранение графического изображения и области в памяти с разрядностью строки 64 (параметры `osd_hor_size = 3`, `osd_ver_size = 2`, `full_line_size = 6`, `osd_reg_start = 14`)

Обращение в память идет по адресу, выровненному для обращения к 64х разрядной строке.

Форматы графических данных

Видеоконтроллером поддерживаются три формата представления графических данных:

- 5:6:5
- 1:5:5:5 (ARGB)
- 5:5:5:1 (RGBA)
- 4:4:4:4 (ARGB)
- 4:4:4:4 (RGBA)

Положение бита, определяющего прозрачность – форматы ARGB и RGBA задается управляющим регистром.

Для представления информации о цвете и прозрачности одной точки (пиксела) используется 16 разрядов.

Формат 5:6:5

Для компонент R,G,B отводится 5,6 и 5 разрядов соответственно. Значение коэффициента прозрачности всегда берется из значения, задаваемого в заголовке для области.

Таблица 65 - Формат 5:6:5

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R[4:0]					G[5:0]						B[4:0]				

Формат 1:5:5:5

На каждую компоненту R,G,B отводится по 5 разрядов. При этом для каждого пиксела задается индивидуальное значение коэффициента прозрачности. '0' – означает полную прозрачность, '1' – означает, что для данного пиксела будет использоваться значение коэффициента прозрачности из заголовка области.

Таблица 66 - Формат 1:5:5:5 (ARGB)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
A	R[4:0]					G[4:0]					B[4:0]				

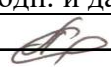
Таблица 67 - Формат 5:5:5:1 (RGBA)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R[4:0]					G[4:0]					B[4:0]				A	

Формат 4:4:4:4

На компоненты R,G,B отводится по 4 разряда на цвет, при этом для каждого пиксела задается 4х разрядное значение коэффициента прозрачности.

Таблица 68 - Формат 4:4:4:4

					ЮФКВ.431268.005РЭ										Лист
															110
Изм.	Лист	№ докум.	Подп.	Дата											
Инв.№подл.		Подп. и дата			Взам.инв.№			Инв.№дубл.			Подп. и дата				
18212-2		 14.11.11			18212-1										

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
A[3:0]				R[3:0]				G[3:0]				B[3:0]			

1.3.3.2.1.4.5 Программный (регистровый) интерфейс

Данный раздел содержит информацию о программном интерфейсе блока видеоконтроллера: описание регистров видеоконтроллера, режимов доступа к ним и особенности задания режимов.

Задание конфигурационных параметров и отображение текущего состояния видеоконтроллера ведется через регистры. Доступ к регистрам осуществляется посредством системного интерфейса управления (интерфейс APB slave). Каждое обращение к регистрам имеет выравнивание до 32х разрядов.

При обращении к регистрам видеоконтроллера по зарезервированным адресам никаких ошибок не возникает, все пересылки завершаются нормально. При этом операции записи игнорируются, операции чтения возвращают все нули. При попытке записи в регистры, предназначенные только для чтения через системный интерфейс управления, операция записи завершается успешно, никакой записи не производится, состояние регистров не изменяется.

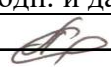
Данный блок реализует функцию временного хранения конфигурационных параметров видеоконтроллера, запись данных в регистры из контроллера системного интерфейса управления, чтение данных в контроллер системного интерфейса управления, запись данных в регистры от внутренних блоков видеоконтроллера, чтение данных на внутренние блоки видеоконтроллера.

Внутренние регистры видеоконтроллера имеют связь со всеми блоками видеоконтроллера.

1.3.3.2.1.4.5.1 Запись в регистры из контроллера системного интерфейса управления

Данный режим работы (программная запись) задействуется, когда в конфигурационные регистры видеоконтроллера данные записываются с контроллера системного интерфейса управления (контроллер ведомого на шине APB). Контроллер дешифрирует с 11 по 8 разряды адреса и отправляет данные в сопровождении stroba значимости в соответствующую группу регистров, где происходит окончательная дешифрация и запись данных в регистры.

Для регистров имеющих статус – только чтение запись не будет иметь воздействия, то есть при обращении на запись в регистр, операция будет проходить успешно, но изменения состояния регистра происходить не будет.

					ЮФКВ.431268.005РЭ				Лист
									111
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1						

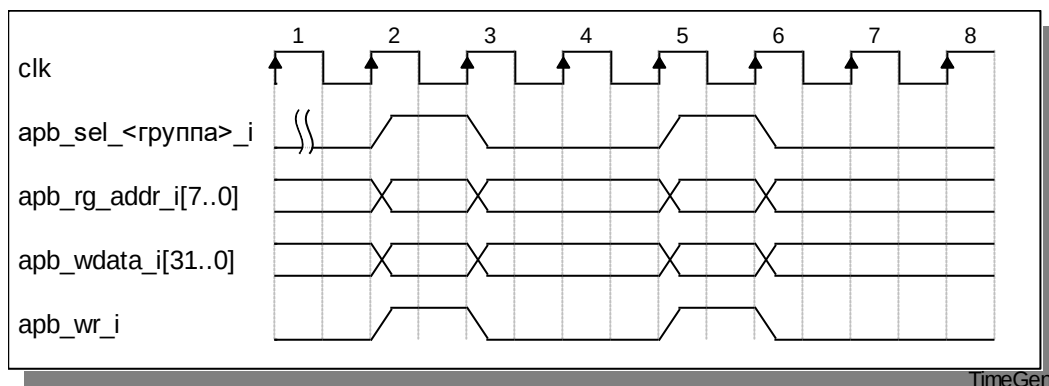


Рисунок 45 - Временные диаграммы записи в регистры видеоконтроллера

1.3.3.2.1.4.5.2 Чтение данных в контроллер системного интерфейса управления

Данный режим работы (программное чтение) задействуется, когда из конфигурационных регистров видеоконтроллера данные считываются в контроллер системного интерфейса управления (контроллер ведомого на шине APB). Контроллер дешифрирует с 11 по 8 разряды адреса и отправляет запрос на чтение в соответствующую группу регистров, где происходит окончательная дешифрация и считывание с задержкой информации на шину из соответствующего регистра.

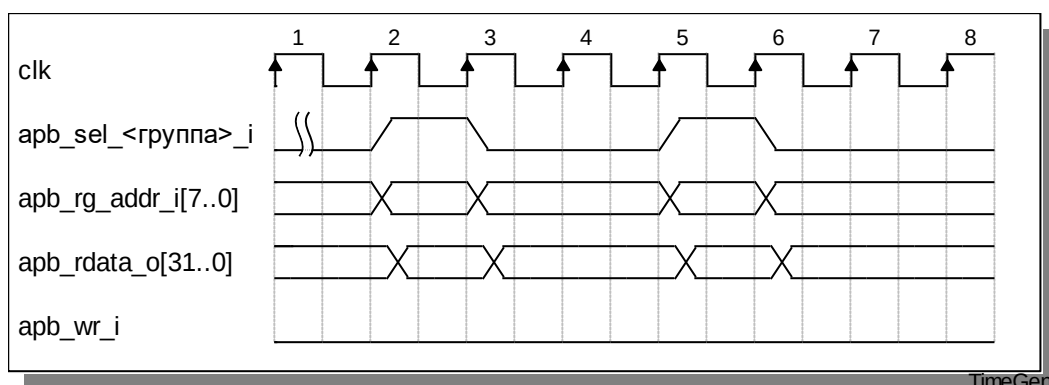


Рисунок 46 - Временные диаграммы чтения из регистров видеоконтроллера

1.3.3.2.1.4.5.3 Запись в регистры от внутренних блоков видеоконтроллера

Помимо программной записи, которую осуществляет контроллер системного интерфейса управления, запись информации в регистры видеоконтроллера могут осуществлять и другие устройства видеоконтроллера. Для них доступны по записи только два регистра: регистр состояния и регистр прерываний.

Запись в этом режиме производится в регистры прерываний при приходе соответствующего входного информационного сигнала в состоянии логической '1' и фронте сигнала синхронизации, то есть информационный сигнал подается на разрешающий вход регистра а на вход данных подается единица. Для сброса признака в регистре прерываний в ноль необходимо провести программную запись в регистр прерываний.

					ЮФКВ.431268.005РЭ			Лист
								112
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		14.11.11		18212-1				

1.3.3.2.1.4.5.4 Чтение данных на внутренние блоки видеоконтроллера

Помимо программного считывания регистров, которое осуществляется контроллером системного интерфейса управления и предназначено для передачи информации HOST устройству, внутренние устройства видеоконтроллера также имеют возможность считать требуемую им информацию. Доступ устройств видеоконтроллера к требуемым полям регистров осуществляется следующим образом – требуемые признаки выводятся из блока регистров в качестве выходных поименованных сигналов и подаются непосредственно в качестве потенциала на блоки видеоконтроллера.

1.3.3.2.1.4.5.5 Группы регистров видеоконтроллера

Управление видеоконтроллером и индикация информации о его состоянии ведется посредством регистров. Регистры видеоконтроллера объединены в группы по функциональному признаку. Видеоконтроллер содержит группы регистров, список которых приводится в Таблица 69. Доступ к регистрам ведется посредством интерфейса ведомого шины APB (системный интерфейс управления). Адреса регистров имеют выравнивание по 32 разряда.

Контроллер системного интерфейса управления содержит центральный дешифратор, который выделяет соответствующую группу регистров посредством анализа битов с 11 по 8 адреса.

Базовые адреса групп регистров, также указаны в Таблица 69. Описания регистров и принципов работы с полями регистров даны ниже.

При обращении к регистрам видеоконтроллера по зарезервированным или неиспользуемым адресам никаких ошибок не возникает, все пересылки завершаются нормально. При этом операции записи игнорируются, операции чтения возвращают все нули.

Таблица 69 - Список групп регистров видеоконтроллера

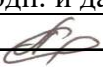
Имя группы	Название	Базовые адреса групп
VDU Control	управляющие регистры видеоконтроллера	0x0000_0000
reserved	зарезервированные адреса	0x0000_0100
VDU Status	регистры состояния видеоконтроллера	0x0000_0200
VDU Interrupt	регистры прерываний видеоконтроллера	0x0000_0300
VDU Scaler	регистры масштабирования	0x0000_0400
VDU DIF	регистры цифровых видеоинтерфейсов	0x0000_0500
reserved	зарезервированные адреса	0x0000_0600
VDU OSD	регистры графического слоя	0x0000_0700
reserved	зарезервированные адреса	0x0000_0800
VDU MI	регистры интерфейса с памятью	0x0000_0900

1.3.3.2.1.4.5.6 Особенности доступа к регистрам видеоконтроллера

При обращении к регистрам, имеющим размер меньше ширины шины системного интерфейса управления (32 разряда), данные прижимаются (выравниваются) по правому краю (младшим разрядам).

1.3.3.2.1.4.5.6.1 Регистры параметров текущего и следующего кадров

Видеоконтроллер выводит на экран и считывает из памяти кадры видеоизображения. Каждый кадр может характеризоваться своими параметрами, которые меняются от кадра к

					ЮФКВ.431268.005РЭ			Лист
								113
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

кадру, среди таких параметров можно выделить базовый адрес в памяти для кадра основного видеослоя (для каждой компоненты) и базовый адрес заголовка первой области кадра для графического слоя. Для данных целей в видеоконтроллере реализованы два набора конфигурационных регистров.

Следующий – используется для задания параметров следующего кадра, не виден аппаратуре видеоконтроллера.

Текущий (активный) – в текущий момент времени используется аппаратурой видеоконтроллера.

Разделение на “текущие” и “следующие” регистры является логическим и физически реализуется на двух регистрах регистр_XXX_A(reg0), регистр_XXX_B(reg1), которые могут иметь различный статус: “текущий” или “следующий”, который может циклически переключаться.

Таким образом, изначально регистр_XXX_A является текущим, а регистр_XXX_B – следующим, после того как данные текущего кадра будут все считаны из внешней памяти в интерфейсный буфер видеоконтроллера произойдет переключение регистров и регистр_XXX_B обретет статус – текущий, а регистр_XXX_A – следующий и программист должен будет задать значение базового адреса следующего кадра. Задание следующего адреса должно быть проведено до того, как произойдет следующее переключение регистров.

Переключение регистров возможно только в том случае, если для кадра с заданным базовым адресом подготовлены все видеоданные в памяти. О том, что данные в видеопамяти для данного кадра готовы сигнализирует соответствующий сигнал регистр_XXX_SW_ENA установленный программно в единицу, этот сигнал и разрешает переключение страниц, в том случае если данный сигнал не будет установлен в единицу – переключения регистров не будет, видеоконтроллер будет ожидать разрешения переключения, чтение данных производиться не будет.

О том, какой из регистров - регистр_XXX_A или регистр_XXX_B в данный момент времени имеет статус текущий (активный) свидетельствует признак в регистре STAT_VDU_AVMP. Переключение регистров “текущего” и “следующего” адресов осуществляется по прерываниям MVL_FR_RD_END_ENA и OSD_FR_RD_END_ENA.

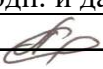
При описании регистров видеоконтроллера, для регистров, работающих по данному алгоритму будут даны дополнительные пояснения.

1.3.3.2.1.4.5.6.2 Особенности регистров состояния видеоконтроллера

При реализации регистров состояния не требуется их реализации в качестве запоминающего элемента в блоке регистров. Схемы выработки сигналов для этой группы регистров находятся в устройствах видеоконтроллера, поэтому в блоке регистров должно быть реализовано только адресное обращение к этим сигналам с возможностью их считывания. Запись в эти регистры не возвращает ошибки, однако сама запись не производится.

1.3.3.2.1.4.5.6.3 Особенности регистров прерываний

Группа регистров прерывания содержит два регистра – регистр разрешения прерываний и регистр состояний прерываний. При возникновении прерывания в аппаратуре видеоконтроллера оно фиксируется в регистре состояния прерываний вне зависимости от того установлен ли соответствующий бит в регистре разрешения прерываний. Если в разряде регистра разрешения прерываний установлена единица и в регистре состояния зафиксировано возникновение прерывания, то видеоконтроллером генерируется сигнал о возникновении прерывания, который выдается в систему.

					ЮФКВ.431268.005РЭ			Лист
								114
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Для снятия прерывания в соответствующий разряд регистра статуса прерываний программно должна быть установлена единица. При записи нулевого значения в соответствующий разряд регистра прерываний его значение не изменяется.

1.3.3.2.1.4.5.6.4 Невозможность изменения регистров при активном видеоконтроллере

Чтобы избежать повреждения изображения переключение между режимами видеоизображения необходимо проводить при обратном ходе растровой развертки, то есть изменения станут активными на следующем кадре, или при деактивированном видеоконтроллере, тогда изменения вступят в силу после его активации. Все связанные с видеорежимом регистры должны быть установлены в соответствующие значения до активирования видеоконтроллера.

1.3.3.2.1.4.5.6.5 Сброс регистров видеоконтроллера

Сброс регистров видеоконтроллера (запись в них начальных значений) осуществляется исключительно программным способом. То есть программист должен перед использованием регистров произвести программным способом инициализацию всех конфигурационных регистров видеоконтроллера. Исключение составляют регистры прерываний (регистр разрешения прерываний INT_VDU_ENA и регистр состояния прерываний INT_VDU_STAT, а также регистр управления CTRL_SOFT_RESET, а также управляющие регистры в каждой группе регистров, а именно MI_CTRL, DIF_CTRL, SCAL_CTRL), которые переводятся в исходное состояние при приходе системного сигнала сброса, или сигнала программного сброса видеоконтроллера.

Сбрасываемые регистры и признаки:

Регистр управления

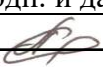
mv1_base_sw_ena
osd_base_sw_ena
mv1_ena
osd_ena
vdu_ena

Регистр управления цифровых видеоинтерфейсов (DIF_CTRL)

vsync_p
hsync_p
sdtv_form
ext_sync_en
int_sync_en
mode

Регистр разрешения прерываний (INT_VDU_ENA)

i_fifo_empty_ena
o_fifo_empty_ena
sa_ena
h_sync_ena
v_sync_ena
fr_prc_end_ena
mv1_fr_rd_end_ena
osd_fr_rd_end_ena

					ЮФКВ.431268.005РЭ			Лист
								115
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

vdu_off_ena - установка в 1

sys_err_ena - установка в 1

Регистр управления интерфейса с памятью (MI_CTRL)

buf_bit_endian

ycbcr_format

plane_num

plane_access

fild_access

fild_store

Регистр управления устройством масштабирования (SCALER_CTRL)

vflt_ena

hflt_ena

v_cut_ena

h_cut_ena

v_upsize_

h_upsize

v_scaler_ena

h_scaler_ena

1.3.3.2.1.4.5.7 VDU Control - управляющие регистры видеоконтроллера

Таблица 70 - Управляющие регистры видеоконтроллера (VDU Control Registers)

Имя	Название (описание)	Адрес	Реж	Разр	Исх. знач.
CTRL_VDU_ID	Идентификационный номер видеоконтроллера	VDU_CTRL_BASE + 0004H	r	32	ebeb'ab01H
CTRL_VDU_ENA	Разрешение отображения слоев видеоконтроллера	VDU_CTRL_BASE + 0008H	rw	3	0000'0000H
CTRL_SOFT_RESET	Программный сброс видеоконтроллера	VDU_CTRL_BASE + 000CH	rw	1	0000'0000H

1.3.3.2.1.4.5.7.1 Регистр идентификационного номера видеоконтроллера (CTRL_VDU_ID)

Регистр содержит информацию, идентифицирующую видеоконтроллер в системе, версию видеоконтроллера. Смещение VDU_CTRL_BASE + 0004H. Разрядность - 32 разряда.

1.3.3.2.1.4.5.7.2 Регистр разрешения видеоконтроллера (CTRL_VDU_ENA)

Регистр содержит управляющую информацию об активности слоев изображения, разрешая/запрещая их отображение. Смещение VDU_CTRL_BASE + 0008H. Разрядность - 16 разрядов. Разбиение на поля приведено в Таблица 71

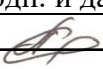
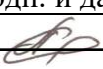
					ЮФКВ.431268.005РЭ			Лист
								116
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Таблица 71 - Разряды регистра разрешения отображения слоев видеоконтроллера (CTRL_VDU_ENA)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
15-10	Reserved			
9	MVL_BASE_SW_ENA	разрешение переключения страниц видеопамати для контроллера основного видеослоя 0 – переключение запрещено 1 – переключение разрешено. Когда переключение страниц разрешено и остаток буфера кадра считан из интерфейсного буфера (MVL_BUF), видеоконтроллер переключается между двумя доступными страницами видеопамати, адреса которых расположены в регистрах базового адреса (покомпонентно) (MI_MVL_XX_BA) текущий/следующий. Контроллер автоматически изменяет флаг, отображающий текущую активную страницу видеопамати (STAT_MVL_A_REG). При запрете чтение данных из памяти производится не будет.	rw	0H
8	OSD_BASE_SW_ENA	разрешение переключения страниц видеопамати (базовых адресов первого заголовка) для контроллера графического слоя 0 – переключение запрещено 1 – переключение разрешено. Когда переключение страниц разрешено, и остаток буфера кадра считан из интерфейсного буфера (OSD_BUF), видеоконтроллер переключается между двумя доступными страницами видеопамати, адреса которых расположены в регистрах “адреса первого заголовка графической области” (OSD_BASE) текущий/следующий. Контроллер автоматически изменяет флаг, отображающий текущую активную страницу видеопамати (STAT_OSD_A_REG). При запрете чтение данных из памяти производится не будет.	rw	0H
7-3	Rsaved			
2	MVL_ENA	отображение основного слоя 0 – основной слой деактивирован (чтение данных для данного слоя из видеопамати не производится, устройство наложения слоев не запрашивает данные для данного слоя) 1 – основной слой активирован деактивирован (ведется чтение данных для данного слоя из видеопамати и отображение данного слоя, при наличии VDU_ENA).	rw	0H
1	OSD_ENA	отображение графического слоя 0 – графический слой деактивирован (чтение данных для данного слоя из видеопамати не производится, устройство наложения слоев не запрашивает данные для данного слоя) 1 – графический слой активирован (ведется чтение данных для данного слоя из видеопамати и отображение данного слоя, при наличии VDU_ENA).	rw	0H
0	VDU_ENA	активность видеоконтроллера 0 - видеоконтроллер деактивирован (чтение видеоданных из внешней памяти не производится, на выходе видеоконтроллера установлены константные значения) 1 – видеоконтроллер активирован (ведется чтение данных из внешней памяти для активированных слоев, на выходе видеоконтроллера генерируются временные диаграммы соответствующей развертки)	rw	0H

					ЮФКВ.431268.005РЭ			Лист
								117
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

1.3.3.2.1.4.5.7.3

Регистр программного сброса видеоконтроллера (CTRL_SOFT_RESET)

Программная установка единицы в данном регистре вызывает сброс управляющей логики видеоконтроллера. Проведение сброса возможно только при деактивированном видеоконтроллере (анализируется признак INT_VDU_OFF).

При активном видеоконтроллере единица в данном регистре будет сброшена на следующем такте аппаратурой видеоконтроллера и сброса логики видеоконтроллера произведено не будет.

При поступлении данного сигнала в неактивной стадии видеоконтроллера будет произведен сброс логики видеоконтроллера и на следующем такте также будет сброшен регистр программного сброса.

Таким образом, при чтении всегда будет возвращен ноль.

Смещение VDU_CTRL_BASE + 000CH. Разрядность - 1 разряд.

1.3.3.2.1.4.5.8 VDU Status - регистры состояния видеоконтроллера

Таблица 72 - Регистры состояния видеоконтроллера (VDU Status Registers)

Имя	Название (описание)	Адрес	Реж	Разр	Исх. знач.
STAT_VDU_DISP	Состояние отображения изображения	VDU_STAT_BASE + 0004H	r	3	7H
STAT_VDU_AVMP	Активный набор регистров для базовых адресов	VDU_STAT_BASE + 0008H	r	2	0H
STAT_VDU_FIFO	Состояние встроенной буферной памяти видеоконтроллера	VDU_STAT_BASE + 000CH	r	8	00H

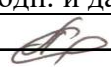
1.3.3.2.1.4.5.8.1

Регистр состояния отображения изображения (STAT_VDU_DISP)

Регистр содержит информацию, отображающую состояние выводимого изображения на выходе видеоконтроллера. Смещение VDU_STAT_BASE + 0004H. Разрядность - 3 разряда. Разбиение на поля приведено в Таблица 73

Таблица 73 - Разряды регистра состояния отображения изображения (STAT_VDU_DISP)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
4	FIELD	идентифицирует выводимый полукадр в кадре при чересстрочном режиме 0 – четный полукадр (строки 0, 2, 4, ...) 1 – нечетный полукадр (строки 1, 3, 5, ...) особенность заключена в том, что переключение данного признака осуществляется в момент выработки признака SA (обратный ход развертки), таким образом, если при возникновении SA считать признак FIELD, то он будет отражать значение для следующего отображаемого полукадра	r	0
2	HBB	обратный ход луча по горизонтали 0 – прямой ход 1 – обратный ход	r	1H
1	VBB	обратный ход луча по вертикали 0 – прямой ход 1 – обратный ход	r	1H
0	BLANK_ACT	вывод изображения 0 – во время вывода изображения на экран 1 – когда активен сигнал BLANK	r	1H

					ЮФКВ.431268.005РЭ		Лист
							118
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата
	18212-2			14.11.11	18212-1		

1.3.3.2.1.4.5.8.2

Регистр состояния активного набора регистров для базовых адресов (STAT_VDU_AVMP)

Регистр содержит информацию, об активном наборе регистров базовых адресов. Смещение VDU_STAT_BASE + 0008H. Разрядность - 2 разряда. Разбиение на поля приведено в Таблица 74.

Таблица 74 - Разряды регистра состояния активного набора регистров для базовых адресов (STAT_VDU_AVMP)

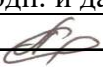
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
1	MVL_AVMP	активный набор регистров для основного видеослоя (определяет текущую видеостраницу - кадр) 0 – активен набор управляющих регистров видеоконтроллера REG0 (A) 1 – активен набор управляющих регистров видеоконтроллера REG1 (B)	г	0H
0	OSD_AVMP	активный набор регистров для графического слоя (определяет текущую видеостраницу – кадр) 0 – активен набор управляющих регистров видеоконтроллера REG0 (A) 1 – активен набор управляющих регистров видеоконтроллера REG1 (B)	г	0H

Регистр состояния встроенной буферной памяти видеоконтроллера (STAT_VDU_FIFO)

Регистр содержит информацию, отображающую состояние внутренней буферной памяти видеоконтроллера. Смещение VDU_STAT_BASE + 000CH. Разрядность - 8 разрядов. Разбиение на поля приведено в Таблица 75.

Таблица 75 -Разряды регистра состояния встроенной буферной памяти видеоконтроллера (STAT_VDU_FIFO)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
25-24	MVL_I_FIFO	интегральный уровень заполнения интерфейсного буфера основного слоя 00 - уровень буфера от 0 до ¼ от количества слов в буфере 01 - уровень буфера от ¼ до ½ от количества слов в буфере 10 - уровень буфера от ½ до ¾ от количества слов в буфере 11 - уровень буфера более ¾ от количества слов в буфере	г	00H

					ЮФКВ.431268.005РЭ			Лист
								119
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
17-16	OSD_I_FIFO	интегральный уровень заполнения интерфейсного буфера графического слоя 00 - уровень буфера от 0 до $\frac{1}{4}$ от количества слов в буфере 01 - уровень буфера от $\frac{1}{4}$ до $\frac{1}{2}$ от количества слов в буфере 10 - уровень буфера от $\frac{1}{2}$ до $\frac{3}{4}$ от количества слов в буфере 11 - уровень буфера более $\frac{3}{4}$ от количества слов в буфере	г	00H
9-8	MVL_O_FIFO	интегральный уровень заполнения линейного (выходного) буфера основного слоя 00 - уровень буфера от 0 до $\frac{1}{4}$ от количества слов в буфере 01 - уровень буфера от $\frac{1}{4}$ до $\frac{1}{2}$ от количества слов в буфере 10 - уровень буфера от $\frac{1}{2}$ до $\frac{3}{4}$ от количества слов в буфере 11 - уровень буфера более $\frac{3}{4}$ от количества слов в буфере	г	00H
1-0	OSD_O_FIFO	интегральный уровень заполнения линейного (выходного) буфера графического слоя 00 - уровень буфера от 0 до $\frac{1}{4}$ от количества слов в буфере 01 - уровень буфера от $\frac{1}{4}$ до $\frac{1}{2}$ от количества слов в буфере 10 - уровень буфера от $\frac{1}{2}$ до $\frac{3}{4}$ от количества слов в буфере 11 - уровень буфера более $\frac{3}{4}$ от количества слов в буфере	г	00H

Регистр счетчика импульсов сигнала пиксельной синхронизации (STAT_SA_PIX_CNT)

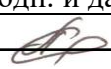
Регистр содержит информацию, о количестве импульсов сигнала пиксельной синхронизации возникших с момента выработки очередного сигнала SA. Смещение VDU_STAT_BASE + 0014H. Разрядность - 22 разряда. Разбиение на поля приведено в Таблица 76.

Таблица 76 - Разряды регистра состояния встроенной буферной памяти видеоконтроллера (STAT_SA_PIX_CNT)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
21-0	SA_PIX_CNT	22х разрядное состояние счетчика, указывает количество тактов пиксельной синхронизации, прошедших с момента выработки сигнала SA	г	00H

1.3.3.2.1.4.5.9 VDU Interrupt - регистры прерываний видеоконтроллера

Таблица 77 - Регистры прерываний видеоконтроллера (VDU Interrupt Registers)

					ЮФКВ.431268.005РЭ			Лист
								120
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Имя	Название (описание)	Адрес	Реж	Разр	Исх. знач.
INT_VDU_ENA	Регистр разрешения прерываний	VDU_INT_BASE + 0004H	rw	32	00000003H
INT_VDU_STAT	Регистр состояния прерываний	VDU_INT_BASE + 0008H	rw	32	00000002H

Эти регистры имеют одинаковую структуру. Группа регистров прерывания содержит два регистра – регистр разрешения прерываний и регистр состояний прерываний. При возникновении прерывания в аппаратуре видеоконтроллера оно фиксируется в регистре состояния прерываний вне зависимости от того установлен ли соответствующий бит в регистре разрешения прерываний. Если в разряде регистра разрешения прерываний установлена единица и в регистре состояния зафиксировано возникновение соответствующего прерывания, то видеоконтроллером генерируется сигнал о возникновении прерывания, который выдается в систему.

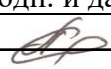
Для снятия прерывания в соответствующий разряд регистра статуса прерываний (VDU_INT_STAT) программно должна быть установлена единица. При записи нулевого значения в соответствующий разряд регистра прерываний его значение не изменяется.

Регистр разрешения прерываний (INT_VDU_ENA)

Регистр содержит информацию, разрешающую выставление сигнала о прерывании в регистре INT_VDU_STAT. Смещение VDU_INT_BASE + 0004H. Разрядность - 10 разрядов. Разбиение на поля приведено в Таблица 78.

Таблица 78 - Разряды регистра разрешения прерываний (INT_VDU_ENA)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31..26	RESERVED			
25	I_FIFO_EMPTY_ENA	разрешает возникновение прерывания - опустошение входного буфера 0 – прерывание запрещено 1 – прерывание разрешено	rw	0H
24	O_FIFO_EMPTY_ENA	разрешает возникновение прерывания - опустошение выходного буфера 0 – прерывание запрещено 1 – прерывание разрешено	rw	0H
19..23	RESERVED			
18	SA_ENA	разрешает возникновение прерывания - обратный ход кадровой развертки 0 – прерывание запрещено 1 – прерывание разрешено	rw	0H
17	H_SYNC_ENA	разрешает возникновение прерывания - импульс горизонтальной синхронизации 0 – прерывание запрещено 1 – прерывание разрешено	rw	0H
16	V_SYNC_ENA	разрешает возникновение прерывания - импульс вертикальной синхронизации 0 – прерывание запрещено 1 – прерывание разрешено	rw	0H
11..15	RESERVED			
10	FR_PRC_END_ENA	разрешает возникновение прерывания - окончание обработки активного кадра 0 – прерывание запрещено 1 – прерывание разрешено	rw	0H

					ЮФКВ.431268.005РЭ		Лист
							121
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1				

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
9	MVL_FR_RD_ENA	разрешает возникновение прерывания - окончание считывания активного кадра для основного видеослоя из памяти 0 – прерывание запрещено 1 – прерывание разрешено	rw	0H
8	OSD_FR_RD_ENA	разрешает возникновение прерывания - окончание считывания активного кадра для графического слоя из памяти 0 – прерывание запрещено 1 – прерывание разрешено	rw	0H
2..7	RESERVED			
1	VDU_OFF_ENA	разрешает возникновение прерывания - отключение контроллера данное прерывание всегда разрешено	rw	1H
0	INT_SYS_ERR_ENA	разрешает возникновение прерывания - системная ошибка данное прерывание всегда разрешено	rw	1H

Регистр состояния прерываний (INT_VDU_STAT)

Регистр содержит информацию, отображающую состояние прерываний видеоконтроллера. При возникновении прерывания аппаратура видеоконтроллера выставляет в соответствующем разряде регистра INT_VDU_STAT единичное значение, свидетельствующее о возникновении прерывания. В дальнейшем анализируется состояние регистра разрешения прерываний и при единичном значении в соответствующем разряде регистра INT_VDU_ENA на основании сборки сигналов данного регистра вырабатывается единый сигнал о запросе прерывания.

Для снятия сигнала прерывания в соответствующий разряд регистра INT_VDU_STAT должно быть записано единичное значение. Учитывая вышесказанное в регистр INT_VDU_STAT должна обеспечиваться возможность записи информации как с шины системного интерфейса управления, так и от внутренних блоков видеоконтроллера.

Смещение VDU_INT_BASE + 0008H. Разрядность - 10 разрядов. Разбиение на поля приведено в Таблица 79. Назначение полей аналогично полям регистра INT_VDU_ENA (Таблица 78)

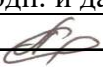
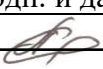
					ЮФКВ.431268.005РЭ			Лист
								122
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

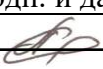
Таблица 79 - Разряды регистра состояния прерываний (INT_VDU_STAT)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31..26	RESERVED			
25	I_FIFO_EMPTY	опустошение входного буфера Возникает при опустошении входного буфера для mvl или osd слоя в рабочем режиме видеоконтроллера. Означает, что из входного буфера было произведено считывание пиксела в тот момент когда буфер был пуст. Может быть вызвано блокировкой интерфейсной шины, обращением по неправильному адресу видеопамяти или недостаточным размером буфера.	rw	0H
24	O_FIFO_EMPTY	опустошение выходного буфера Возникает при опустошении выходного буфера для mvl или osd слоя в рабочем режиме видеоконтроллера при выводе этих слоев. Означает, что из выходного буфера было произведено считывание пиксела в тот момент когда буфер был пуст, т.е. отображение данных ведется быстрее их поступления. Может быть вызвано блокировкой интерфейсной шины, обращением по неправильному адресу видеопамяти или недостаточным размером буфера.	rw	0H
23..19	RESERVED			
18	SA	обратный ход кадровой развертки	rw	0H
17	H_SYNC	импульс горизонтальной синхронизации Означает появление импульса горизонтальной синхронизации (HSYNC).	rw	0H

					ЮФКВ.431268.005РЭ			Лист
								123
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение Таблица 79

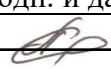
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
16	V_SYNC	импульс вертикальной синхронизации Означает появление импульса вертикальной синхронизации (VSYNC)	rw	0H
15..11	RESERVED			
10	FR_PRC_END	окончание обработки активного кадра Данное прерывание возникает, когда все видеоданные из активной страницы видеопамати (кадра) были обработаны и выданы при помощи блока наложения и позиционирования видеослоев (выданы данные как для основного, так и графического слоев кадра). Соответствует окончанию выдачи активной области кадра или полукадра при чересстрочном режиме отображения.	rw	0H
9	MVL_FR_RD_END	окончание считывания активного кадра для основного видеослоя из памяти Данное прерывание возникает, когда все видеоданные из активной страницы видеопамати (кадра или полукадра при чересстрочном режиме отображения) были считаны из памяти контроллером DMA_MVL.	rw	0H
8	OSD_FR_RD_END	окончание считывания активного кадра для графического слоя из памяти Данное прерывание возникает, когда все видеоданные из активной страницы видеопамати (кадра или полукадра при чересстрочном режиме отображения) были считаны из памяти контроллером DMA_OSD.	rw	0H
7..2	RESERVED			
1	VDU_OFF	отключение контроллера Возникает при установке признака CTRL_VDU_ENA в ноль после окончания отображения последнего кадра. После установки INT_VDU_OFF все регистры видеоконтроллера могут быть изменены. Рекомендуется менять значения регистров от которых зависит видеорежим при установке признака INT_VDU_OFF. После установки признака INT_VDU_OFF перед последующим использованием видеоконтроллера рекомендуется проводить программный сброс видеоконтроллера посредством программной установки признака CTRL_SOFT_RESET.	rw	1H
0	INT_SYS_ERR	системная ошибка Возникает при приходе от интерфейсных блоков сигнала об ошибке в процессе чтения данных из видеопамати.	rw	0H

					ЮФКВ.431268.005РЭ			Лист
								124
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

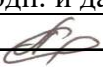
1.3.3.2.1.4.5.10 VDU Scaler – регистры масштабирования

Таблица 80 - Регистры масштабирования (VDU Scaler Registers)

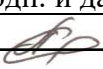
Имя	Название (описание)	Адрес	Рез	Разр	Исх. Знач.
SCALER_CTRL	регистр управления устройством масштабирования	VDU_SCALER_BASE + 0004H	rw	32	0000_0000H
SCALER_SCH_Y	коэффициент горизонтального масштабирования для яркостной компоненты	VDU_SCALER_BASE + 0008H	rw	20	0000_0000H
SCALER_SCV_Y	коэффициент вертикального масштабирования для яркостной компоненты	VDU_SCALER_BASE + 000CH	rw	20	0000_0000H
SCALER_SCH_C	коэффициент горизонтального масштабирования для цветоразностных компонент	VDU_SCALER_BASE + 0010H	rw	20	0000_0000H
SCALER_SCV_C	коэффициент вертикального масштабирования для цветоразностных компонент	VDU_SCALER_BASE + 0014H	rw	20	0000_0000H
SCALER_SIZE_Y	размер изображения после масштабирования для яркостной компоненты	VDU_SCALER_BASE + 0018H	rw	32	0000_0000H
SCALER_SIZE_C	размер изображения после масштабирования для цветоразностной компоненты	VDU_SCALER_BASE + 001CH	rw	32	0000_0000H
SCALER_FLT_Y_C0	нулевой коэффициент фильтра устройства масштабирования для яркостной компоненты (по вертикали и горизонтали)	VDU_SCALER_BASE + 0020H	rw	32	0000_0000H
SCALER_FLT_Y_C1	первый коэффициент фильтра устройства масштабирования для яркостной компоненты (по вертикали и горизонтали)	VDU_SCALER_BASE + 0024H	rw	32	0000_0000H
SCALER_FLT_Y_C2	второй коэффициент фильтра устройства масштабирования для яркостной компоненты (по вертикали и горизонтали)	VDU_SCALER_BASE + 0028H	rw	32	0000_0000H
SCALER_FLT_Y_C3	третий коэффициент фильтра устройства масштабирования для яркостной компоненты (по вертикали и горизонтали)	VDU_SCALER_BASE + 002CH	rw	32	0000_0000H
SCALER_FLT_Y_C4	четвертый коэффициент фильтра устройства масштабирования для яркостной компоненты (по вертикали и горизонтали)	VDU_SCALER_BASE + 0030H	rw	32	0000_0000H
reserved		VDU_SCALER_BASE + 0034H	rw	32	0000_0000H

					ЮФКВ.431268.005РЭ				Лист
									125
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11		18212-1					

Имя	Название (описание)	Адрес	Реж	Разр	Исх. Знач.
reserved		VDU_SCALER_BASE + 0038H	rw	32	0000_0000H
reserved		VDU_SCALER_BASE + 003CH	rw	32	0000_0000H
reserved		VDU_SCALER_BASE + 0040H	rw	32	0000_0000H
reserved		VDU_SCALER_BASE + 0044H	rw	32	0000_0000H
SCALER_FLT_NORM	регистр коэффициентов нормализации горизонтального фильтра для яркостной компоненты	VDU_SCALER_BASE + 0048H	rw	32	0000_0000H
SCALER_FLT_C_C0	нулевой коэффициент фильтра устройства масштабирования для цветоразностной компоненты (по вертикали и горизонтали)	VDU_SCALER_BASE + 004CH	rw	32	0000_0000H
SCALER_FLT_C_C1	первый коэффициент фильтра устройства масштабирования для цветоразностной компоненты (по вертикали и горизонтали)	VDU_SCALER_BASE + 0050H	rw	32	0000_0000H
SCALER_FLT_C_C2	второй коэффициент фильтра устройства масштабирования для цветоразностной компоненты (по вертикали и горизонтали)	VDU_SCALER_BASE + 0054H	rw	32	0000_0000H
SCALER_FLT_C_C3	третий коэффициент фильтра устройства масштабирования для цветоразностной компоненты (по вертикали и горизонтали)	VDU_SCALER_BASE + 0058H	rw	32	0000_0000H
SCALER_FLT_C_C4	четвертый коэффициент фильтра устройства масштабирования для цветоразностной компоненты (по вертикали и горизонтали)	VDU_SCALER_BASE + 005CH	rw	32	0000_0000H
reserved		VDU_SCALER_BASE + 0060H	rw	32	0000_0000H
reserved		VDU_SCALER_BASE + 0064H	rw	32	0000_0000H

					ЮФКВ.431268.005РЭ			Лист
								126
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Имя	Название (описание)	Адрес	Реж	Разр	Исх. Знач.
reserved		VDU_SCALER_BASE + 0068H	rw	32	0000_0000H
reserved		VDU_SCALER_BASE + 006CH	rw	32	0000_0000H
SCALER_PHS_CUT_V	количество обрезаемых пикселей по вертикали	VDU_SCALER_BASE + 0070H	rw	32	0000_0000H
SCALER_SIZE_CUT	размер изображения после обрезания	VDU_SCALER_BASE + 0074H	rw	32	0000_0000H
SCALER_PHS_CUT_H	количество обрезаемых пикселей по горизонтали	VDU_SCALER_BASE + 0078H	rw	32	0000_0000H
SCALER_MVL_CLR_Y	матрица коэффициентов для преобразования яркостной составляющей	VDU_SCALER_BASE + 007CH	rw	32	0000_0000H
SCALER_MVL_CLR_Cb	матрица коэффициентов для преобразования цветоразностной составляющей Cb	VDU_SCALER_BASE + 0080H	rw	32	0000_0000H
SCALER_MVL_CLR_Cr	матрица коэффициентов для преобразования цветоразностной составляющей Cr	VDU_SCALER_BASE + 0084H	rw	32	0000_0000H
reserved		VDU_SCALER_BASE + 0088H	rw	32	0000_0000H
reserved		VDU_SCALER_BASE + 008CH	rw	32	0000_0000H

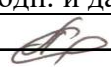
					ЮФКВ.431268.005РЭ			Лист
								127
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Регистр управления устройством масштабирования (SCALER_CTRL)

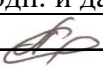
Регистр содержит управляющую информацию для устройства масштабирования видеоконтроллера. Смещение VDU_SCALER_BASE + 0004H. Разрядность - 32 разряда.

Таблица 81 – Разряды регистра управления устройством масштабирования (SCALER_CTRL)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
31 – 26	RSERVED			
25	SCAL_DROP_POLAR_STR	определяет полярность схемы dropper'a (интерлейсера) 0 – отбрасываются нечетные строки кадра (выводимый кадр содержит только четные строки исходного кадра) 1 – отбрасываются четные строки кадра (выводимый кадр содержит только нечетные строки исходного кадра)	rw	0H
24	SCAL_DROP_ENA_STR	разрешает работу устройства dropper (интерлейсер), которое производит удаление четных или нечетных строк в кадре (зависит от признака SCAL_DROP_POLAR_STR), удаление строк осуществляется после масштабирования и обрезания кадра 0 – пропуск строк отключен, данные минуют dropper 1 – производится отбрасывание строк	rw	0H
23 – 18	RSERVED			
17	V_FLT_ENA	включает фильтрацию изображения при его масштабировании по вертикали 0 – фильтрация отключена, данные минуют фильтр 1 – производится фильтрация данных Вертикальная фильтрация изображения допустима только в том случае, если горизонтальный размер изображения после масштабирования (параметр SCALER_SIZE_Y(C)_H) меньше, либо равен 1024 пикселям – это обусловлено размерами буферов, используемых для вертикальной фильтрации.	Rw	0H
16	H_FLT_ENA	включает фильтрацию изображения при его масштабировании по горизонтали 0 – фильтрация отключена, данные минуют фильтр 1 – производится фильтрация данных	rw	0H
15 – 12	RSERVED			

					ЮФКВ.431268.005РЭ			Лист
								128
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
11	V_CUT_ENA	включает режим обрезания изображения в вертикальном направлении 0 – изображение сохраняет размер 1 – производится обрезание изображения после его масштабирования		
10	H_CUT_ENA	включает режим обрезания изображения в горизонтальном направлении 0 – изображение сохраняет размер 1 – производится обрезание изображения после его масштабирования		
9	V_UPSIZE	направление масштабирования в вертикальном направлении 0 – производится уменьшение изображения (downscaling) 1 – производится увеличение изображения (upscaling) в данной версии видеоконтроллера этот параметр является опциональным и может быть не установлен, о направлении масштабирования, аппаратура видеоконтроллера судит по значению целой части коэффициентов масштабирования	rw	0H
8	H_UPSIZE	направление масштабирования в горизонтальном направлении 0 – производится уменьшение изображения (downscaling) 1 – производится увеличение изображения (upscaling) в данной версии видеоконтроллера этот параметр является опциональным и может быть не установлен, о направлении масштабирования, аппаратура видеоконтроллера судит по значению целой части коэффициентов масштабирования	rw	0H
7 – 2	RSERVED			
1	V_SCALER_ENA	включает масштабирование изображения по вертикали 0 – масштабирование изображения не производится 1 – масштабирование изображения производится	rw	0H
0	H_SCALER_ENA	включает масштабирование изображения по горизонтали 0 – масштабирование изображения не производится 1 – масштабирование изображения производится	rw	0H

					ЮФКВ.431268.005РЭ			Лист
								129
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Регистр коэффициента горизонтального масштабирования для яркостной компоненты (SCALER_SCH_Y)

Регистр содержит коэффициенты для масштабирования плоскости яркостной компоненты изображения по горизонтали. Коэффициент задается в виде шага масштабирования, определяемого по формуле $((\text{кол-во пикселей в строке до масштабирования} - 1) / (\text{кол-во пикселей в строке после масштабирования} - 1))$. Коэффициенты представлены в виде целой и дробной частей, обе в виде беззнакового целого. Дробная часть коэффициента получена умножением исходной вещественной дробной части на 65536 (берется целая часть – дробная отбрасывается).

При увеличении – целая часть коэффициента является нулевой. При уменьшении коэффициент масштабирования больше 1.

Согласно сценариям применения видеоконтроллера увеличение изображения производится от значений изображения с разрешениями меньше SD (но не менее CIF) до изображения с SD разрешением. А уменьшение изображения от изображений с разрешением HD до изображения с SD.

Под целую часть отводится 4 разряда, под дробную – 16 разрядов.

Смещение VDU_SCALER_BASE + 0008H. Разрядность - 20 разрядов. Разбиение на поля приведено в Таблица 82

Таблица 82 – Разряды регистра коэффициента горизонтального масштабирования для яркостной компоненты (SCALER_SCH_Y)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
19 – 16	SC_INT_HY	значение целой части коэффициента	rw	0H
15 – 0	SC_FRAC_HY	значение дробной части коэффициента	rw	0000H

Регистр коэффициента вертикального масштабирования для яркостной компоненты (SCALER_SCV_Y)

Регистр содержит коэффициенты для масштабирования плоскости яркостной компоненты изображения по вертикали. Коэффициент задается в виде шага масштабирования, определяемого по формуле $((\text{кол-во строк до масштабирования} - 1) / (\text{кол-во строк после масштабирования} - 1))$. Коэффициенты представлены в виде целой и дробной частей, обе в виде беззнакового целого. Дробная часть коэффициента получена умножением исходной вещественной дробной части на 65536 (берется целая часть – дробная отбрасывается).

При увеличении – целая часть коэффициента является нулевой. При уменьшении коэффициент масштабирования больше 1.

Согласно сценариям применения видеоконтроллера увеличение изображения производится от значений изображения с разрешениями меньше SD (но не менее CIF) до изображения с SD разрешением. А уменьшение изображения от изображений с разрешением HD до изображения с SD.

Под целую часть отводится 4 разряда, под дробную – 16 разрядов.

Смещение VDU_SCALER_BASE + 000CH. Разрядность - 20 разрядов. Разбиение на поля приведено в Таблица 83.

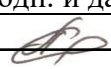
					ЮФКВ.431268.005РЭ			Лист
								130
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 83 - Разряды регистра коэффициента вертикального масштабирования для яркостной компоненты (SCALER_SCV_Y)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
19 – 16	SC_INT_VY	значение целой части коэффициента	rw	0H
15 – 0	SC_FRAC_VY	значение дробной части коэффициента	rw	0000H

Регистр коэффициента горизонтального масштабирования для цветоразностных компонент (SCALER_SCH_C)

Регистр содержит коэффициенты для масштабирования плоскости цветоразностной компоненты изображения по горизонтали. Коэффициент задается в виде шага масштабирования, определяемого по формуле $((\text{кол-во пикселей в строке до масштабирования} - 1) / (\text{кол-во пикселей в строке после масштабирования} - 1))$. Коэффициенты представлены в виде целой и дробной частей, обе в виде беззнакового целого. Дробная часть коэффициента получена умножением исходной вещественной дробной части на 65536 (берется целая часть – дробная отбрасывается).

При увеличении – целая часть коэффициента является нулевой. При уменьшении коэффициент масштабирования больше 1.

Согласно сценариям применения видеоконтроллера увеличение изображения производится от значений изображения с разрешениями меньше SD (но не менее CIF) до изображения с SD разрешением. А уменьшение изображения от изображений с разрешением HD до изображения с SD.

Под целую часть отводится 4 разряда, под дробную – 16 разрядов.

Смещение VDU_SCALER_BASE + 0010H. Разрядность - 20 разрядов. Разбиение на поля приведено в Таблица 84.

Таблица 84 - Разряды регистра коэффициента горизонтального масштабирования для цветоразностных компонент (SCALER_SCH_C)

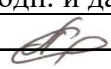
№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
19 – 16	SC_INT_HC	значение целой части коэффициента	rw	0H
15 – 0	SC_FRAC_HC	значение дробной части коэффициента	rw	0000H

Регистр коэффициента вертикального масштабирования для цветоразностных компонент (SCALER_SCV_C)

Регистр содержит коэффициенты для масштабирования плоскости цветоразностной компоненты изображения по вертикали. Коэффициент задается в виде шага масштабирования, определяемого по формуле $((\text{кол-во строк до масштабирования} - 1) / (\text{кол-во строк после масштабирования} - 1))$. Коэффициенты представлены в виде целой и дробной частей, обе в виде беззнакового целого. Дробная часть коэффициента получена умножением исходной вещественной дробной части на 65536 (берется целая часть – дробная отбрасывается).

При увеличении – целая часть коэффициента является нулевой. При уменьшении коэффициент масштабирования больше 1.

Согласно сценариям применения видеоконтроллера увеличение изображения производится от значений изображения с разрешениями меньше SD (но не менее CIF) до изображения с SD разрешением. А уменьшение изображения от изображений с разрешением HD до изображения с SD.

					ЮФКВ.431268.005РЭ			Лист
								131
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Под целую часть отводится 4 разряда, под дробную – 16 разрядов.

Смещение VDU_SCALER_BASE + 0014H. Разрядность - 20 разрядов. Разбиение на поля приведено в Таблица 85.

Таблица 85 - Разряды регистра коэффициента вертикального масштабирования для цветоразностных компонент (SCALER_SCV_C)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
19 – 16	SC_INT_VC	значение целой части коэффициента	rw	0H
15 – 0	SC_FRAC_VC	значение дробной части коэффициента	rw	0000H

Регистр размера изображения после масштабирования для яркостной компоненты (SCALER_SIZE_Y)

Регистр содержит информацию о вертикальном (количество строк) и горизонтальном (количество пикселей в строке) размерах изображения после его масштабирования для яркостной компоненты.

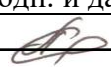
При этом все размеры задаются на единицу меньше физических, т.е. для того, чтобы получить реальное количество пикселей или строк изображения необходимо к указанным в регистрах размерам добавить единицу. Также действует ограничение – количество пикселей и количество строк должно быть четным значением.

Пример: физический размер изображения: 720x576, значения параметров в регистрах: SIZE_VY = 576 – 1 = 575, SIZE_HY = 720 – 1 = 719.

Смещение VDU_SCALER_BASE + 0018H. Разрядность - 32 разряда. Разбиение на поля приведено в Таблица 86.

Таблица 86 - Разряды регистра размера изображения после масштабирования для яркостной компоненты (SCALER_SIZE_Y)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
31 – 28	RESERVED			
27 – 16	SIZE_VY	количество строк изображения после масштабирования для яркостной компоненты	rw	000H
15 – 12	RESERVED			
11 – 0	SIZE_HY	количество пикселей в строке изображения после масштабирования для яркостной компоненты	rw	000H

					ЮФКВ.431268.005РЭ			Лист
								132
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Регистр размера изображения после масштабирования для цветоразностной компоненты (SCALER_SIZE_C)

Регистр содержит информацию о вертикальном (количество строк) и горизонтальном (количество пикселей в строке) размерах изображения после его масштабирования для цветоразностной компоненты.

При этом все размеры задаются на единицу меньше физических, т.е. для того, чтобы получить реальное количество пикселей или строк изображения необходимо к указанным в регистрах размерам добавить единицу. Также действует ограничение – количество пикселей и количество строк должно быть четным значением.

Пример: физический размер изображения: 720x576, значения параметров в регистрах: SIZE_VC = 576 – 1 = 575, SIZE_HC = 720 – 1 = 719.

Смещение VDU_SCALER_BASE + 001CH. Разрядность - 32 разряда. Разбиение на поля приведено в Таблица 87.

Таблица 87 - Разряды регистра размера изображения после масштабирования для цветоразностной компоненты (SCALER_SIZE_C)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
31 – 28	RESERVED			
27 – 16	SIZE_VC	количество строк изображения после масштабирования для цветоразностной компоненты	rw	000H
15 – 12	RESERVED			
11 – 0	SIZE_HC	количество пикселей в строке изображения после масштабирования для цветоразностной компоненты	rw	000H

Регистр нулевого коэффициента фильтра устройства масштабирования для яркостной компоненты (SCALER_FLT_Y_C0)

Регистр содержит коэффициенты для усредняющей фильтрации видеоданных на входе устройства масштабирования для яркостной компоненты. Данный регистр содержит горизонтальный и вертикальный коэффициенты для нулевого звена фильтра.

Усредняющая фильтрация применяется при уменьшении размеров изображения для устранения причин возникновения дефектов изображения, вызванных отбросом незначущих пикселей и строк изображения. Устраняет дефект изображения именуемый термином – aliasing.

Коэффициенты представлены в виде 8 разрядных целых беззнаковых чисел. Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на коэффициент нормализации. Сумма всех коэффициентов должна быть меньше или равняться коэффициенту нормализации. Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8ми разрядных коэффициентов фильтра коэффициент нормализации равен 256.

Пример: единичный фильтр, не вносящий искажений, – фильтр имеет следующие коэффициенты 1, 254, 1. При увеличении граничных коэффициентов и уменьшении среднего размывающая способность фильтра возрастает.

Смещение VDU_SCALER_BASE + 0020H. Разрядность - 16 разрядов. Разбиение на поля приведено в Таблица 88.

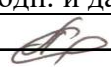
					ЮФКВ.431268.005РЭ			Лист
								133
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 88 - Разряды регистра нулевого коэффициента фильтра устройства масштабирования для яркостной компоненты (SCALER_FLT_Y_C0)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
15 – 8	FLT_C0_VY	значение коэффициента вертикального фильтра (реальное значение коэффициента определяется FLT_C1_VY/ HFLT_Y_N)	гw	00H
7 – 0	FLT_C0_HY	значение коэффициента горизонтального фильтра (реальное значение коэффициента определяется FLT_C1_HY/ HFLT_Y_N)	гw	00H

Регистр первого коэффициента фильтра устройства масштабирования для яркостной компоненты (SCALER_FLT_Y_C1)

Регистр содержит коэффициенты для усредняющей фильтрации видеоданных на входе устройства масштабирования для яркостной компоненты. Данный регистр содержит горизонтальный и вертикальный коэффициенты для первого звена фильтра.

Усредняющая фильтрация применяется при уменьшении размеров изображения для устранения причин возникновения дефектов изображения, вызванных отбросом незначащих пикселей и строк изображения. Устраняет дефект изображения именуемый термином – aliasing.

Коэффициенты представлены в виде 8-разрядных целых беззнаковых чисел. Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на коэффициент нормализации. Сумма всех коэффициентов должна быть меньше или равняться коэффициенту нормализации. Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8-ми разрядных коэффициентов фильтра коэффициент нормализации равен 256.

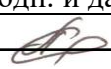
Пример: единичный фильтр не вносящий искажений – фильтр имеет следующие коэффициенты 1, 254, 1. При увеличении граничных коэффициентов и уменьшении среднего размывающая способность фильтра возрастает.

Смещение VDU_SCALER_BASE + 0024H. Разрядность - 16 разрядов. Разбиение на поля приведено в Таблица 89.

Таблица 89 - Разряды регистра первого коэффициента фильтра устройства масштабирования для яркостной компоненты (SCALER_FLT_Y_C1)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
15 – 8	FLT_C1_VY	значение коэффициента вертикального фильтра (реальное значение коэффициента определяется FLT_C2_VY/ HFLT_Y_N)	гw	00H
7 – 0	FLT_C1_HY	значение коэффициента горизонтального фильтра (реальное значение коэффициента определяется FLT_C2_HY/ HFLT_Y_N)	гw	00H

Регистр второго коэффициента фильтра устройства масштабирования для яркостной компоненты (SCALER_FLT_Y_C2)

					ЮФКВ.431268.005РЭ			Лист
								134
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Регистр содержит коэффициенты для усредняющей фильтрации видеоданных на входе устройства масштабирования для яркостной компоненты. Данный регистр содержит горизонтальный и вертикальный коэффициенты для второго звена фильтра.

Усредняющая фильтрация применяется при уменьшении размеров изображения для устранения причин возникновения дефектов изображения, вызванных отбросом незначительных пикселей и строк изображения. Устраняет дефект изображения именуемый термином – aliasing.

Коэффициенты представлены в виде 8 разрядных целых беззнаковых чисел. Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на коэффициент нормализации. Сумма всех коэффициентов должна быть меньше или равняться коэффициенту нормализации. Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8ми разрядных коэффициентов фильтра коэффициент нормализации равен 256.

Пример: единичный фильтр не вносящий искажений – фильтр имеет следующие коэффициенты 1, 254, 1. При увеличении граничных коэффициентов и уменьшении среднего размывающая способность фильтра возрастает.

Смещение VDU_SCALER_BASE + 0028H. Разрядность - 16 разрядов. Разбиение на поля приведено в Таблица 90.

Таблица 90 - Разряды регистра второго коэффициента фильтра устройства масштабирования для яркостной компоненты (SCALER_FLT_Y_C2)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
15 – 8	FLT_C2_VY	значение коэффициента вертикального фильтра (реальное значение коэффициента определяется FLT_C3_VY/ HFLT_Y_N)	гw	00H
7 – 0	FLT_C2_HY	значение коэффициента горизонтального фильтра (реальное значение коэффициента определяется FLT_C3_HY/ HFLT_Y_N)	гw	00H

Регистр третьего коэффициента фильтра устройства масштабирования для яркостной компоненты (SCALER_FLT_Y_C3)

Регистр содержит коэффициенты для усредняющей фильтрации видеоданных на входе устройства масштабирования для яркостной компоненты. Данный регистр содержит горизонтальный и вертикальный коэффициенты для третьего звена фильтра.

Усредняющая фильтрация применяется при уменьшении размеров изображения для устранения причин возникновения дефектов изображения, вызванных отбросом незначительных пикселей и строк изображения. Устраняет дефект изображения именуемый термином – aliasing.

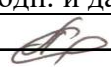
Коэффициенты представлены в виде 8 разрядных целых беззнаковых чисел. Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на коэффициент нормализации. Сумма всех коэффициентов должна быть меньше или равняться коэффициенту нормализации. Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8ми разрядных коэффициентов фильтра коэффициент нормализации равен 256.

Пример: единичный фильтр не вносящий искажений – фильтр имеет следующие коэффициенты 1, 254, 1. При увеличении граничных коэффициентов и уменьшении среднего размывающая способность фильтра возрастает.

Данный регистр в данной версии видеоконтроллера не используется.

Смещение VDU_SCALER_BASE + 002CH. Разрядность - 16 разрядов. Разбиение на поля приведено в Таблица 91.

Таблица 91 - Разряды регистра третьего коэффициента фильтра устройства масштабирования для яркостной компоненты (SCALER_FLT_Y_C3)

					ЮФКВ.431268.005РЭ			Лист
								135
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
15 – 8	FLT_C3_VY	значение коэффициента вертикального фильтра (реальное значение коэффициента определяется FLT_C3_VY/HFLT_Y_N)	rw	00H
7 – 0	FLT_C3_HY	значение коэффициента горизонтального фильтра (реальное значение коэффициента определяется FLT_C3_HY/HFLT_Y_N)	rw	00H

Регистр четвертого коэффициента фильтра устройства масштабирования для яркостной компоненты (SCALER_FLT_Y_C4)

Регистр содержит коэффициенты для усредняющей фильтрации видеоданных на входе устройства масштабирования для яркостной компоненты. Данный регистр содержит горизонтальный и вертикальный коэффициенты для четвертого звена фильтра.

Усредняющая фильтрация применяется при уменьшении размеров изображения для устранения причин возникновения дефектов изображения, вызванных отбросом незначительных пикселей и строк изображения. Устраняет дефект изображения именуемый термином – aliasing.

Коэффициенты представлены в виде 8 разрядных целых беззнаковых чисел. Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на коэффициент нормализации. Сумма всех коэффициентов должна быть меньше или равняться коэффициенту нормализации. Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8ми разрядных коэффициентов фильтра коэффициент нормализации равен 256.

Пример: единичный фильтр не вносящий искажений – фильтр имеет следующие коэффициенты 1, 254, 1. При увеличении граничных коэффициентов и уменьшении среднего размывающая способность фильтра возрастает.

Данный регистр в данной версии видеоконтроллера не используется.

Смещение VDU_SCALER_BASE + 0030H. Разрядность - 16 разрядов. Разбиение на поля приведено в Таблица 92.

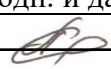
Таблица 92 - Разряды регистра четвертого коэффициента фильтра устройства масштабирования для яркостной компоненты (SCALER_FLT_Y_C4)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
15 – 8	FLT_C4_VY	значение коэффициента вертикального фильтра (реальное значение коэффициента определяется FLT_C4_VY/HFLT_Y_N)	rw	00H
7 – 0	FLT_C4_HY	значение коэффициента горизонтального фильтра (реальное значение коэффициента определяется FLT_C4_HY/HFLT_Y_N)	rw	00H

Регистр коэффициентов нормализации горизонтального фильтра для яркостной компоненты (SCALER_FLT_NORM)

Коэффициент нормализации представляет собой восьми разрядное целочисленное значение кратное степени 2. Данный коэффициент задает значение, на которое были домножены вещественные коэффициенты фильтра для получения целочисленного значения. Таким образом, для того, чтобы получить реальное значение коэффициента фильтра надо его целочисленное значение, задаваемое в регистрах разделить на коэффициент нормализации.

Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8ми разрядных коэффициентов фильтра коэффициент нормализации равен 256. В регистр коэффициента нормализации заносится значение равное коэффициенту нормализации – 1.

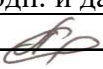
					ЮФКВ.431268.005РЭ			Лист
								136
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Данный регистр в данной версии видеоконтроллера не используется, значение коэффициента нормализации фиксировано и равно 256.

Смещение VDU_SCALER_BASE + 0048H. Разрядность - 32 разряда. Разбиение на поля приведено в Таблица 93.

Таблица 93 - Разряды регистра коэффициентов нормализации горизонтального фильтра для яркостной компоненты (SCALER_FLT_NORM)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
31 – 24	VFLT_C_N	значение коэффициента нормализации вертикального фильтра цветоразностной компоненты	rw	00H
23 – 16	HFLT_C_N	значение коэффициента нормализации горизонтального фильтра цветоразностной компоненты	rw	00H
15 – 8	VFLT_Y_N	значение коэффициента нормализации вертикального фильтра яркостной компоненты	rw	00H
7 – 0	HFLT_Y_N	значение коэффициента нормализации горизонтального фильтра яркостной компоненты	rw	00H

					ЮФКВ.431268.005РЭ			Лист
								137
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Регистр нулевого коэффициента фильтра устройства масштабирования для цветоразностной компоненты (SCALER_FLT_C_C0)

Регистр содержит коэффициенты для усредняющей фильтрации видеоданных на входе устройства масштабирования для цветоразностной компоненты. Данный регистр содержит горизонтальный и вертикальный коэффициенты для нулевого звена фильтра.

Усредняющая фильтрация применяется при уменьшении размеров изображения для устранения причин возникновения дефектов изображения, вызванных отбросом незначительных пикселей и строк изображения. Устраняет дефект изображения именуемый термином – aliasing.

Коэффициенты представлены в виде 8 разрядных целых беззнаковых чисел. Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на коэффициент нормализации. Сумма всех коэффициентов должна быть меньше или равняться коэффициенту нормализации. Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8ми разрядных коэффициентов фильтра коэффициент нормализации равен 256.

Пример: единичный фильтр не вносящий искажений – фильтр имеет следующие коэффициенты 1, 254, 1. При увеличении граничных коэффициентов и уменьшении среднего размывающая способность фильтра возрастает.

Смещение VDU_SCALER_BASE + 004CH. Разрядность - 16 разрядов. Разбиение на поля приведено в Таблица 94.

Таблица 94 - Разряды регистра нулевого коэффициента фильтра устройства масштабирования для цветоразностной компоненты (SCALER_FLT_C_C0)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
15 – 8	FLT_C0_VC	значение коэффициента вертикального фильтра (реальное значение коэффициента определяется FLT_C0_VC/ HFLT_Y_N)	rw	00H
7 – 0	FLT_C0_HC	значение коэффициента горизонтального фильтра (реальное значение коэффициента определяется FLT_C0_HC/ HFLT_Y_N)	rw	00H

Регистр первого коэффициента фильтра устройства масштабирования для цветоразностной компоненты (SCALER_FLT_C_C1)

Регистр содержит коэффициенты для усредняющей фильтрации видеоданных на входе устройства масштабирования для цветоразностной компоненты. Данный регистр содержит горизонтальный и вертикальный коэффициенты для первого звена фильтра.

Усредняющая фильтрация применяется при уменьшении размеров изображения для устранения причин возникновения дефектов изображения, вызванных отбросом незначительных пикселей и строк изображения. Устраняет дефект изображения именуемый термином – aliasing.

Коэффициенты представлены в виде 8 разрядных целых беззнаковых чисел. Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на коэффициент нормализации. Сумма всех коэффициентов должна быть меньше или равняться коэффициенту нормализации. Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8ми разрядных коэффициентов фильтра коэффициент нормализации равен 256.

Пример: единичный фильтр не вносящий искажений – фильтр имеет следующие коэффициенты 1, 254, 1. При увеличении граничных коэффициентов и уменьшении среднего размывающая способность фильтра возрастает.

Смещение VDU_SCALER_BASE + 0050H. Разрядность - 16 разрядов. Разбиение на поля приведено в Таблица 95.

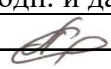
					ЮФКВ.431268.005РЭ			Лист
								138
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Таблица 95 - Разряды регистра первого коэффициента фильтра устройства масштабирования для цветоразностной компоненты (SCALER_FLT_C_C1)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
15 – 8	FLT_C1_VC	значение коэффициента вертикального фильтра (реальное значение коэффициента определяется FLT_C1_VC/ HFLT_Y_N)	rw	00H
7 – 0	FLT_C1_HC	значение коэффициента горизонтального фильтра (реальное значение коэффициента определяется FLT_C1_HC/ HFLT_Y_N)	rw	00H

Регистр второго коэффициента фильтра устройства масштабирования для цветоразностной компоненты (SCALER_FLT_C_C2)

Регистр содержит коэффициенты для усредняющей фильтрации видеоданных на входе устройства масштабирования для цветоразностной компоненты. Данный регистр содержит горизонтальный и вертикальный коэффициенты для второго звена фильтра.

Усредняющая фильтрация применяется при уменьшении размеров изображения для устранения причин возникновения дефектов изображения, вызванных отбросом незначущих пикселей и строк изображения. Устраняет дефект изображения именуемый термином – aliasing.

Коэффициенты представлены в виде 8 разрядных целых беззнаковых чисел. Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на коэффициент нормализации. Сумма всех коэффициентов должна быть меньше или равняться коэффициенту нормализации. Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8ми разрядных коэффициентов фильтра коэффициент нормализации равен 256.

Пример: единичный фильтр не вносящий искажений – фильтр имеет следующие коэффициенты 1, 254, 1. При увеличении граничных коэффициентов и уменьшении среднего размывающая способность фильтра возрастает.

Смещение VDU_SCALER_BASE + 0054H. Разрядность - 16 разрядов. Разбиение на поля приведено в Таблица 96.

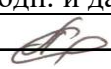
Таблица 96 - Разряды регистра второго коэффициента фильтра устройства масштабирования для цветоразностной компоненты (SCALER_FLT_C_C2)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
15 – 8	FLT_C2_VC	значение коэффициента вертикального фильтра (реальное значение коэффициента определяется FLT_C0_VC/ HFLT_Y_N)	rw	00H
7 – 0	FLT_C2_HC	значение коэффициента горизонтального фильтра (реальное значение коэффициента определяется FLT_C0_HC/ HFLT_Y_N)	rw	00H

Регистр третьего коэффициента фильтра устройства масштабирования для цветоразностной компоненты (SCALER_FLT_C_C3)

Регистр содержит коэффициенты для усредняющей фильтрации видеоданных на входе устройства масштабирования для цветоразностной компоненты. Данный регистр содержит горизонтальный и вертикальный коэффициенты для третьего звена фильтра.

Усредняющая фильтрация применяется при уменьшении размеров изображения для устранения причин возникновения дефектов изображения, вызванных отбросом незначущих пикселей и строк изображения. Устраняет дефект изображения именуемый термином – aliasing.

					ЮФКВ.431268.005РЭ			Лист
								139
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Коэффициенты представлены в виде 8 разрядных целых беззнаковых чисел. Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на коэффициент нормализации. Сумма всех коэффициентов должна быть меньше или равняться коэффициенту нормализации. Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8ми разрядных коэффициентов фильтра коэффициент нормализации равен 256.

Пример: единичный фильтр не вносящий искажений – фильтр имеет следующие коэффициенты 1, 254, 1. При увеличении граничных коэффициентов и уменьшении среднего размывающая способность фильтра возрастает.

Данный регистр в данной версии видеоконтроллера не используется.

Смещение VDU_SCALER_BASE + 0058H. Разрядность - 16 разрядов. Разбиение на поля приведено в Таблица 97.

Таблица 97 - Разряды регистра третьего коэффициента фильтра устройства масштабирования для цветоразностной компоненты (SCALER_FLT_C_C3)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
15 – 8	FLT_C3_VC	значение коэффициента вертикального фильтра (реальное значение коэффициента определяется FLT_C0_VC/ HFLT_Y_N)	rw	00H
7 – 0	FLT_C3_HC	значение коэффициента горизонтального фильтра (реальное значение коэффициента определяется FLT_C0_HC/ HFLT_Y_N)	rw	00H

Регистр четвертого коэффициента фильтра устройства масштабирования для цветоразностной компоненты (SCALER_FLT_C_C4)

Регистр содержит коэффициенты для усредняющей фильтрации видеоданных на входе устройства масштабирования для цветоразностной компоненты. Данный регистр содержит горизонтальный и вертикальный коэффициенты для четвертого звена фильтра.

Усредняющая фильтрация применяется при уменьшении размеров изображения для устранения причин возникновения дефектов изображения, вызванных отбросом незначащих пикселей и строк изображения. Устраняет дефект изображения именуемый термином – aliasing.

Коэффициенты представлены в виде 8 разрядных целых беззнаковых чисел. Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на коэффициент нормализации. Сумма всех коэффициентов должна быть меньше или равняться коэффициенту нормализации. Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8ми разрядных коэффициентов фильтра коэффициент нормализации равен 256.

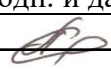
Пример: единичный фильтр не вносящий искажений – фильтр имеет следующие коэффициенты 1, 254, 1. При увеличении граничных коэффициентов и уменьшении среднего размывающая способность фильтра возрастает.

Данный регистр в данной версии видеоконтроллера не используется.

Смещение VDU_SCALER_BASE + 005CH. Разрядность - 16 разрядов. Разбиение на поля приведено в Таблица 98.

Таблица 98 - Разряды регистра четвертого коэффициента фильтра устройства масштабирования для цветоразностной компоненты (SCALER_FLT_C_C4)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
15 – 8	FLT_C4_VC	значение коэффициента вертикального фильтра (реальное значение коэффициента определяется FLT_C0_VC/ HFLT_Y_N)	rw	00H
7 – 0	FLT_C4_HC	значение коэффициента горизонтального фильтра (реальное значение коэффициента определяется FLT_C0_HC/ HFLT_Y_N)	rw	00H

					ЮФКВ.431268.005РЭ			Лист
								140
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Регистр размера изображения после обрезания (SCALER_SIZE_CUT)

Данный регистр содержит информацию о горизонтальном и вертикальном размерах после обрезания изображения (обрезание производится после масштабирования). Горизонтальный размер – количество пикселей в строке. Вертикальный – количество строк в изображении. Так как на выходе scaler'a имеем формат видеоданных YCbCr 4:4:4, то данные значения применимы как для яркостной компоненты, так и для цветоразностной.

При этом все размеры задаются на единицу меньше физических, т.е. для того, чтобы получить реальное количество пикселей или строк изображения необходимо к указанным в регистрах размерам добавить единицу. Также действует ограничение – количество пикселей и количество строк должно быть четным значением.

Смещение VDU_SCALER_BASE + 0074H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 99.

Таблица 99 - Разряды регистра размера изображения после обрезания (SCALER_SIZE_CUT)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
31 – 27	RESERVED			
26 – 16	SIZE_CUT_V	вертикальный размер	rw	000H
15 – 11	RESERVED			
10 – 0	SIZE_CUT_H	горизонтальный размер	rw	000H

Горизонтальный регистр количества обрезаемых пикселей (SCALER_PHS_CUT_H)

Данный регистр содержит информацию о количестве обрезаемых пикселей изображения. Указанное количество пикселей обрезается от каждой строки с каждой стороны изображения, с каждой по PHASE_CUT_H (слева по PHASE_CUT_H_L, справа по PHASE_CUT_H_R).

Так как на выходе схемы масштабирования имеем формат видеоданных YCbCr 4:4:4, то данное значение применимо как для яркостной компоненты, так и для цветоразностной.

Для данных параметров все размеры задаются равными физическим, т.е. реальное количество пикселей изображения соответствует указанным в регистрах размерам (добавлять единицу не нужно). Действует ограничение – количество обрезаемых пикселей должно быть четным значением.

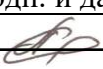
Смещение VDU_SCALER_BASE + 0078H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 100.

При этом

$$\text{SCALER\_SIZE\_H} = \text{SCALER\_SIZE\_CUT\_H} + \text{SCALER\_PHASE\_CUT\_H\_L} + \text{SCALER\_PHASE\_CUT\_H\_R},$$

Таблица 100 - Разряды регистра количества обрезаемых пикселей (SCALER_PHS_CUT_H)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
31 – 27	RESERVED			
26 – 16	PHASE_CUT_H_L	количество пикселей, обрезаемых с левой стороны строки изображения	rw	000H
15 – 11	RESERVED			
10 – 0	PHASE_CUT_H_R	количество пикселей, обрезаемых с правой стороны строки изображения	rw	000H

					ЮФКВ.431268.005РЭ			Лист
								141
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Вертикальный регистр количества обрезаемых пикселей (SCALER_PHS_CUT_V)

Данный регистр содержит информацию о количестве обрезаемых строк изображения.

Указанное количество строк обрезается сверху и снизу изображения, с каждой по PHASE_CUT_V (сверху – PHASE_CUT_V_T, снизу PHASE_CUT_V_B). Обрезание изображения производится после масштабирования.

Так как на выходе схемы масштабирования имеем формат видеоданных YcbCr 4:4:4, то данное значение применимо как для яркостной компоненты, так и для цветоразностной.

Для данных параметров все размеры задаются равными физическим, т.е. реальное количество строк изображения соответствует указанным в регистрах размерам (добавлять единицу не нужно). Действует ограничение – количество обрезаемых строк должно быть четным значением.

Смещение VDU_SCALER_BASE + 0070H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 101.

При этом

$$\text{SCALER\_SIZE\_V} = \text{SCALER\_SIZE\_CUT\_V} + \text{SCALER\_PHASE\_CUT\_V\_T} + \text{SCALER\_PHASE\_CUT\_V\_B}$$

Таблица 101 - Разряды регистра количества обрезаемых пикселей (SCALER_PHS_CUT_V)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
31 – 26	RESERVED			
25 – 16	PHASE_CUT_V_T	количество строк, обрезаемых сверху изображения	rw	000H
15 – 10	RESERVED			
9 – 0	PHASE_CUT_V_B	количество строк, обрезаемых снизу изображения	rw	000H

Регистр матрицы коэффициентов для преобразования яркостной составляющей (SCALER_MVL_CLR_Y)

Регистр содержит коэффициенты для проведения колориметрического преобразования видеоданных SD качества (YcbCr₆₀₁) в HD качество (YcbCr₇₀₉) и наоборот. Данный регистр содержит коэффициенты для преобразования яркостной компоненты.

Коэффициенты представлены в виде 10 разрядных целых знаковых чисел (старший (десятый) разряд является знаковым). Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на 256.

Примеры значений коэффициентов приведены в документе: Спецификация на блок преобразования форматов цвета в канале основного видеослоя.

Смещение VDU_SCALER_BASE + 007CH. Разрядность 32 разряда. Разбиение на поля приведен в таблице 102.

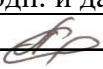
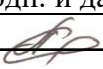
					ЮФКВ.431268.005РЭ			Лист
								142
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 102 - Разряды регистра матрицы коэффициентов для преобразования яркостной составляющей (SCALER_MVL_CLR_Y)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
31 – 30	RESERVED			
29 – 20	MVL_CLR_Y_Cr	коэффициент для перемножения со значением компоненты Cr входного сигнала 9 разряд – знак 8-0 – значение коэффициента	rw	000H
19 – 10	MVL_CLR_Y_Cb	коэффициент для перемножения со значением компоненты Cb входного сигнала 9 разряд – знак 8-0 – значение коэффициента	rw	000H
9 – 0	MVL_CLR_Y_Y	коэффициент для перемножения со значением компоненты Y входного сигнала 9 разряд – знак 8-0 – значение коэффициента	rw	000H

					ЮФКВ.431268.005РЭ			Лист
								143
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Регистр матрицы коэффициентов для преобразования цветоразностной составляющей Cb (SCALER_MVL_CLR_Cb)

Регистр содержит коэффициенты для проведения колориметрического преобразования видеоданных SD качества (YcbCr₆₀₁) в HD качество (YcbCr₇₀₉) и наоборот. Данный регистр содержит коэффициенты для преобразования цветоразностной Cb компоненты.

Коэффициенты представлены в виде 10 разрядных целых знаковых чисел (старший (десятый) разряд является знаковым). Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на 256.

Примеры значений коэффициентов приведены в документе: Спецификация на блок преобразования форматов цвета в канале основного видеослоя.

Смещение VDU_SCALER_BASE + 0080H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 103.

Таблица 103 - Разряды регистра матрицы коэффициентов для преобразования цветоразностной составляющей Cb (SCALER_MVL_CLR_Cb)

№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
31 – 30	RESERVED			
29 – 20	MVL_CLR_Cb_Cr	коэффициент для перемножения со значением компоненты Cr входного сигнала 9 разряд – знак 8-0 – значение коэффициента	rw	000H
19 – 10	MVL_CLR_Cb_Cb	коэффициент для перемножения со значением компоненты Cb входного сигнала 9 разряд – знак 8-0 – значение коэффициента	rw	000H
9 – 0	MVL_CLR_Cb_Y	коэффициент для перемножения со значением компоненты Y входного сигнала 9 разряд – знак 8-0 – значение коэффициента	rw	000H

Регистр матрицы коэффициентов для преобразования цветоразностной составляющей Cr (SCALER_MVL_CLR_Cr)

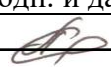
Регистр содержит коэффициенты для проведения колориметрического преобразования видеоданных SD качества (YcbCr₆₀₁) в HD качество (YcbCr₇₀₉) и наоборот. Данный регистр содержит коэффициенты для преобразования цветоразностной Cr компоненты.

Коэффициенты представлены в виде 10 разрядных целых знаковых чисел (старший (десятый) разряд является знаковым). Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на 256.

Примеры значений коэффициентов приведены в документе: Спецификация на блок преобразования форматов цвета в канале основного видеослоя.

Смещение VDU_SCALER_BASE + 0084H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 104.

Таблица 104 - Разряды регистра матрицы коэффициентов для преобразования цветоразностной составляющей Cr (SCALER_MVL_CLR_Cr)

					ЮФКВ.431268.005РЭ			Лист
								144
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

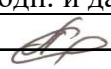
№ Разр	Имя	Название (описание)	Реж	Исх. Знач.
31 – 30	RESERVED			
29 – 20	MVL_CLR_Cr_Cr	коэффициент для перемножения со значением компоненты Cr входного сигнала 9 разряд – знак 8-0 – значение коэффициента	rw	000H
19 – 10	MVL_CLR_Cr_Cb	коэффициент для перемножения со значением компоненты Cb входного сигнала 9 разряд – знак 8-0 – значение коэффициента	rw	000H
9 – 0	MVL_CLR_Cr_Y	коэффициент для перемножения со значением компоненты Y входного сигнала 9 разряд – знак 8-0 – значение коэффициента	rw	000H

1.3.3.2.1.4.5.11 VDU DIF - регистры цифровых видеоинтерфейсов

К регистрам цифровых видеоинтерфейсов относятся регистры, управляющие работой таких блоков, как: блок наложения и позиционирования видеослоев, генератор временных разверток и выходных цифровых интерфейсов видеоконтроллера.

Таблица 105 - Регистры цифровых видеоинтерфейсов (VDU DIF)

Имя	Название (описание)	Адрес	Реж	Разр	Исх. знач.
DIF_CTRL	регистр управления цифровых видеоинтерфейсов	VDU_DIF_B ASE + 0004H	rw	32	0000_00 00H
DIF_BGR	регистр цвета фона	VDU_DIF_B ASE + 0008H	rw	24	0000_00 00H
DIF_MVL_ST ART	регистр координат основного видеослоя на экране	VDU_DIF_B ASE + 000CH	rw	32	0000_00 00H
DIF_BLANK	регистр размеров интервалов межстрочной и межкадровой разверток	VDU_DIF_B ASE + 0010H	rw	32	0000_00 00H
DIF_FSIZE	регистр размеров кадра видеоизображения	VDU_DIF_B ASE + 0014H	rw	24	000_000 0H
DIF_ASIZE	регистр размеров активной части видеоизображения	VDU_DIF_B ASE + 0018H	rw	24	000_000 0H
DIF_HSYNC	регистр позиции сигнала горизонтальной синхронизации	VDU_DIF_B ASE + 001CH	rw	32	0000_00 00H
DIF_VSYNC	позиции сигнала вертикальной синхронизации	VDU_DIF_B ASE + 0020H	rw	32	0000_00 00H

					ЮФКВ.431268.005РЭ			Лист
								145
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

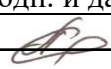
Регистр управления цифровых видеointерфейсов (DIF_CTRL)

Данный регистр содержит управляющую информацию для цифровых видеointерфейсов видеоконтроллера.

Смещение VDU_DIF_BASE + 0004H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 106.

Таблица 106 - Разряды регистра управления цифровых видеointерфейсов (DIF_CTRL)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 18	RESERVE D			
17	VSYNC_P	Полярность сигнала кадровой развертки (VSYNC). Определяет уровень напряжения выходного сигнала синхронизации вертикальной развертки: VSYNC_P = 0 – следовательно в период прямого хода луча по вертикали VSYNC равен единице, а в период обратного – вырабатывается импульс синхронизации длительностью несколько строк с активным уровнем ноль; VSYNC_P = 1 – следовательно в период прямого хода луча по вертикали VSYNC равен нулю, а в период обратного вырабатывается импульс синхронизации длительностью несколько строк с активным уровнем единица.	rw	0H
16	HSYNC_P	Полярность сигнала строчной развертки (HSYNC). Определяет уровень напряжения выходного сигнала синхронизации горизонтальной развертки: HSYNC_P = 0 – следовательно в период прямого хода луча по горизонтали HSYNC равен единице, а в период обратного – нулю; HSYNC_P = 1 – следовательно в период прямого хода луча по горизонтали HSYNC равен нулю, а в период обратного – единице.	rw	0H
15 – 11	RESERVE D			
10	SDTV_FORMAT	Формат передачи данных по интерфейсу стандартной четкости: ‘0’ – последовательный вывод данных при SDTV форматах, ‘1’ – параллельный.	rw	0H
9	EXT_SYNC_EN	Разрешение выдачи сигналов внешней синхронизации: ‘1’ – видеоданные сопровождаются сигналами развертки hsync, vsync, data_en (и XFI для PAL-encodera Fujitsu); ‘0’ – сигналы развертки hsync, vsync, data_en (и XFI для PAL-encodera Fujitsu) не активны – находятся в состоянии нуля.	rw	0H
8	INT_SYNC_EN	Разрешение выдачи кодов внутренней синхронизации: ‘1’ – видеоданные содержат в себе синхроданные в виде кодов SAV, EAV. ‘0’ – видеоданные не содержат в себе коды синхронизации SAV, EAV.	rw	0H
7 – 5	RESERVE D			

					ЮФКВ.431268.005РЭ			Лист
								146
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

№ Разр	Имя	Название (описание)	Реж	Исх. знач.																																																																											
4 - 0	MODE	Формат выходного видеоизображения. Нумеруется в соответствии с таблицей: <table> <tr> <td>4</td><td>3</td><td>1</td><td>0</td><td>-разряды</td></tr> <tr> <td>S/</td><td>Size</td><td>I/P</td><td>60/</td><td>Mode</td></tr> <tr> <td>H</td><td></td><td></td><td>50</td><td></td></tr> <tr> <td>0</td><td>00</td><td>0</td><td>0</td><td>00h - SDTV 720x480i 60Hz</td></tr> <tr> <td>0</td><td>00</td><td>0</td><td>1</td><td>01h - SDTV 720x576i 50Hz</td></tr> <tr> <td>1</td><td>00</td><td>0</td><td>0</td><td>10h - EDTV 720(1440)x480i 60Hz</td></tr> <tr> <td>1</td><td>00</td><td>0</td><td>1</td><td>11h - EDTV 720(1440)x576i 50Hz</td></tr> <tr> <td>1</td><td>00</td><td>1</td><td>0</td><td>12h - EDTV 720x480p 60Hz</td></tr> <tr> <td>1</td><td>00</td><td>1</td><td>1</td><td>13h - EDTV 720x576p 50Hz</td></tr> <tr> <td>1</td><td>01</td><td>1</td><td>0</td><td>16h - HDTV 1280x720p 60Hz</td></tr> <tr> <td>1</td><td>01</td><td>1</td><td>1</td><td>17h - HDTV 1280x720p 50Hz</td></tr> <tr> <td>1</td><td>10</td><td>0</td><td>0</td><td>18h - HDTV 1920x1080i 60Hz</td></tr> <tr> <td>1</td><td>10</td><td>0</td><td>1</td><td>19h - HDTV 1920x1080i 50Hz</td></tr> <tr> <td>1</td><td>10</td><td>1</td><td>0</td><td>1Ah - HDTV 1920x1080p 30Hz</td></tr> <tr> <td>1</td><td>10</td><td>1</td><td>1</td><td>1Bh - HDTV 1920x1080p 25Hz</td></tr> </table> другие значения зарезервированы.	4	3	1	0	-разряды	S/	Size	I/P	60/	Mode	H			50		0	00	0	0	00h - SDTV 720x480i 60Hz	0	00	0	1	01h - SDTV 720x576i 50Hz	1	00	0	0	10h - EDTV 720(1440)x480i 60Hz	1	00	0	1	11h - EDTV 720(1440)x576i 50Hz	1	00	1	0	12h - EDTV 720x480p 60Hz	1	00	1	1	13h - EDTV 720x576p 50Hz	1	01	1	0	16h - HDTV 1280x720p 60Hz	1	01	1	1	17h - HDTV 1280x720p 50Hz	1	10	0	0	18h - HDTV 1920x1080i 60Hz	1	10	0	1	19h - HDTV 1920x1080i 50Hz	1	10	1	0	1Ah - HDTV 1920x1080p 30Hz	1	10	1	1	1Bh - HDTV 1920x1080p 25Hz	rw	00H
4	3	1	0	-разряды																																																																											
S/	Size	I/P	60/	Mode																																																																											
H			50																																																																												
0	00	0	0	00h - SDTV 720x480i 60Hz																																																																											
0	00	0	1	01h - SDTV 720x576i 50Hz																																																																											
1	00	0	0	10h - EDTV 720(1440)x480i 60Hz																																																																											
1	00	0	1	11h - EDTV 720(1440)x576i 50Hz																																																																											
1	00	1	0	12h - EDTV 720x480p 60Hz																																																																											
1	00	1	1	13h - EDTV 720x576p 50Hz																																																																											
1	01	1	0	16h - HDTV 1280x720p 60Hz																																																																											
1	01	1	1	17h - HDTV 1280x720p 50Hz																																																																											
1	10	0	0	18h - HDTV 1920x1080i 60Hz																																																																											
1	10	0	1	19h - HDTV 1920x1080i 50Hz																																																																											
1	10	1	0	1Ah - HDTV 1920x1080p 30Hz																																																																											
1	10	1	1	1Bh - HDTV 1920x1080p 25Hz																																																																											

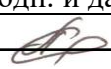
Регистр цвета фона (DIF_BGR)

Данный регистр содержит информацию о цвете фоновой области. Информация задается в формате YCbCr.

Смещение VDU_DIF_BASE + 0008H. Разрядность 24 разряда. Разбиение на поля приведено в Таблица 107.

Таблица 107 - Разряды регистра цвета фона (DIF_BGR)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 24	RESERVED			
23 - 16	BGR_Y	значение яркостной составляющей Y (диапазон допустимых значений 16-235)	rw	00H
15 - 8	BGR_Cb	значение цветоразностной составляющей Cb (диапазон допустимых значений 16-240)	rw	00H
7 - 0	BGR_Cr	значение цветоразностной составляющей Cr (диапазон допустимых значений 16-240)	rw	00H

					ЮФКВ.431268.005РЭ			Лист
								147
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Регистр координат основного видеослоя на экране (DIF_MVL_START)

Данный регистр содержит информацию о начальных координатах положения основного видеоизображения на экране. Координаты задаются для левого верхнего угла видеоизображения относительно левого верхнего угла видимой области изображения. Рекомендуется устанавливать четные значения координат.

Смещение VDU_DIF_BASE + 000CH. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 108.

Таблица 108 - Разряды регистра координат основного видеослоя на экране (DIF_MVL_START)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 27	RESERVED			
26 - 16	MVL_START_V	значение вертикальной координаты	rw	000H
15 - 11	RESERVED			
10 - 0	MVL_START_H	значение горизонтальной координаты	rw	000H

Регистр размеров интервалов междстрочной и межкадровой разверток (DIF_BLANK)

Данный регистр содержит информацию о размере интервалов междстрочной и межкадровой разверток.

Смещение VDU_DIF_BASE + 0010H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 109.

Таблица 109 - Разряды регистра размеров интервалов междстрочной и межкадровой разверток (DIF_BLANK)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 27	RESERVED			
26 - 24	VBLANK_END	размер интервала межкадровой развертки (от конца активной части видеоизображения до начала нового кадра), измеряется в линиях		
23 - 22	RESERVED			
21 - 16	VBLANK_BEG	размер интервала межкадровой развертки (от начала кадра до активной части видеоизображения), измеряется в линиях		
15 - 10	RESERVED			
9 - 0	HBLANK	размер интервала междстрочной развертки в пикселах -1	rw	000H

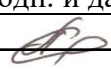
Регистр размеров кадра видеоизображения (DIF_FSIZE)

Данный регистр содержит информацию о размерах полного видеоизображения (включая активную часть видеоизображения и области междстрочной и межкадровой разверток)

Смещение VDU_DIF_BASE + 0014H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 110.

Таблица 110 - Разряды регистра размеров кадра видеоизображения (DIF_FSIZE)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 27	RESERVED			
26 - 16	VTOTAL	вертикальный размер (в линиях) кадра видеоизображения	rw	000H
15 - 12	RESERVED			
11 - 0	HTOTAL	горизонтальный размер (в пикселах) кадра видеоизображения	rw	00H

					ЮФКВ.431268.005РЭ			Лист
								148
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Регистр размеров активной части видеоизображения (DIF_ASIZE)

Данный регистр содержит информацию о размерах полного видеоизображения (включая активную часть видеоизображения и области межстрочной и межкадровой разверток)

Смещение VDU_DIF_BASE + 0018H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 111.

Таблица 111 - Разряды регистра размеров активной части видеоизображения (DIF_ASIZE)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 27	RESERVED			
26 – 16	VACTIVE	вертикальный размер (в линиях) видимого изображения	rw	000H
15 – 11	RESERVED			
10 – 0	HACTIVE	горизонтальный (в пикселах - 1) активной части видеоизображения	rw	00H

Регистр позиции сигнала горизонтальной синхронизации (DIF_HSYNC)

Данный регистр содержит информацию о положении и длительности сигнала синхронизации горизонтальной развертки.

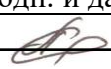
Смещение VDU_DIF_BASE + 001CH. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 112.

Таблица 112 - Разряды регистра позиции сигнала горизонтальной синхронизации (DIF_HSYNC)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 24	HSYNC_DELAY	длина промежутка между окончанием импульса горизонтальной развертки и началом активной части видеолинии, измеряется в пикселах	rw	
23 – 16	HSYNC_LEN	длина (количество пикселей) сигнала синхронизации горизонтальной развертки HSYNC, измеряется в пикселах	rw	0000H
15 – 10	RESERVED			
9 – 0	HSYNC_START	позиция (в пикселах) установки сигнала горизонтальной развертки HSYNC в активное состояние относительно начала новой видеостроки (начала интервала blank новой видеостроки)	rw	0000H

Регистр позиции сигнала вертикальной синхронизации (DIF_VSYNC)

Данный регистр содержит информацию о положении и длительности сигнала вертикальной синхронизации развертки.

					ЮФКВ.431268.005РЭ			Лист
								149
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Смещение VDU_DIF_BASE + 0020H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 113.

Таблица 113 - Разряды регистра позиции сигнала вертикальной синхронизации (DIF_VSYNC)

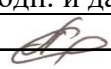
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 19	RESERVED			
18 - 16	VSYSN_LEN	длина (количество строк) сигнала синхронизации вертикальной развертки VSYNC	rw	0000H
15 - 3	RESERVED			
2 - 0	VSYSN_START	позиция (в строках) установки сигнала вертикальной развертки VSYNC в активное состояние	rw	0000H

1.3.3.2.1.4.5.12 VDU OSD - регистры графического слоя

Таблица 114 - Регистры графического слоя (VDU OSD)

Имя	Название (описание)	Адрес	Реж	Разр	Исх. знач.
OSD_BASEreg0	адрес первого заголовка графической области, набор регистров reg0 (A)	VDU_OSD_BASE + 0000H	rw	32	0000_0000H
OSD_BASEreg1	адрес первого заголовка графической области, набор регистров reg1 (B)	VDU_OSD_BASE + 0004H	rw	32	0000_0000H
OSD_COLOR_Y	коэффициенты для преобразования формата ARGB в AYCbCr яркостной компоненты	VDU_OSD_BASE + 0008H	rw	32	0000_0000H
OSD_COLOR_Cb	коэффициенты для преобразования формата ARGB в AYCbCr цветоразностной компоненты Cb	VDU_OSD_BASE + 000CH	rw	32	0000_0000H
OSD_COLOR_Cr	коэффициенты для преобразования формата ARGB в AYCbCr цветоразностной компоненты Cr	VDU_OSD_BASE + 0010H	rw	32	0000_0000H
OSD_FIFO_END	размер входного буфера графического слоя	VDU_OSD_BASE + 0014H	rw	32	0000_0000H
OSD_CTRL	управляющий регистр графического слоя	VDU_OSD_BASE + 0018H	rw	32	0000_0000H

Регистр адреса первого заголовка графической области (OSD_BASEreg0, OSD_BASEreg1)

					ЮФКВ.431268.005РЭ		Лист
							150
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2	 14.11.11		18212-1				

Регистр содержит базовый адрес первого заголовка графической области для данного кадра. По данному адресу из внешней памяти извлекается заголовок графического слоя, который содержит в себе адрес заголовка для следующей графической области данного кадра. Таким образом, заголовки областей организованы в виде связанного списка.

Существует два набора данных регистров с индексом reg0 и reg1. При этом, в текущий момент времени один из наборов, например _reg0, содержит значение текущего базового адреса – того по которому в данный момент времени ведется чтение видеоданных из внешней памяти, при этом второй набор, в данном случае _reg1 содержит базовый адрес положения в памяти следующего кадра. После окончания чтения видеостраницы по данному базовому адресу статус наборов регистра переключается и reg0 станет следующим, а reg1 – текущим. Индикация того, какой из наборов регистров в данный момент является текущим ведется в регистре STAT_VDU_AVMP.

Базовый адрес заголовка имеет выравнивание по границе 64х разрядного слова. Таким образом, младшие три разряда являются незначащими, адрес содержится в старших 29 разрядах.

Смещение VDU_OSD_BASE + 0000H, 0004H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 115.

Таблица 115 - Разряды регистра первого заголовка графической области (OSD_BASEreg0)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 3	OSD_BASE	адрес первого заголовка графической области	rw	0000_0000H
2 – 0	RESERVED			

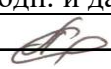
Регистр коэффициентов для преобразования формата ARGB в AYCbCr яркостной компоненты (OSD_COLOR_Y)

Регистр содержит матрицу коэффициентов для преобразования формата представления цвета пиксела из ARGB в AYCbCr для формирования значения яркостной компоненты.

Смещение VDU_OSD_BASE + 0008H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 116. Коэффициенты задаются 9-ти разрядными значениями из которых 8 значимых разрядов (коэффициент) и старший девятый разряд – знак.

Таблица 116 - Разряды регистра коэффициентов для преобразования формата ARGB в AYCbCr яркостной компоненты (OSD_COLOR_Y)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 29	RESERVED			
28 – 20	OSD_COLOR_Y_B	множитель для поля синего цвета	rw	0_0000H
19	RESERVED			
18 – 10	OSD_COLOR_Y_G	множитель для поля зеленого цвета	rw	0_0000H
9	RESERVED			
8 – 0	OSD_COLOR_Y_R	множитель для поля красного цвета	rw	0_0000H

					ЮФКВ.431268.005РЭ			Лист
								151
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Регистр коэффициентов для преобразования формата ARGB в AYCbCr цветоразностной компоненты Cb (OSD_COLOR_Cb)

Регистр содержит матрицу коэффициентов для преобразования формата представления цвета пиксела из ARGB в AYCbCr для формирования значения цветоразностной компоненты Cb.

Смещение VDU_OSD_BASE + 000CH. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 117. Коэффициенты задаются 9-ти разрядными значениями из которых 8 значимых разрядов (коэффициент) и старший девятый разряд – знак.

Таблица 117 - Разряды регистра коэффициентов для преобразования формата ARGB в AYCbCr цветоразностной компоненты Cb (OSD_COLOR_Cb)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 29	RESERVED			
28 – 20	OSD_COLOR_CB_B	множитель для поля синего цвета	rw	0_0000H
19	RESERVED			
18 – 10	OSD_COLOR_CB_G	множитель для поля зеленого цвета	rw	0_0000H
9	RESERVED			
8 – 0	OSD_COLOR_CB_R	множитель для поля красного цвета	rw	0_0000H

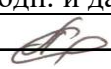
Регистр коэффициентов для преобразования формата ARGB в AYCbCr цветоразностной компоненты Cr (OSD_COLOR_Cr)

Регистр содержит матрицу коэффициентов для преобразования формата представления цвета пиксела из ARGB в AYCbCr для формирования значения цветоразностной компоненты Cr.

Смещение VDU_OSD_BASE + 0010H. Разрядность 32 разряда. Разбиение на поля приведено в табл. Коэффициенты задаются 9-ти разрядными значениями из которых 8 значимых разрядов (коэффициент) и старший девятый разряд – знак.

Таблица 118- Разряды регистра коэффициентов для преобразования формата ARGB в AYCbCr цветоразностной компоненты Cr (OSD_COLOR_Cr)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 29	RESERVED			
28 – 20	OSD_COLOR_CR_B	множитель для поля синего цвета	rw	0_0000H
19	RESERVED			
18 – 10	OSD_COLOR_CR_G	множитель для поля зеленого цвета	rw	0_0000H
9	RESERVED			
8 – 0	OSD_COLOR_CR_R	множитель для поля красного цвета	rw	0_0000H

					ЮФКВ.431268.005РЭ			Лист
								152
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Регистр размера входного буфера графического слоя (OSD_FIFO_END)

Регистр содержит значение конечного адреса входного буфера графического слоя, позволяет программно варьировать объем входного буфера.

Смещение VDU_OSD_BASE + 0014H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 119.

На данный момент регистр зафиксирован – значение 127 – размер буфера графического слова.

Таблица 119 - Разряды регистра входного буфера графического слоя (OSD_FIFO_END)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 10	RESERVED			
9 – 0	OSD_FIFO_END	значение конечного адреса	rw	0_0000H

Регистр управления графического слоя (OSD_CTRL)

Регистр содержит управляющую информацию для графического слоя.

Смещение VDU_OSD_BASE + 0018H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 120.

Таблица 120 - Разряды регистра управления графического слоя (OSD_CTRL)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 01	RESERVED			
0	OSD_ARGB_RGBA	определяет формат данных в OSD слое 0 - RGBA 1 - ARGB	rw	0_0000H

1.3.3.2.1.4.5.13VDU MI - регистры интерфейса с памятью

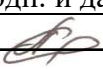
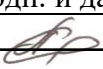
					ЮФКВ.431268.005РЭ			Лист
								153
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 121 - Регистры интерфейса с памятью (VDU MI)

Имя	Название (описание)	Адрес	Реж	Разр	Исх. знач.
MI_CTRL	регистр управления интерфейса с памятью	VDU_MI_BA SE + 0004H	rw	32	0000_00 00H
MI_MVL_Y_B Areg0	базовый адрес доступной области яркостной компоненты, набор регистров reg0 (A)	VDU_MI_BA SE + 0008H	rw	32	0000_00 00H
MI_MVL_Cb_ BAreg0	базовый адрес доступной области цветоразностной (Cb, CbCr) компоненты, набор регистров reg0 (A)	VDU_MI_BA SE + 000CH	rw	32	0000_00 00H
MI_MVL_Cr_ BAreg0	базовый адрес доступной области цветоразностной (Cr) компоненты, набор регистров reg0 (A)	VDU_MI_BA SE + 0010H	rw	32	0000_00 00H
MI_MVL_Cb_ BAreg1	базовый адрес доступной области цветоразностной (Cb, CbCr) компоненты, набор регистров reg1 (B)	VDU_MI_BA SE + 0018H	rw	32	0000_00 00H
MI_MVL_Cr_ BAreg1	базовый адрес доступной области цветоразностной (Cr) компоненты, набор регистров reg1 (B)	VDU_MI_BA SE + 001CH	rw	32	0000_00 00H
MI_MVL_Y_SI ZE	размер доступной области плоскости для яркостной компоненты	VDU_MI_BA SE + 0020H	rw	32	0000_00 00H
MI_MVL_C_SI ZE	размер доступной области плоскости для цветоразностных компонент	VDU_MI_BA SE + 0024H	rw	32	0000_00 00H
MI_MVL_FUL L_SIZE	полный (физический) размер строки плоскости	VDU_MI_BA SE + 0028H	rw	32	0000_00 00H
MI_AXI_MVL _PARAM	параметры контроллера ведущего на шине AXI для основного видеослоя	VDU_MI_BA SE + 002CH	rw	32	00310_0 00H
MI_MVL_FIF O_START	начальные адреса плоскостей компонент во входном буфере основного слоя	VDU_MI_BA SE + 0030H	rw	32	0000_00 00H
MI_MVL_FIF O_END	размер входного буфера основного слоя	VDU_MI_BA SE + 0034H	rw	32	0000_00 00H
MI_AXI OSD_ PARAM	параметры контроллера ведущего на шине AXI для графического слоя	VDU_MI_BA SE + 0038H	rw	32	0000_00 00H

					ЮФКВ.431268.005РЭ			Лист
								154
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

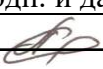
Регистр управления интерфейса с памятью (MI_CTRL)

Регистр содержит управляющую информацию определяющую порядок нахождения видеоданных во внешней памяти.

Смещение VDU_MI_BASE + 0004H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 122.

Таблица 122 - Разряды регистра управления интерфейса с памятью (MI_CTRL)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 10	RESERVED			
16	BUF_BIT_ENDIAN	формат представления данных во входном буфере основного слоя (big/little endian format) 0 - little endian format 1 - big endian format	rw	0
15 - 10	RESERVED			
9	YCbCr_FORMAT	формат представления видеоданных в памяти 0 – данные в памяти представлены в формате YCbCr 4:2:0 1 - данные в памяти представлены в формате YCbCr 4:2:2 (предварительно)	rw	0
8	PLANE_NUM	количество плоскостей компонент в памяти 0 – режим двойного разделения (плоскости Y, CbCr) 1 - режим тройного разделения (плоскости Y, Cb, Cr)	rw	0
7 - 3	RESERVED			
2	PLANE_ACCESS	режим доступа внутри плоскости 0 - линейный режим 1 - макроблочный режим (только при PLANE_NUM = '0' и FILD_STORE = '0')	rw	0
1	FILD_ACCESS	режим доступа к видеоизображению 0 - прогрессивный 1 - чересстрочный	rw	0
0	FILD_STORE	режим хранения полукадров при чересстрочном режиме изображения 0 – полукадры хранятся в памяти в одном прогрессивном кадре (чередуются строки) 1 - полукадры хранятся в разных областях памяти (предварительно) в данной версии видеоконтроллера этот параметр задается заданием разных базовых адресов расположения данных в памяти для разных полукадров	rw	0

					ЮФКВ.431268.005РЭ			Лист
								155
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
18212-2				14.11.11	18212-1			

Регистры базовых адресов доступной области для компонент (MI_MVL_Y_BAreg0, MI_MVL_Cb_BAreg0, MI_MVL_Cr_BAreg0, MI_MVL_Y_BAreg1, MI_MVL_Cb_BAreg1, MI_MVL_Cr_BAreg1)

Данные регистры содержат базовые адреса доступных областей для различных компонент видеоизображения.

Начальный адрес видеостраницы в памяти должен быть выровнен на границу слова памяти, то есть должен быть кратен 8. В том случае, если требуется вывод изображения начиная с не кратного адреса, базовый адрес все равно должен быть установлен кратным 8, а излишнее изображение может быть удалено в тракте обработки видеoinформации (горизонтальное обрезание в устройстве масштабирования).

Существует два набора данных регистров с индексом reg0 и reg1. При этом, в текущий момент времени один из наборов, например _reg0, содержит значение текущего базового адреса – того по которому в данный момент времени ведется чтение видеоданных из внешней памяти, при этом второй набор, в данном случае _reg1 содержит базовый адрес положения в памяти следующего кадра.

После окончания чтения видеостраницы по данному базовому адресу статус наборов регистра переключается и reg0 станет следующим, а reg1 – текущим (при разрешенном переключении страниц). Индикация того, какой из наборов регистров в данный момент является текущим ведется в регистре STAT_VDU_AVMP.

Структура регистров обоих наборов идентична, поэтому иллюстрируется только структура регистров набора reg0 (A).

Смещения VDU_MI_BASE + 0008H, 000CH, 0010H, 0014H, 0018H, 001CH соответственно. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 123, Таблица 124, Таблица 125.

Таблица 123 - Разряды регистра базового адреса доступной области яркостной компоненты (MI_MVL_Y_BAreg0, MI_MVL_Y_BAreg1)

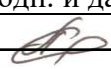
№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 0	MI_MVL_Y_BAreg0	базовый адрес доступной области яркостной компоненты	rw	0000_0000H

Таблица 124 - Разряды регистра базового адреса доступной области цветоразностной (Cb, CbCr) компоненты (MI_MVL_Cb_BAreg0, MI_MVL_Cb_BAreg1)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 0	MI_MVL_Cb_BAreg0	базовый адрес доступной области цветоразностной (Cb, CbCr) компоненты при MI_PLANE_NUM = '0' – задает базовый адрес компоненты CbCr; при MI_PLANE_NUM = '1' – задает базовый адрес компоненты Cb.	rw	0000_0000H

Таблица 125 - Разряды регистра базового адреса доступной области цветоразностной (Cr) компоненты (MI_MVL_Cr_BAreg0, MI_MVL_Cr_BAreg1)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 0	MI_MVL_Cr_BAreg0	базовый адрес доступной области цветоразностной (Cr) компоненты используется только при MI_PLANE_NUM = '1'	rw	0000_0000H

					ЮФКВ.431268.005РЭ			Лист
								156
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Регистр размера доступной области плоскости для яркостной компоненты (MI_MVL_Y_SIZE)

Регистр содержит горизонтальный и вертикальный размеры доступной области плоскости яркостной компоненты в памяти.

При этом все размеры задаются на единицу меньше физических, т.е. для того, чтобы получить реальное количество пикселей или строк изображения необходимо к указанным в регистрах размерам добавить единицу. Также действует ограничение – количество пикселей и количество строк должно быть четным значением.

Смещение VDU_MI_BASE + 0020H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 126.

Таблица 126 - Разряды регистра размера доступной области плоскости для яркостной компоненты (MI_MVL_Y_SIZE)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 27	RESERVED			
26 - 16	MI_MVL_Y_V_SIZE	количество строк в доступной области плоскости для яркостной компоненты	rw	0_0000H
15 - 11	RESERVED			
10 - 0	MI_MVL_Y_H_SIZE	размер строки доступной области изображения в плоскости - количество точек в строке для чтения из памяти для яркостной компоненты	rw	0_0000H

Регистр размера доступной области плоскости для цветоразностных компонент (MI_MVL_C_SIZE)

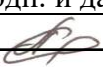
Регистр содержит горизонтальный и вертикальный размеры доступной области плоскости цветоразностных компонент в памяти.

При этом все размеры задаются на единицу меньше физических, т.е. для того, чтобы получить реальное количество пикселей или строк изображения необходимо к указанным в регистрах размерам добавить единицу. Также действует ограничение – количество пикселей и количество строк должно быть четным значением.

Смещение VDU_MI_BASE + 0024H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 127.

Таблица 127 - Разряды регистра размера доступной области плоскости для цветоразностных компонент (MI_MVL_C_SIZE)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 27	RESERVED			
26 - 16	MI_MVL_C_V_SIZE	количество строк в доступной области плоскости для цветоразностных компонент	rw	0_0000H
15 - 11	RESERVED			
10 - 0	MI_MVL_C_H_SIZE	размер строки доступной области изображения в плоскости - количество точек в строке для чтения из памяти для цветоразностных компонент	rw	0_0000H

					ЮФКВ.431268.005РЭ			Лист
								157
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Регистр полного (физического) размера строки плоскости компоненты (MI_MVL_FULL_SIZE)

Регистр содержит горизонтальный размер доступной области плоскости цветоразностных компонент в памяти.

При этом все размеры задаются равные физическим, т.е. для того, чтобы получить реальное количество пикселей или строк изображения нет необходимости к указанным в регистрах размерам добавить единицу. Также действует ограничение – количество пикселей и количество строк должно быть четным значением.

Значения для яркостной и цветоразностной составляющих задаются одинаковыми, без учета формата 4:2:2.

Смещение VDU_MI_BASE + 0028H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 128.

Таблица 128 - Разряды регистра полного (физического) размера строки плоскости компоненты (MI_MVL_FULL_SIZE)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 – 29	Reserved			
28 – 16	MVL_C_FULL_SIZE	полный размер строки плоскости в пикселах, может быть равен или больше размера строки доступной области, для цветоразностной компоненты	rw	0000H
15 – 13	Reserved			
12 – 0	MVL_Y_FULL_SIZE	полный размер строки плоскости в пикселах, может быть равен или больше размера строки доступной области, для яркостной компоненты	rw	0000H

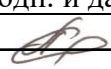
Регистр параметров контроллера ведущего на шине AXI для MVL (MI_AXI_MVL_PARAM)

Регистр содержит конфигурационные параметры, определяющие настройку интерфейса AXI для DMA канала основного видеослоса. Подробно назначение этих параметров описывается в спецификации на соответствующий интерфейс.

Смещение VDU_MI_BASE + 002CH. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 129.

Таблица 129 - Разряды регистра параметров контроллера ведущего на шине AXI (MI_AXI_PARAM)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 28	RESERVED			
27 - 24	ARLEN[3:0]	длина пакета задает количество посылок, считываемых при подаче одного адреса	rw	0000H
23	RESERVED			

					ЮФКВ.431268.005РЭ			Лист
								158
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
22 – 20	ARSize[2:0]	разрядность каждой посылки в пакете размерность каждой посылки ограничена разрядностью интерфейса и всегда фиксирована, при этом она равна разрядности интерфейса ARSize = b011	r	b011
19 - 18	RESERVED			
17 – 16	ARBURST[1:0]	тип пакетной пересылки реализуется только INCR режим пакетной передачи (ARBURST = 2'b01)	r	b01
15 – 10	RESERVED			
9 – 8	ARLOCK[1:0]	параметр блокировки нет поддержки режимов обращения locked и exclusive	rw	0000H
7 – 4	ARCACHE[3:0]	режим работы с кэш нет поддержки системных КЭШей (сигнал ARCACHE не используется = 4'b0000)	r	b00
3	RESERVED			
2 – 0	ARPROT[2:0]	параметр защищенного режима	rw	0000H

Регистр начальных адресов плоскостей компонент во входном буфере основного слоя (MI_MVL_FIFO_START)

Регистр содержит начальные адреса для различных плоскостей компонент во входном буфере основного видеослоя. Данный регистр позволяет производить программное разделение входного буфера на логические области.

Смещение VDU_MI_BASE + 0030H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 130

Таблица 130 - Разряды регистра начальных адресов плоскостей компонент во входном буфере основного слоя (MI_MVL_FIFO_START)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 24	RESERVED			
23 - 16	MVL_Cr_FIFO_START	начальный адрес в MVL_BUF FIFO для цветоразностной компоненты	rw	0000H
15 - 8	MVL_Cb_FIFO_START	начальный адрес в MVL_BUF FIFO для цветоразностной компоненты	rw	0000H
7 - 0	MVL_Y_FIFO_START	начальный адрес в MVL_BUF FIFO для яркостной компоненты	rw	0000H

Регистр размера входного буфера основного слоя (MI_MVL_FIFO_END)

Регистр содержит значение конечного адреса входного буфера основного слоя, позволяет программно варьировать объем входного буфера.

Смещение VDU_MI_BASE + 0034H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 131.

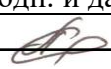
					ЮФКВ.431268.005РЭ			Лист
								159
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Таблица 131 - Разряды размера входного буфера основного слоя (MI_MVL_FIFO_END)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 10	RESERVED			
9 - 0	MVL_FIFO_END	значение конечного адреса	rw	0_0000H

Регистр параметров контроллера ведущего на шине AXI для OSD (MI_AXI_OSD_PARAM)

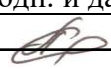
Регистр содержит конфигурационные параметры, определяющие настройку интерфейса AXI для DMA канала графического слоя. Подробно назначение этих параметров описывается в спецификации на соответствующий интерфейс.

Смещение VDU_MI_BASE + 0038H. Разрядность 32 разряда. Разбиение на поля приведено в Таблица 132.

Таблица 132 - Разряды регистра параметров контроллера ведущего на шине AXI (MI_AXI_PARAM)

№ Разр	Имя	Название (описание)	Реж	Исх. знач.
31 - 28	RESERVED			
27 - 24	ARLEN[3:0]	длина пакета задает количество посылок, считываемых при подаче одного адреса	rw	0000H
23	RESERVED			
22 - 20	ARSIZE[2:0]	разрядность каждой посылки в пакете размерность каждой посылки ограничена разрядностью интерфейса и всегда фиксирована, при этом она равна разрядности интерфейса ARSIZE = b011	r	b011
19 - 18	RESERVED			
17 - 16	ARBURST[1:0]	тип пакетной пересылки реализуется только INCR режим пакетной передачи (ARBURST = 2'b01)	r	b01
15 - 10	RESERVED			
9 - 8	ARLOCK[1:0]	параметр блокировки нет поддержки режимов обращения locked и exclusive	rw	0000H
7 - 4	ARCACHE[3:0]	режим работы с кэш нет поддержки системных КЭШей (сигнал ARCACHE не используется = 4'b0000)	r	b00
3	RESERVED			
2 - 0	ARPROT[2:0]	параметр защищенного режима	rw	0000H

1.3.3.2.1.4.6 Выходной видеointерфейс видеоконтроллера

					ЮФКВ.431268.005РЭ			Лист
								160
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Цифровой выходной видеоинтерфейс видеоконтроллера обеспечивает выдачу цифровых видеоданных в формате 4:2:2. Помимо видеоданных видеоконтроллер также обеспечивает генерацию сигналов синхронизации видеоизображения в соответствии со стандартами ITU-R BT.601, ITU-R BT.656 и EIA/CEA-861-B.

К сигналам внешней синхронизации относятся:

- DataEnable – сигнал сопровождения данных активной части видеоизображения;
- HSYNC – сигнал горизонтальной синхронизации;
- VSYNC – сигнал вертикальной синхронизации;
- FIELD – идентификатор выводимого полукадра ('0' – первый, '1' – второй).

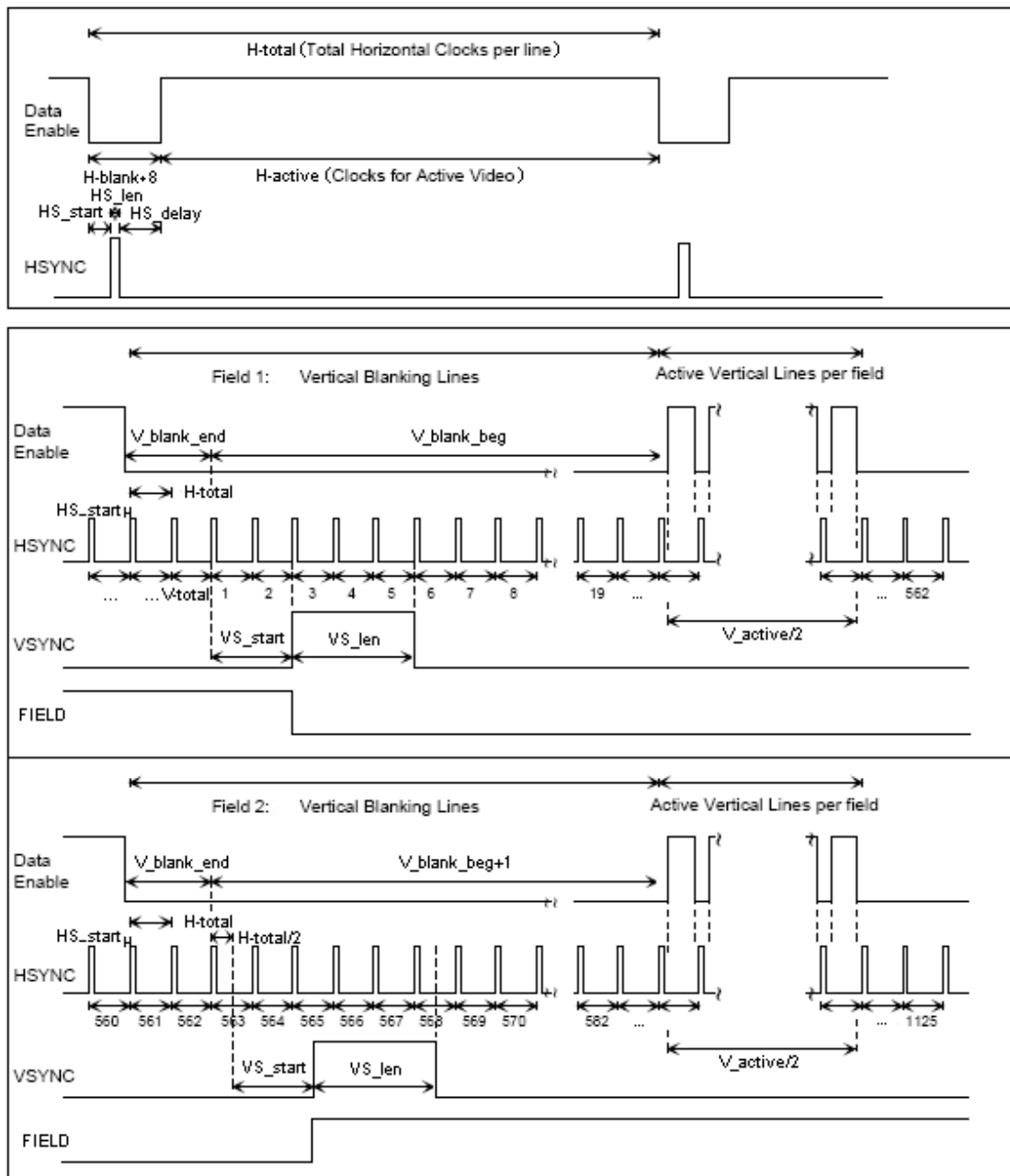
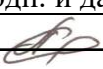


Рисунок 47 - Сигналы горизонтальной и вертикальной синхронизации при межстрочной развертке

Временные диаграммы формируемых сигналов синхронизации имеет общую структуру (Рисунок 47,Рисунок 48) и различаются лишь длительностью отдельных участков, значения которых задаются через внутренние регистры видеоконтроллера. Параметры для

					ЮФКВ.431268.005РЭ			Лист
								161
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

формирования сигналов внешней синхронизации и их значения для поддерживаемых контроллером форматов видеоизображения представлены в Таблица 133.

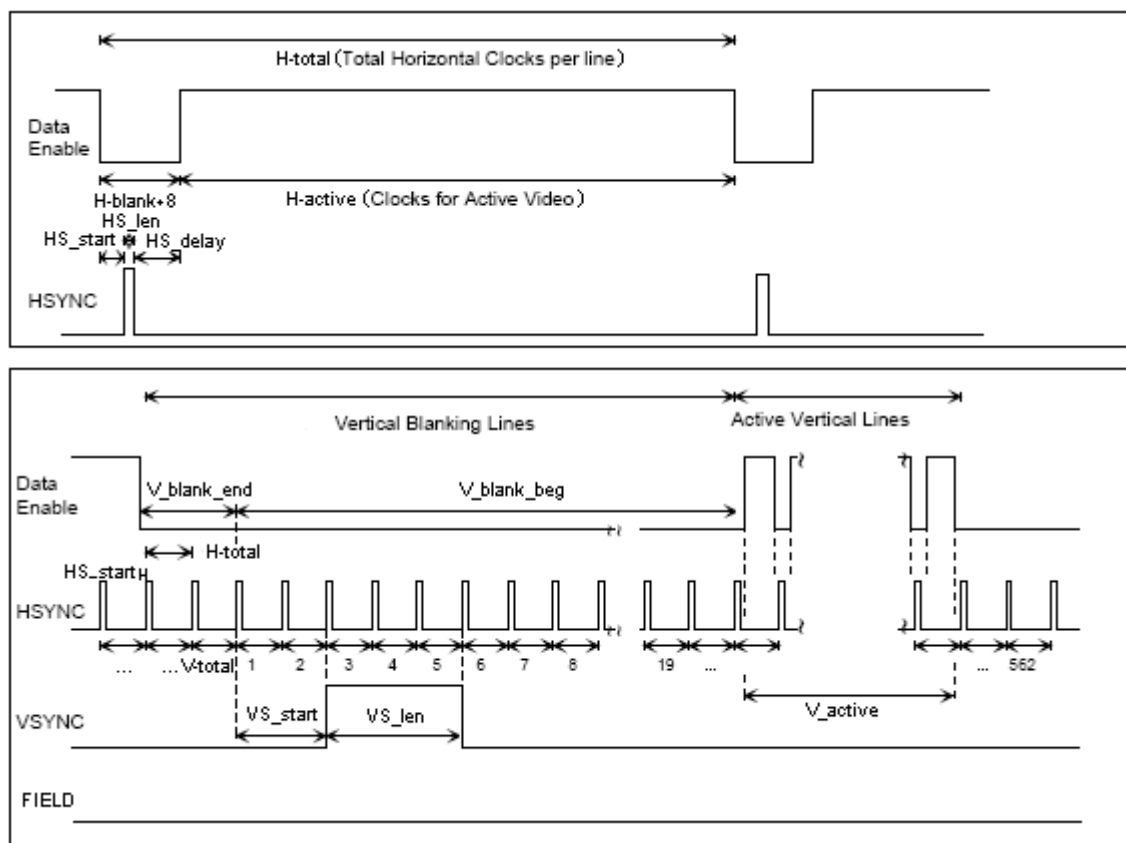


Рисунок 48 - Сигналы горизонтальной и вертикальной синхронизации при прогрессивной развертке

Передаваемые видеоданные сопровождаются синхро-информацией, двумя возможными вариантами:

1) По средством синхрокодов EAV, SAV, располагающихся в начале и конце интервала междострочной развертки каждой видеолinii.

Коды SAV, EAV – это 4-х байтовые послыки формата: FF,00,00,XY.

XY = 1,F,V,H,P3,P2,P1,P0 – где:

- F – бит четности полукадра;
- V – бит вертикальной развертки;
- H – бит горизонтальной развертки;
- $P3 = (V + H)$;
- $P2 = (F + H)$;
- $P1 = (F + V)$;
- $P0 = (F + V + H)$ – P0-P3 – биты кода четности.

					ЮФКВ.431268.005РЭ			Лист
								162
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата			
18212-2	14.11.11		18212-1					

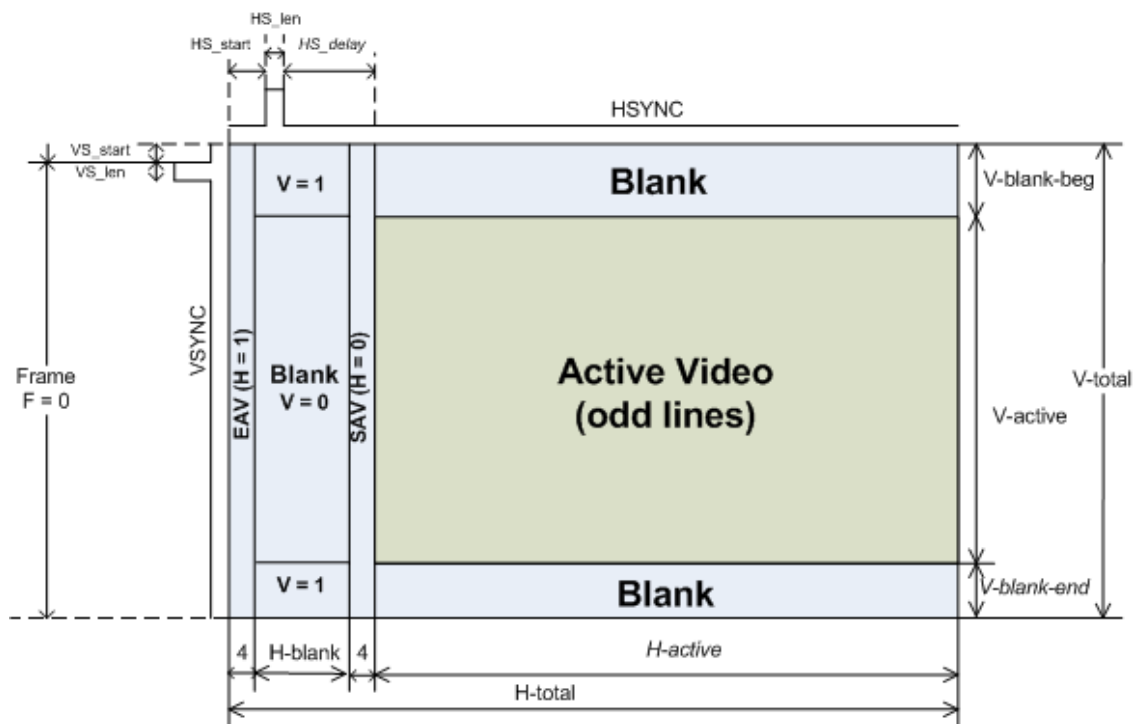


Рисунок 49 - Структура кадра (выводимого видеоизображения) при прогрессивной развертке

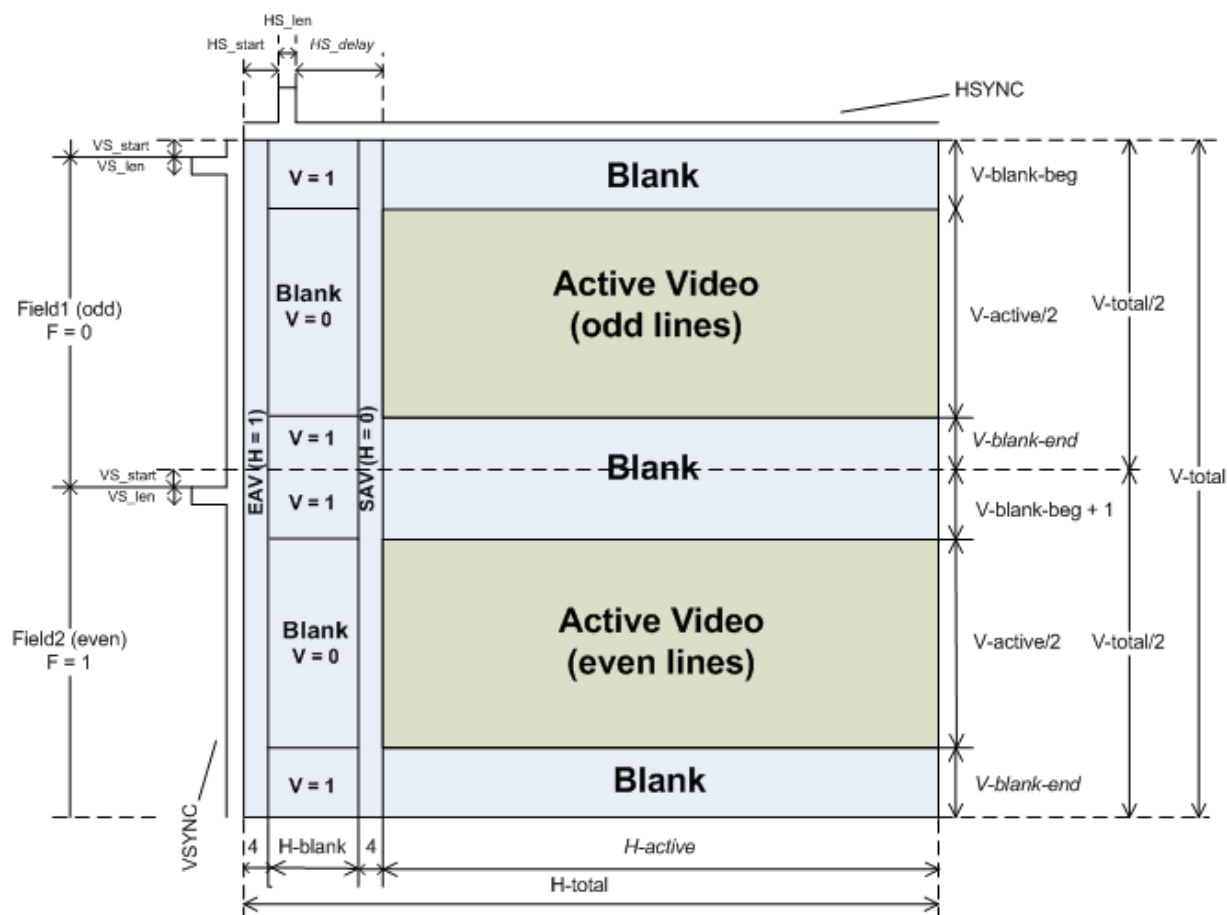
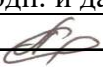


Рисунок 50 - Структура кадра (выводимого видеоизображения) при чересстрочной развертке

					ЮФКВ.431268.005РЭ			Лист
								163
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

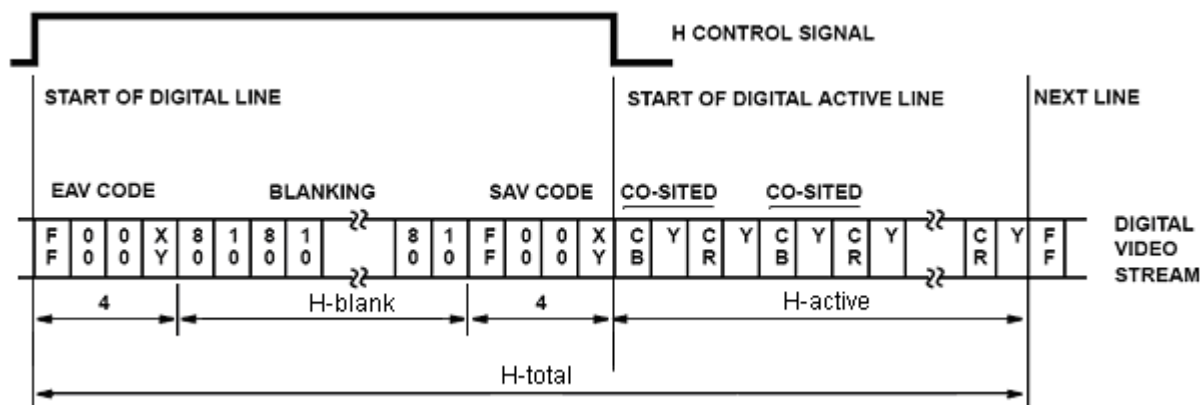


Рисунок 51 - Выходной поток видеоданных соответствующий одной линии видеозображения формата SDTV

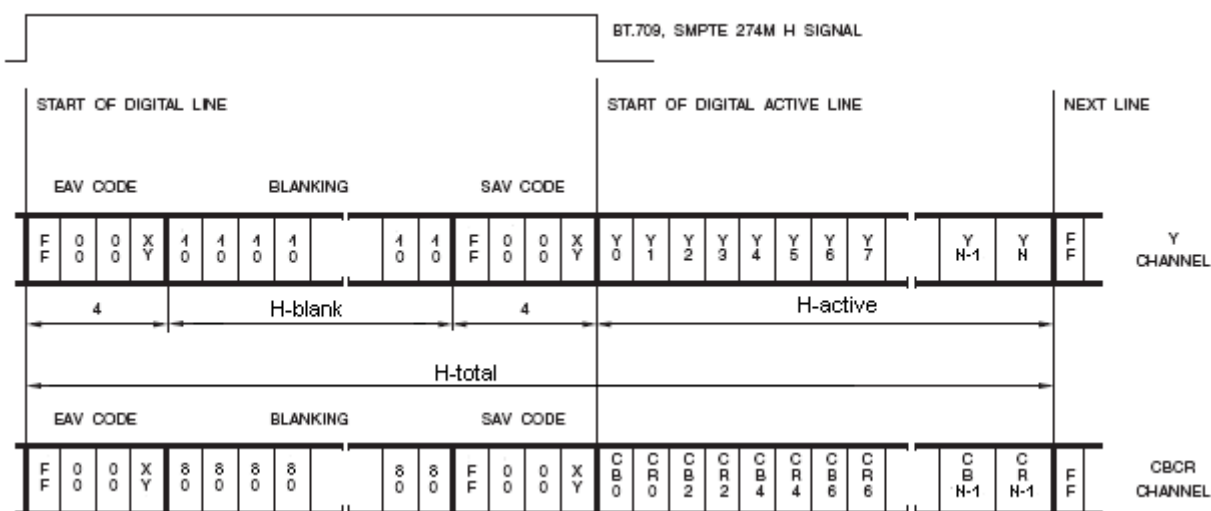


Рисунок 52 - Выходной поток видеоданных, соответствующий одной линии видеозображения форматов HDMI

Коды SAV, EAV обрамляют каждую активную видеостроку, а содержащиеся в них биты F, V, H в зависимости от номера линии принимают различные значения. Коды SAV, EAV несут в себе синхронизирующую информацию, поэтому нет необходимости в формировании сопровождающих сигналов внешней синхронизации. На Рисунок 51, Рисунок 52 можно видеть структуру видеолinii при использовании внутренних кодов синхронизации. Видеолиния состоит из последовательно выводимых: EAV-кода соответствующий данной линии, междустрочного интервала Blank, SAV-кода соответствующий данной линии, и видеоданных, соответствующих черному цвету (при межкадровом интервале), либо пикселям активного видеозображения.

Второй вариант синхронизации видеозображения состоит в раздельной передаче данных и сигналов развертки. В этом случае коды SAV, EAV можно исключить из потока данных, и вместо них подавать значение интервала Blank – черный цвет. Синхронизирующая информация в этом случае передается по линиям DataEn, HSYNC, VSYNC, FIELD, сигнал на которых формируется в соответствии с диаграммой показанной на рисунках 1.22, 1.23. (Для совместимости с микросхемой “NTSC / PAL Encoder F_TVENC” фирмы Fujitsu на ее вход XF1 следует подавать сигнал FIELD)

					ЮФКВ.431268.005РЭ			Лист
								164
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Данные SDTV форматов могут выводиться двумя способами:

1) Последовательно по 8-битной шине. В этом случае яркостная (Y) и цветностные (Cb,Cr) составляющие пикселей передаются по одной шине в следующем порядке Cb0, Y0, Cr0, Y1, Cb2, Y2, Cr2, Y3 ... и так далее. Значения передаются на частоте 27 МГц, при этом каждый пиксель (яркостная составляющая) передается с частотой вдвое меньше – 13.5 МГц.

2) Параллельно по 24-х разрядной шине. В данном случае Y, Cb, Cr составляющие передаются по отдельным 8-разрядным шинам. Каждый пиксель при этом передается с частотой 13.5 МГц.

Данные форматов EDTV, HDTV выводятся на 16-битную шину. Яркостная (Y) и цветностные (Cb,Cr) составляющая передается по собственным 8-разрядным шинам.

Таблица 133 - Распределение составляющих пикселей в выходной шине данных для различных форматов видеоизображения

	SDTV		HDMI
	Послед.	Паралл.	
VideoData[23:16]	Y,Cb,Cr	Y	Y
VideoData[15:8]	-	Cb	Cb,Cr
VideoData[7:0]	-	Cr	-

Таблица 134 - Параметры для формирования выходной развертки видеоконтроллера

Mode	Frame Hz	Standard	PixClk MHz	H-blank	H-active	H-Total	HS_start	HS_len	HS_delay	V-Blank beg	V-Active	V-Total	V-Blank end	VS_start	VS_len	VS_P
720x486i	30*2	BT656	27	134	720	858	19	62	57	19-20	487-486	525	0	3	3	0
720x576i	25*2	BT656	27	140	720	864	12	63	69	22	576	625	2	0	3	0
720(1440)x480i	30*2	770.2	27,027	268	1440	1716	38	124	114	21	480	525	1	3	3	0
720(1440)x576i	25*2	BT656	27	280	1440	1728	24	126	138	22	576	625	2	0	3	0
720x480p	60	770.2	27,027	130	720	858	16	62	60	42	480	525	3	6	6	0
720x576p	50	BT1358	27	136	720	864	12	64	68	44	576	625	5	0	5	0
1280x720p	60	770.3	74.25	362	1280	1650	110	40	220	25	720	750	5	0	5	1
1280x720p	50	296M	74.25	692	1280	1980	440	40	220	25	720	750	5	0	5	1
1920x1080i	30*2	770.3	74.25	272	1920	2200	88	44	148	20	1080	1125	2	0	5	1
1920x1080i	25*2	274M	74.25	712	1920	2640	528	44	148	20	1080	1125	2	0	5	1
1920x1080p	30	274M	74.25	272	1920	2200	88	44	148	41	1080	1125	4	0	5	1
1920x1080p	25	274M	74.25	712	1920	2640	528	44	148	41	1080	1125	4	0	5	1
				X1	X2	X3	H1	H2	H3	V1	V2	V3	V4	V5	V6	

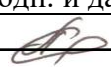
Примечание: VS-P – полярность сигналов синхронизации

1.3.3.2.2 Использование по назначению видеоконтроллера

1.3.3.2.2.1 Подготовка видеоконтроллера к использованию

1.3.3.2.2.1.1 Сброс видеоконтроллера и начальная инициализация

Для приведения видеоконтроллера в работоспособное состояние необходимо после включения питания произвести его сброс и начальную инициализацию.

					ЮФКВ.431268.005РЭ			Лист
								165
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Сброс видеоконтроллера может быть либо программным, либо аппаратным. Аппаратный сброс осуществляется посредством подачи низкого уровня сигнала на порт reset_i. Программный сброс осуществляется путем установки в единицу регистра CTRL_SOFT_RESET, при этом значение разряда VDU_OFF регистра состояния прерываний INT_VDU_STAT должно быть в единице, то есть видеоконтроллер должен находиться в остановленном (выключенном) состоянии, в противном случае программный сброс будет проигнорирован аппаратурой видеоконтроллера. После прохождения операции сброса значение регистра программного сброса CTRL_SOFT_RESET автоматически обнулится. Управляющие схемы видеоконтроллера окажутся обнуленными. Получается, что программный сброс может производиться только при выключенном видеоконтроллере, в то время как аппаратный сброс можно провести в любое время.

Следует отметить, что, как при аппаратном, так и при программном сбросах значения большинства конфигурационных программно доступных регистров видеоконтроллера не будут обнулены.

Сброс регистров видеоконтроллера (запись в них начальных значений) осуществляется исключительно программным способом. То есть программист должен перед использованием регистров произвести программным способом инициализацию всех конфигурационных регистров видеоконтроллера. Исключение составляют регистры прерываний (регистр разрешения прерываний INT_VDU_ENA и регистр состояния прерываний INT_VDU_STAT, а также регистр управления CTRL_SOFT_RESET, а также управляющие регистры в каждой группе регистров, а именно MI_CTRL, DIF_CTRL, SCAL_CTRL), которые переводятся в исходное состояние при приходе системного сигнала сброса, или сигнала программного сброса видеоконтроллера.

Рекомендуется после подачи сигнала системного или программного сброса провести программную инициализацию всех регистров видеоконтроллера.

1.3.3.2.2.1.2 Инициализация и выключение видеоконтроллера

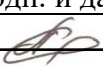
Инициализация: после включения питания и прохождения операции сброса, все блоки видеоконтроллера будут находиться в исходном рабочем состоянии. Следующий шаг - конфигурирование контроллера на требуемый режим работы, для этого требуется записать соответствующие значения во все регистры контроллера, поскольку не все регистры сбрасываются во время операции сброса. Для запуска работы контроллера нужно, после настройки параметров в регистрах, установить единицу в разряде VDU_ENA в управляющем регистре видеоконтроллера VDU_CONTROL.

Выключение: для выключения устройства нужно записать в управляющий регистр VDU_CONTROL в разряд VDU_ENA значение ноль, после этой операции контроллер выведет текущий кадр (если в каналах обработки контроллера данные только текущего выводимого кадра) или текущий и следующий кадр (если в каналах обработки контроллера данные двух кадров, текущего выводимого кадра и следующего кадра) и завершит свою работу, выставив единицу в разряде VDU_OFF регистра состояния прерываний INT_VDU_STAT. После выключения можно произвести программный сброс или новое конфигурирование устройства.

1.3.3.2.2.2 Использование видеоконтроллера

1.3.3.2.2.2.1 Конфигурирование регистров видеоконтроллера

Конфигурирование регистров видеоконтроллера (запись в них значений) разрешено не во все моменты времени. Так изменение значений некоторых регистров во время активной фазы вывода изображения на экран может привести к неправильному функционированию видеоконтроллера и искажению итогового изображения. В этом разделе приводится

					ЮФКВ.431268.005РЭ			Лист
								166
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

информация о том, в какие моменты времени допустимо изменять значения конфигурационных регистров видеоконтроллера.

Можно выделить несколько состояний видеоконтроллера:

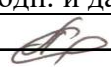
- видеоконтроллер выключен (неактивен) – признак VDU_OFF == 1;
- неактивная часть изображения (обратный ход луча кадровой развертки) = признак VBB == 1 (регистр STAT_VDU_DISP - Состояние отображения изображения);
(замечание: в этом состоянии пользователь должен гарантировать, что в тракте обработки видеоконтроллера нет данных, на обработку которых может повлиять изменение данного параметра)
- неактивен основной слой видеоконтроллера (сам видеоконтроллер активен) в любой момент времени;
- неактивен графический слой видеоконтроллера (сам видеоконтроллер активен) в любой момент времени;
- любой момент времени.

Для того, чтобы гарантировать присутствие в канале обработки данных только одного кадра можно отключить признак разрешения переключения страниц (MVL_BASE_SW_ENA, OSD_BASE_SW_ENA), после окончания чтения предыдущего кадра. В этом случае данные для нового кадра в конвейер поступать не будут.

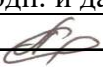
В табл. приведен список регистров и даны рекомендации о возможном времени и причинах изменения состояния данных регистров (описание регистров смотри в разделе 1.3.3.2.1.4.5 Программный (регистровый) интерфейс).

Таблица 135 - Порядок изменения значений конфигурационных регистров

Регистр	Разряд	vdu_ off == 1	vbb == 1	mvl_ ena == 0	osd_ ena == 0	all time	Пояснения
CTRL_VDU_ENA	MVL_BASE_SW_ENA	-	-	-	-	да	изменяется в случае готовности/не готовности видеостраницы в памяти
	OSD_BASE_SW_ENA	-	-	-	-	да	изменяется в случае готовности/не готовности видеостраницы в памяти
	MVL_ENA	да	да	нет	нет	нет	
	OSD_ENA	да	да	нет	нет	нет	
	VDU_ENA					да	
CTRL_SOFT_RESET		да	нет	нет	нет	нет	
INT_VDU_ENA	I_FIFO_EMPTY_ENA					да	
	O_FIFO_EMPTY_ENA					да	
	H_SYNC_ENA					да	
	V_SYNC_ENA					да	
	FR_PRC_END_ENA					да	
	MVL_FR_RD_ENA					да	

					ЮФКВ.431268.005РЭ			Лист
								167
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Регистр	Разряд	vdu_ off == 1	vbb == 1	mvl_ ena == 0	osd_ ena == 0	all time	Пояснения
	OSD_FR_RD_END _ENA					да	
	SA_ENA					да	
	VDU_OFF_ENA					да	
	INT_SYS_ERR_E NA					да	
INT_VDU_STAT	I_FIFO_EMPTY					да	запись в регистры состояния прерываний производится для снятия соответствующего прерывания
	O_FIFO_EMPTY					да	
	H_SYNC					да	
	V_SYNC					да	
	FR_PRC_END					да	
	MVL_FR_RD_EN D					да	
	OSD_FR_RD_END					да	
	SA					да	
	VDU_OFF					да	
	INT_SYS_ERR					да	
SCALER_CTRL	FLT_ENA	да	нет	да	нет	нет	
	SCALER_ENA	да	нет	да	нет	нет	
SCALER_SCH_Y	SC_INT_HY	да	нет	да	нет	нет	
	SC_FRAC_HY	да	нет	да	нет	нет	
SCALER_SCV_Y	SC_INT_VY	да	нет	да	нет	нет	
	SC_FRAC_VY	да	нет	да	нет	нет	
SCALER_SCH_C	SC_INT_HC	да	нет	да	нет	нет	
	SC_FRAC_HC	да	нет	да	нет	нет	
SCALER_SCV_C	SC_INT_HC	да	нет	да	нет	нет	
	SC_FRAC_HC	да	нет	да	нет	нет	
SCALER_SIZE_Y	SIZE_VY	да	нет	да	нет	нет	
	SIZE_HY	да	нет	да	нет	нет	
SCALER_SIZE_C	SIZE_VC	да	нет	да	нет	нет	
	SIZE_HC	да	нет	да	нет	нет	
SCALER_FLT_Y_C0	FLT_C0_VY	да	нет	да	нет	нет	
	FLT_C0_HY	да	нет	да	нет	нет	
SCALER_FLT_Y_C1	FLT_C1_VY	да	нет	да	нет	нет	
	FLT_C1_HY	да	нет	да	нет	нет	
SCALER_FLT_Y_C2	FLT_C2_VY	да	нет	да	нет	нет	

					ЮФКВ.431268.005РЭ			Лист
								168
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Регистр	Разряд	vdu_ off == 1	vbb == 1	mvl_ ena == 0	osd_ ena == 0	all time	Пояснения

C2

FLT_C2_HY да нет да нет нет

SCALER_FLT_Y_ FLT_C3_VY да нет да нет нет

C3

FLT_C3_HY да нет да нет нет

SCALER_FLT_Y_ FLT_C4_VY да нет да нет нет

C4

FLT_C4_HY да нет да нет нет

SCALER_FLT_C_ FLT_C0_VC да нет да нет нет

C0

FLT_C0_HC да нет да нет нет

SCALER_FLT_C_ FLT_C1_VC да нет да нет нет

C1

FLT_C1_HC да нет да нет нет

SCALER_FLT_C_ FLT_C2_VC да нет да нет нет

C2

FLT_C2_HC да нет да нет нет

SCALER_FLT_C_ FLT_C3_VC да нет да нет нет

C3

FLT_C3_HC да нет да нет нет

SCALER_FLT_C_ FLT_C4_VC да нет да нет нет

C4

FLT_C4_HC да нет да нет нет

SCALER_SIZE_C SIZE_CUT_V да нет да нет нет

UT

SIZE_CUT_H да нет да нет нет

SCALER_PHS_CU PHASE_CUT_V да нет да нет нет

T

PHASE_CUT_H да нет да нет нет

SCALER_MVL_C MVL_CLR_Y_Cr да нет да нет нет

LR_Y

MVL_CLR_Y_Cb да нет да нет нет

MVL_CLR_Y_Y да нет да нет нет

SCALER_MVL_C MVL_CLR_Cb_Cr да нет да нет нет

LR_Cb

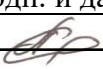
MVL_CLR_Cb_Cb да нет да нет нет

MVL_CLR_Cb_Y да нет да нет нет

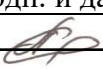
SCALER_MVL_C MVL_CLR_Cr_Cr да нет да нет нет

LR_Cr

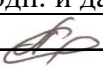
MVL_CLR_Cr_Cb да нет да нет нет

					ЮФКВ.431268.005РЭ			Лист
								169
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Регистр	Разряд	vdu_ off == 1	vbb == 1	mvl_ ena == 0	osd_ ena == 0	all time	Пояснения
	MVL_CLR_Cr_Y	да	нет	да	нет	нет	
DIF_CTRL	VSYNC_P	да	нет	нет	нет	нет	
	HSYNC_P	да	нет	нет	нет	нет	
	SYNC_SEP	да	нет	нет	нет	нет	
	MODE	да	нет	нет	нет	нет	
	EXT_SYBC_EN	да	нет	нет	нет	нет	
	INT_SYNC_EN	да	нет	нет	нет	нет	
DIF_BGR	BGR_Y	да	да	нет	нет	нет	
	BGR_Cb	да	да	нет	нет	нет	
	BGR_Cr	да	да	нет	нет	нет	
DIF_MVL_START	MVL_START_V	да	да	да	нет	нет	
	MVL_START_H	да	да	да	нет	нет	
DIF_BLANK	HBLANK	да	нет	нет	нет	нет	
	VBLANK_BEG	да	нет	нет	нет	нет	
	VBLANK_END	да	нет	нет	нет	нет	
DIF_ASIZE	VACTIVE	да	нет	нет	нет	нет	
	HACTIVE	да	нет	нет	нет	нет	
DIF_HSYNC	HSYNC_LEN	да	нет	нет	нет	нет	
	HSYNC_START	да	нет	нет	нет	нет	
	HSYNC_DELAY	да	нет	нет	нет	нет	
DIF_VSYNC	VSYNC_LEN	да	нет	нет	нет	нет	
	VSYNC_START	да	нет	нет	нет	нет	
OSD_BASE	OSD_BASE					да	по окончании чтения из памяти текущей страницы с графическими данными osd_fr_rd_end
OSD_COLOR_Y	OSD_COLOR_Y_ B	да	нет	нет	да	нет	
	OSD_COLOR_Y_ G	да	нет	нет	да	нет	
	OSD_COLOR_Y_ R	да	нет	нет	да	нет	
OSD_COLOR_Cb	OSD_COLOR_Y_ B	да	нет	нет	да	нет	
	OSD_COLOR_Y_ G	да	нет	нет	да	нет	
	OSD_COLOR_Y_ R	да	нет	нет	да	нет	
OSD_COLOR_Cr	OSD_COLOR_Y_ B	да	нет	нет	да	нет	

					ЮФКВ.431268.005РЭ			Лист
								170
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Регистр	Разряд	vdu_ off == 1	vbb == 1	mvl_ ena == 0	osd_ ena == 0	all time	Пояснения
	OSD_COLOR_Y_G	да	нет	нет	да	нет	
	OSD_COLOR_Y_R	да	нет	нет	да	нет	
OSD_FIFO_END	OSD_FIFO_END	да	нет	нет	да	нет	
MI_CTRL	BUF_BIT_ENDIAN	да	нет	да	нет	нет	
	YCbCr_FORMAT	да	нет	да	нет	нет	
	PLANE_NUM	да	нет	да	нет	нет	
	PLANE_ACCESS	да	нет	да	нет	нет	
	FILD_ACCESS	да	нет	да	нет	нет	
	FILD_STORE	да	нет	да	нет	нет	
MI_MVL_Y_BA	MI_MVL_Y_BA					да	по окончании чтения из памяти текущей страницы с видео данными mvl_fr_rd_end
MI_MVL_Cb_BA	MI_MVL_Cb_BA					да	
MI_MVL_Cr_BA	MI_MVL_Cr_BA					да	
MI_MVL_Y_SIZE	MI_MVL_Y_V_SIZE	да	нет	да	нет	нет	
	MI_MVL_Y_H_SIZE	да	нет	да	нет	нет	
MI_MVL_C_SIZE	MI_MVL_C_V_SIZE	да	нет	да	нет	нет	
	MI_MVL_C_H_SIZE	да	нет	да	нет	нет	
MI_MVL_FULL_SIZE	MVL_C_FULL_SIZE	да	нет	да	нет	нет	
	MVL_Y_FULL_SIZE	да	нет	да	нет	нет	
MI_AXI_PARAM	ARLEN[3:0]	да	нет	нет	нет	нет	
	ARSIZE[2:0]	да	нет	нет	нет	нет	
	ARBURST[1:0]	да	нет	нет	нет	нет	
	ARLOCK[1:0]	да	нет	нет	нет	нет	
	ARCACHE[3:0]	да	нет	нет	нет	нет	
	ARPROT[2:0]	да	нет	нет	нет	нет	
MI_MVL_FIFO_START	MVL_Cr_FIFO_START	да	нет	нет	нет	нет	
	MVL_Cb_FIFO_START	да	нет	нет	нет	нет	
	MVL_Y_FIFO_START	да	нет	нет	нет	нет	
MI_	MVL_FIFO_END	да	нет	нет	нет	нет	

					ЮФКВ.431268.005РЭ			Лист
								171
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Регистр	Разряд	vdu_	vbb	mvl_	osd_	all	Пояснения
		off	== 1	ena	ena	time	
		== 1		== 0	== 0		

MVL_FIFO_END

1.3.3.2.2.1 Отображение фона

Настройка отображения фона сводится к установке его цвета. Цвет устанавливается в формате YCbCr соответствующего качества (SDTV или HDTV) путем записи в регистр DIF_BGR значения для Y в разряд BGR_Y, для значения Cb в разряд BGR_Cb, для значения Cr в разряд BGR_Cr. Если в результирующем изображении требуется только наличие фона, то значение разрядов OSD_ENA и MVL_ENA регистра CTRL_VDU_ENA должно быть ноль.

1.3.3.2.2.3 Задание параметров выходного видеоизображения

Параметры выходного видеоизображения зависят от формата выходного видеоизображения, поэтому их следует выбирать в соответствии с Таблица 136 - Параметры и их значения, необходимые для построения временной диаграммы выходного видеоизображения заданного формата (задание других значений параметров может приводить к непредсказуемой работе устройства).

Таблица 136 - Параметры и их значения, необходимые для построения временной диаграммы выходного видеоизображения заданного формата

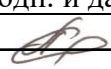
Mode	Frame Hz	Sdandard	PixClk MHz	H-blank	H-active	H-Total	HS_start	HS_len	HS_delay	V-Blank beg	V-Active	V-Total	V-Blank end	VS_start	VS_len	VS_P
720x486i	30*2	BT656	27	134	720	858	19	62	57	19-20	487-486	525	0	3	3	0
720x576i	25*2	BT656	27	140	720	864	12	63	69	22	576	625	2	0	3	0
720(1440)x480i	30*2	770.2	27,027	268	1440	1716	38	124	114	21	480	525	1	3	3	0
720(1440)x576i	25*2	BT656	27	280	1440	1728	24	126	138	22	576	625	2	0	3	0
720x480p	60	770.2	27,027	130	720	858	16	62	60	42	480	525	3	6	6	0
720x576p	50	BT1358	27	136	720	864	12	64	68	44	576	625	5	0	5	0
1280x720p	60	770.3	74,25	362	1280	1650	110	40	220	25	720	750	5	0	5	1
1280x720p	50	296M	74,25	692	1280	1980	440	40	220	25	720	750	5	0	5	1
1920x1080i	30*2	770.3	74,25	272	1920	2200	88	44	148	20	1080	1125	2	0	5	1
1920x1080i	25*2	274M	74,25	712	1920	2640	528	44	148	20	1080	1125	2	0	5	1
1920x1080p	30	274M	74,25	272	1920	2200	88	44	148	41	1080	1125	4	0	5	1
1920x1080p	25	274M	74,25	712	1920	2640	528	44	148	41	1080	1125	4	0	5	1
				X1	X2	X3	H1	H2	H3	V1	V2	V3	V4	V5	V6	

VS-P – полярность сигналов синхронизации

Соответствующие параметры записываются в регистр управления цифровых интерфейсов DIF_CTRL, регистр координат основного видеослоя на экране DIF_MVL_START, регистр размера интервала межстрочной развертки DIF_BLANK, регистр размера активной части видеоизображения DIF_ASIZЕ, регистр позиции сигнала горизонтальной синхронизации DIF_HSYNC, регистр позиции сигнала вертикальной синхронизации DIF_VSYNC. **Конфигурирование режима выводимого изображения необходимо осуществлять при выключенном устройстве.**

1.3.3.2.2.4 Отображение графического слоя

Графический слой представляет собой набор графических областей. Каждая графическая область представляет собой прямоугольник, имеющий границы и содержащий набор пикселей, определяющих его содержание. Графические данные располагаются поверх области активного

					ЮФКВ.431268.005РЭ				Лист
									172
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11		18212-1					

видео с использованием коэффициента прозрачности, определяющего прозрачность графических данных.

Ограничения, накладываемые на данный слой:

Графические области одного слоя не должны перекрываться по горизонтали и только одна область может быть определена для строки. Устройство управления и контроллер прямого доступа видеоконтроллера должны гарантировать то, что заголовок области будет вовремя считан и декодирован, для обращения к следующей области.

Графические области считываются из системной памяти, каждая графическая область содержит:

- заголовок графической области
- графические данные

При хранении в памяти все графические данные хранятся в little endian формате. Форматы входных данных графической области описаны в разделе **1.3.3.2.1.4.4 Протокол формирования изображения и форматы данных графического слоя** данного руководства по эксплуатации.

1.3.3.2.2.4.1 Чтение из памяти

Перед началом чтения графической области из памяти необходимо сначала сконфигурировать контроллер на соответствующий режим. Для этого необходимо записать в регистры OSD_COLOR_Y, OSD_COLOR_Cb, OSD_COLOR_Cr соответствующие значения коэффициентов преобразования для различных режимов качества (SDTV или HDTV). И записать в регистр OSD_BASE1 адрес заголовка первой графической области (первого связанного списка), а в регистр OSD_BASE0 адрес заголовка второй графической области (второго связанного списка).

После этого в разряд разрешения переключения страниц OSD_BASE_SW_ENA регистра управления видеоконтроллера VDU_CONTROL необходимо записать единицу, а так же разрешить отображение графического слоя, записав единицу в разряд OSD_ENA регистра управления видеоконтроллера VDU_CONTROL.

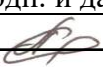
Если же изначально готовы данные только одного кадра (полукадра), то следует записать адрес заголовка первой графической области (первого связанного списка) в регистр OSD_BASE1, и включить OSD_BASE_SW_ENA в единицу, после того как появится прерывание окончания считывания активного кадра для графического слоя из памяти OSD_FR_RD_END (появится, если разрешена маска соответствующего прерывания разряд OSD_FR_RD_END_ENA в регистре INT_VDU_ENA) необходимо записать ноль.

Данные второго кадра должны быть подготовлены и адрес следующей графической области должен быть записан в регистр OSD_BASE0 до появления прерывания импульс вертикальной синхронизации V_SYNC (появится, если разрешена маска соответствующего прерывания разряд VSYNC_ENA в регистре INT_VDU_ENA), после появления которого, нужно записать в разряд OSD_BASE_SW_ENA единицу.

Далее рассматриваются различные случаи чередования кадров (случаи рассматриваются для изначально выключенного контроллера):

1. Первый кадр выводится, а второй не выводится.

- в регистр OSD_BASE записывается адрес выводимой графической области (первого связанного списка)
- в разряд разрешения переключения страниц OSD_BASE_SW_ENA регистра управления видеоконтроллера VDU_CONTROL записывается единица
- в разряд OSD_ENA регистра управления видеоконтроллера VDU_CONTROL записывается единица

					ЮФКВ.431268.005РЭ			Лист
								173
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

- установить единицу в разряде VDU_ENA в управляющем регистре видеоконтроллера VDU_CONTROL
- по прерыванию окончания считывания активного кадра для графического слоя из памяти OSD_FR_RD_END (появится, если разрешена маска соответствующего прерывания разряд OSD_FR_RD_END_ENA в регистре INT_VDU_ENA) необходимо записать ноль в разряд разрешения переключения страниц OSD_BASE_SW_ENA регистра управления видеоконтроллера VDU_CONTROL
- по прерыванию окончания обработки активного кадра FR_PRC_END (появится, если разрешена маска соответствующего прерывания разряд FR_PRC_END_ENA в регистре INT_VDU_ENA) необходимо записать ноль в разряд OSD_ENA регистра управления видеоконтроллера VDU_CONTROL
- для следующих кадров необходимо выбрать действия из соответствующих вариантов

2. Первый кадр не выводится, а второй выводится.

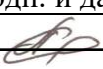
- в регистр OSD_BASE записывается адрес выводимой графической области (первого связанного списка), если данные области готовы
- в разряд разрешения переключения страниц OSD_BASE_SW_ENA регистра управления видеоконтроллера VDU_CONTROL записывается ноль
- в разряд OSD_ENA регистра управления видеоконтроллера VDU_CONTROL записывается ноль
- установить единицу в разряде VDU_ENA в управляющем регистре видеоконтроллера VDU_CONTROL
- по прерыванию окончания обработки активного кадра FR_PRC_END (появится, если разрешена маска соответствующего прерывания разряд FR_PRC_END_ENA в регистре INT_VDU_ENA) необходимо записать единицу в разряд OSD_ENA регистра управления видеоконтроллера VDU_CONTROL
- по прерыванию импульс вертикальной синхронизации V_SYNC (появится, если разрешена маска соответствующего прерывания разряд VSYNC_ENA в регистре INT_VDU_ENA) записать единицу в разряд разрешения переключения страниц OSD_BASE_SW_ENA регистра управления видеоконтроллера VDU_CONTROL
- для следующих кадров необходимо выбрать действия из соответствующих вариантов

3. Первый кадр не выводится и второй не выводится.

- в разряд OSD_ENA регистра управления видеоконтроллера VDU_CONTROL записывается ноль
- установить единицу в разряде VDU_ENA в управляющем регистре видеоконтроллера VDU_CONTROL
- для следующих кадров необходимо выбрать действия из соответствующих вариантов

4. Первый кадр выводится и второй выводится.

- в регистр OSD_BASE записывается адрес выводимой графической области (связанного списка)
- в разряд разрешения переключения страниц OSD_BASE_SW_ENA регистра управления видеоконтроллера VDU_CONTROL записывается единица
- в разряд OSD_ENA регистра управления видеоконтроллера VDU_CONTROL записывается единица
- установить единицу в разряде VDU_ENA в управляющем регистре видеоконтроллера VDU_CONTROL
- для следующих кадров необходимо выбрать действия из соответствующих вариантов

					ЮФКВ.431268.005РЭ			Лист
								174
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.3.2.2.4.2 Колориметрические преобразования

В канале графического слоя осуществляется преобразование значений цветовых характеристик (colorimetric characteristics) α RGB (форматы представления графических данных 5:6:5; 1:5:5:5 и 4:4:4:4) в YCbCr 709 4.2.2(HD) высокого качества или преобразование α RGB (форматы представления графических данных 5:6:5; 1:5:5:5 и 4:4:4:4) в YCbCr 601 4.2.2(SD) стандартного качества.

Для задания соответствующего цветового преобразования необходимо записать в регистры OSD_COLOR_Y, OSD_COLOR_Cb, OSD_COLOR_Cr соответствующие значения коэффициентов преобразования для различных режимов качества (SDTV или HDTV).

Для высокого качества 709 4.2.2 (HD) следующие значения коэффициентов

OSD_COLOR_Y_R	0x 17
OSD_COLOR_Y_G	0x 4f
OSD_COLOR_Y_B	0x 08
OSD_COLOR_Cb_R	0x 10d
OSD_COLOR_Cb_G	0x 12b
OSD_COLOR_Cb_B	0x 38
OSD_COLOR_Cr_R	0x 38
OSD_COLOR_Cr_G	0x 133
OSD_COLOR_Cr_B	0x 105

Для стандартного качества 601 4.2.2 (SD) следующие значения коэффициентов

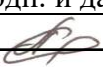
OSD_COLOR_Y_R	0x 21
OSD_COLOR_Y_G	0x 41
OSD_COLOR_Y_B	0x 0d
OSD_COLOR_Cb_R	0x 113
OSD_COLOR_Cb_G	0x 125
OSD_COLOR_Cb_B	0x 38
OSD_COLOR_Cr_R	0x 38
OSD_COLOR_Cr_G	0x 12f
OSD_COLOR_Cr_B	0x 109

1.3.3.2.2.4.3 Наложение графических областей на основной видеослой или фон

Выходное видеоизображение формируется путем смешивания фона (цвет фона задается во внутренних регистрах видеоконтроллера), основного слоя и графических областей.

Наложение слоев осуществляется в следующем порядке: фоновый, основной, графический.

Основной слой всегда непрозрачен и накладывается на фоновый слой. На получившееся изображение накладываются графические области с соответствующими им коэффициентами прозрачности (**Ошибка! Источник ссылки не найден.**)

					ЮФКВ.431268.005РЭ			Лист
								175
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

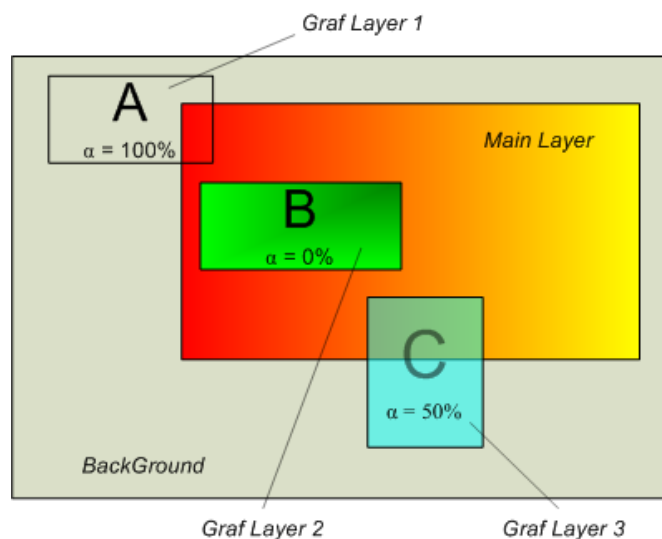


Рисунок 53 - Пример наложения графического слоя на основной слой и фон

Пример наложения графического слоя на основной слой и фон Смешивание цветов пикселей различных областей с учетом прозрачности α производится по формуле:

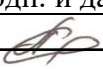
$$Y = 17/16 * (\alpha * osd\_Y + (1-\alpha) * mvl\_Y) / 16$$

– для яркостной составляющей пикселя (Y),
аналогично для цветowych составляющих (Cb, Cr).

Коэффициент α меняется в пределах от 0 до 15, причем, точка с коэффициентом 0 – является полностью прозрачной, а с коэффициентом 15 – полностью непрозрачной.

После смешивания, изображение переводится из формата YCbCr 4:4:4 в формат YCbCr 4:2:2. Преобразование проводится методом усреднения значений двух близлежащих точек.

При преобразовании формата данных может происходить потеря качества изображения. Так, например, если граница двух вертикальных полос различного цвета попадает на пару усреднения, то цветовой переход получится не точным (смотри Рисунок 53). В то же время, большинство картинок не имеют резких цветовых переходов, а потому данная особенность не будет проявляться. В то же время программистам следует учесть данное положение и при необходимости задавать четные координаты и размеры областей.

					ЮФКВ.431268.005РЭ			Лист
								176
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

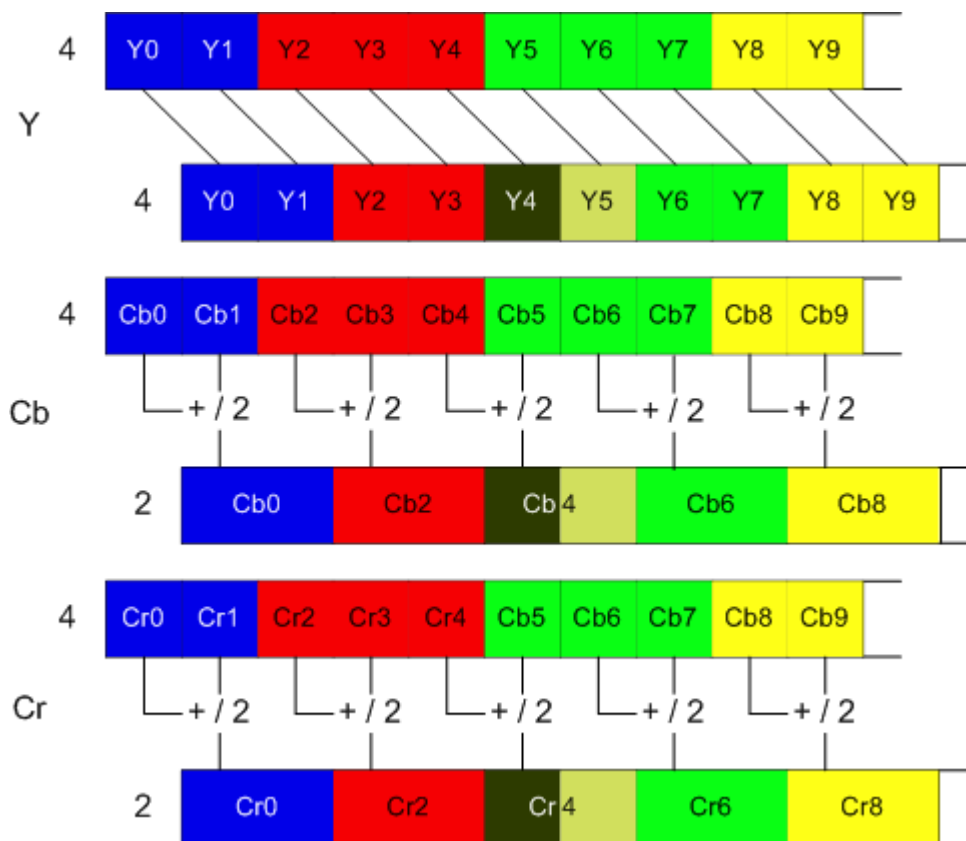


Рисунок 54 - Преобразование YCbCr 4:4:4 → 4:2:2

1.3.3.2.2.5 Отображение основного видеослоя

Основной видеослой видеоконтроллера предназначен для отображения видеоизображений.

Видеоконтроллер выводит видеоданные, хранимые во внешней памяти, на один из своих цифровых видеоинтерфейсов: стандартной или высокой четкости. Для основного видеослоя видеоконтроллера поддерживаются следующие форматы представления входных данных:

- YCbCr 4:2:0
- YCbCr 4:2:2

Видеоданные видеопотока, хранимые во внешней памяти, разделены на яркостную и цветоразностную плоскости (плоскости компонент), которые хранятся в видеопамяти независимо. При этом порядок данных внутри плоскости может быть различным.

Форматы входных данных для основного видеослоя подробно описаны в разделе **1.3.3.2.1.4.3 Протокол формирования изображения и форматы данных основного видеослоя** данного руководства по эксплуатации.

1.3.3.2.2.5.1 Чтение видеопотока из памяти

Перед началом чтения данных из памяти необходимо сконфигурировать контроллер в требуемый режим работы.

Для этого требуется записать в регистры MVL_COLOR_Y (Cb и Cr) соответствующие коэффициенты преобразования для различных режимов качества (SDTV или HDTV). Информацию о формате входных данных хранимых в памяти необходимо записать в регистр управления интерфейса с памятью (MI_CTRL), это информация о размере пакета на системной шине и т.д. Следующим шагом будет задание базовых адресов выводимых данных в регистре базовых адресов доступной области для компонент (MI_MVL_Y_BAreg0,

					ЮФКВ.431268.005РЭ			Лист
								177
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

MI_MVL_Cb_BAreg0, MI_MVL_Cr_BAreg0, MI_MVL_Y_BAreg1, MI_MVL_Cb_BAreg1, MI_MVL_Cr_BAreg1).

Затем задается размер считываемой области в памяти для компонент в регистрах размера доступной области плоскости для яркостной и цветоразностных компонент (MI_MVL_Y_SIZE, MI_MVL_C_SIZE).

После этого записывается полный размер изображения в памяти (может быть больше размера считываемой области) в регистре полного (физического) размера строки плоскости компоненты (MI_MVL_FULL_SIZE).

В том случае, если нет необходимости производить преобразование размеров изображения в регистры размеров изображения после масштабирования и регистры размеров изображения после обрезания должны быть установлены размеры, соответствующие размерам (MI_MVL_Y_SIZE, MI_MVL_C_SIZE). Также признаки, разрешающие преобразование изображения, должны быть обнулены.

В регистре разрешения видеоконтроллера необходимо установить разряд регистра разрешения отображения основного слоя в единицу. Затем необходимо установить разряд MVL_BASE_SW_ENA в единицу в регистре CTRL_VDU_ENA и запустить работу видеоконтроллера VDU_ENA.

Смена базового адреса следующего кадра (полукадра) происходит по срабатыванию прерывания MVL_FR_RD_END (если оно было разрешено). Если данные основного видеослоя не готовы, а контроллер работает, например, происходит отображение графического слоя или фона, то когда данные основного слоя будут подготовлены, то при возникновении прерывания V_SYNC (если оно было разрешено) нужно записать в MVL_BASE_SW_ENA единицу.

1.3.3.2.2.5.2 Колориметрические преобразования

В канале основного слоя осуществляется преобразование значений цветовых характеристик из стандартного качества YCbCr 601 4.2.2(SD) в высокое качество YCbCr 709 4.2.2(HD) или из высокого качества YCbCr 709 4.2.2(HD) в стандартное качество YCbCr 601 4.2.2(SD) или пропускание без преобразования качества.

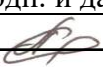
Для задания соответствующего преобразования качества необходимо записать в регистры OSD_COLOR_Y, OSD_COLOR_Cb, OSD_COLOR_Cr, соответствующие значения коэффициентов преобразования.

Из высокого качества в стандартное

MVL_CLR_Y_Y	0x24a
MVL_CLR_Y_CB	0x19
MVL_CLR_Y_CR	0x31
MVL_CLR_CB_Y	0x1f
MVL_CLR_CB_CB	0xfd
MVL_CLR_CB_CR	0x21c
MVL_CLR_CR_Y	0x17
MVL_CLR_CR_CB	0x213
MVL_CLR_CR_CR	0xfc

Из стандартного качества в высокое

MVL_CLR_Y_Y	0x53
MVL_CLR_Y_CB	0x21e
MVL_CLR_Y_CR	0x235
MVL_CLR_CB_Y	0x222
MVL_CLR_CB_CB	0x105
MVL_CLR_CB_CR	0x1d
MVL_CLR_CR_Y	0x21a

					ЮФКВ.431268.005РЭ			Лист
								178
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

MVL_CLR_CR_CB	0x13
MVL_CLR_CR_CR	0x107

Без преобразования

MVL_CLR_Y_Y	0x0
MVL_CLR_Y_CB	0x0
MVL_CLR_Y_CR	0x0
MVL_CLR_CB_Y	0x0
MVL_CLR_CB_CB	0x100
MVL_CLR_CB_CR	0x0
MVL_CLR_CR_Y	0x0
MVL_CLR_CR_CB	0x0
MVL_CLR_CR_CR	0x100

1.3.3.2.2.5.3 Масштабирование видеоизображений

Видеоконтроллер обеспечивает функцию масштабирования изображения, как по горизонтали, так и по вертикали для реализации следующих режимов работы видеоконтроллера, обусловленных техническим заданием.

- Воспроизведение видео с разрешениями меньше SD (но не менее CIF) при выходном разрешении SD.
 - Без коррекции.
 - С масштабированием в SD с независимыми коэффициентами по X и Y, и преобразованием к 4:3 (обрезанием границ).
- Воспроизведение HD видео с уменьшением до SD и преобразованием к 4:3 (обрезанием границ). Преобразование развертки входного изображения не производится, т.е. тип и частота развертки входного и выходного изображений должны совпадать.

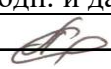
При уменьшении размеров изображения с HD до SD с целью улучшения качества изображения и устранения возможных артефактов (aliasing) в состав видеоконтроллера введен усредняющий (antialiasing) фильтр. При этом вертикальная фильтрация изображения допустима только в том случае, если горизонтальный размер изображения после масштабирования (параметр SCALER_SIZE_Y(C)_H) меньше, либо равен 1024 пикселям – это обусловлено размерами буферов, используемых для вертикальной фильтрации.

Для осуществления операции масштабирования пользователь должен задать значения в регистрах масштабирования (VDU Scaler Registers). Эти значения должны быть заданы при отключенном видеоконтроллере или основном слое видеоконтроллера.

Так в регистре управления устройством масштабирования (SCALER_CTRL) должны быть установлены разрешающие сигналы, определяющие набор операций, которые необходимо выполнить с изображением. Возможный набор операций:

- вертикальная фильтрация;
- горизонтальная фильтрация;
- обрезание изображения по вертикали;
- обрезание изображения по горизонтали;
- вертикальное масштабирование;
- горизонтальное масштабирование.

Также необходимо задать коэффициенты масштабирования, как по вертикали, так и по горизонтали, при этом коэффициенты задаются отдельно для яркостной и цветоразностной компонент (регистры: SCALER_SCH_Y, SCALER_SCV_Y, SCALER_SCH_C, SCALER_SCV_C).

					ЮФКВ.431268.005РЭ			Лист
								179
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Коэффициент задается в виде шага масштабирования, определяемого по формуле ((кол-во пикселей в строке до масштабирования – 1) / (кол-во пикселей в строке после масштабирования – 1)) Коэффициенты представлены в виде целой и дробной частей, обе в виде беззнакового целого. Дробная часть коэффициента получена умножением исходной вещественной дробной части на 65536 (берется целая часть – дробная отбрасывается).

При увеличении – целая часть коэффициента является нулевой. При уменьшении коэффициент масштабирования больше 1.

Согласно сценариям применения видеоконтроллера увеличение изображения производится от значений изображения с разрешениями меньше SD (но не менее CIF) до изображения с SD разрешением. А уменьшение изображения от изображений с разрешением HD до изображения с SD.

Под целую часть коэффициента отводится 4 разряда, под дробную – 16 разрядов.

Помимо этого необходимо задать размеры изображения, которые будут после операции масштабирования (в том случае, если масштабирование не производится данные размеры должны совпадать с размерами изображения в памяти). Регистры: SCALER_SIZE_Y, SCALER_SIZE_C

При этом все размеры задаются на единицу меньше физических, т.е. для того, чтобы получить реальное количество пикселей или строк изображения необходимо к указанным в регистрах размерам добавить единицу. Также действует ограничение – количество пикселей и количество строк должно быть четным значением.

При необходимости операции фильтрации в регистры: SCALER_FLT_Y_C0, SCALER_FLT_Y_C1, SCALER_FLT_Y_C2, SCALER_FLT_C_C0, SCALER_FLT_C_C1, SCALER_FLT_C_C2 должны быть прописаны коэффициенты фильтра.

Усредняющая фильтрация применяется при уменьшении размеров изображения для устранения причин возникновения дефектов изображения, вызванных отбросом незначущих пикселей и строк изображения. Устраняет дефект изображения именуемый термином – aliasing.

Коэффициенты представлены в виде 8 разрядных целых беззнаковых чисел. Данные коэффициенты получены в результате умножения исходных (вещественных) коэффициентов на коэффициент нормализации. Сумма всех коэффициентов должна быть меньше или равняться коэффициенту нормализации. Коэффициенты нормализации представлены числами, являющимися степенями 2. Так для 8ми разрядных коэффициентов фильтра коэффициент нормализации равен 256.

Пример: единичный фильтр, не вносящий искажений – фильтр имеет следующие коэффициенты 1, 254, 1. При увеличении граничных коэффициентов и уменьшении среднего размывающая способность фильтра возрастает.

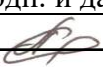
1.3.3.2.2.5.4 Обрезание видеоизображений

Обрезание изображения силами видеоконтроллера ведется только в случае его масштабирования, или при отрезании небольшого количества строк/пикселей, соизмеримых с интервалами межстрочной и межкадровой разверток соответственно.

Горизонтальное обрезание

При горизонтальном обрезании задаются три параметра: количество пикселей, обрезаемое левой стороны строки изображения, количество пикселей, обрезаемое с правой стороны строки (SCALER_PHS_CUT_H) и количество пикселей изображения, которое остается (SCALER_SIZE_CUT).

Вертикальное обрезание

					ЮФКВ.431268.005РЭ			Лист
								180
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

При вертикальном обрезании задаются три параметра: количество строк, обрезаемое сверху изображения, количество строк, обрезаемое снизу (SCALER_PHS_CUT_V) и количество строк изображения, которое остается (SCALER_SIZE_CUT).

При задании размера изображения после масштабирования размеры задаются на единицу меньше физических, т.е. для того, чтобы получить реальное количество пикселей или строк изображения необходимо к указанным в регистрах размерам добавить единицу. Также действует ограничение – количество пикселей и количество строк должно быть четным значением.

При задании размеров обрезаемых областей размеры задаются равными физическим размерам, т.е. реальное количество пикселей/строк изображения соответствует указанным в регистрах размерам (добавлять единицу не нужно). Действует ограничение – количество обрезаемых пикселей/строк должно быть четным значением.

1.3.3.2.2.5.5 Позиционирование основного слоя на экране

Пользователем могут быть заданы начальные координаты отображения изображения основного слоя на экране (координаты левого верхнего угла изображения). Данные значения задаются в регистре DIF_MVL_START.

Рекомендуется устанавливать четные значения координат.

1.3.3.2.2.5.6 Особенности чтения данных в прогрессивном и чересстрочном режимах

При чтении входных данных в формате YCbCr 420 в чересстрочном режиме, блоками DMA компонент основного слоя осуществляется выборка цветоразностных компонент для каждого полукадра в формате 422.

При чтении входных данных в формате YCbCr 420 в прогрессивном режиме чтение ведется в формате 420, а размножение строк цветоразностных компонент ведется аппаратурой видеоконтроллера внутри.

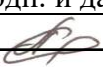
1.3.3.2.2.5.7 Преобразование прогрессивного изображения в чересстрочное

Видеоконтроллер аппаратно поддерживает функцию преобразования прогрессивного изображения в чересстрочное. Данная функция используется тогда, когда на входе видеоконтроллера присутствует прогрессивное изображение при этом выходная развертка установлена как чересстрочная.

Данное преобразование может осуществляться двумя способами.

1. Непосредственно при чтении данных из видеопамати. Настройки видеоконтроллера позволяют обеспечить чтение прогрессивного изображения, хранимого в видеопамати, в чересстрочном режиме. Обеспечивая сначала считывание первого полукадра, а затем второго полукадра. Данный режим допускается применять, когда не требуется преобразование изображения в видеоконтроллере, так как при масштабировании подобного динамического изображения возможно возникновение артефактов на экране отображающего устройства.
2. Примером применения второго способа может служить следующий сценарий. На вход видеоконтроллера подается видеоизображение прогрессивного типа с размерами большими или меньшими, чем видимая область выводимого изображения. В данном случае необходимо произвести масштабирование входного изображения до размеров видимой области выходного изображения.

Для сохранения качества изображения и предотвращения появления артефактов, масштабирование видеоизображения необходимо вести в прогрессивном режиме с последующим выводом строк определенного полукадра.

					ЮФКВ.431268.005РЭ			Лист
								181
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Данная процедура осуществляется следующим образом: входные тракты видеоконтроллера и схема масштабирования устанавливаются для работы с изображением в прогрессивном режиме. Для выходных трактов задается требуемый чересстрочный режим отображения изображения. Задаются коэффициенты масштабирования и колориметрического преобразования, обеспечивающие корректное преобразование размеров входного изображения до размеров выходного. Разрешается работа устройства отбрасывания строк – устанавливается в единичное значение признак SCAL_DROP_ENA_STR в регистре SCALER_CTRL. При этом для каждого выводимого полукадра необходимо задавать признак, определяющий принцип его формирования. Признак SCAL_DROP_POLAR_STR в регистре SCALER_CTRL. Определяет полярность схемы dropper'a (интерлейсера) 0 – отбрасываются нечетные строки кадра (выводимый кадр содержит только четные строки исходного кадра), 1 – отбрасываются четные строки кадра (выводимый кадр содержит только нечетные строки исходного кадра).

1.3.3.3 Графический сопроцессор

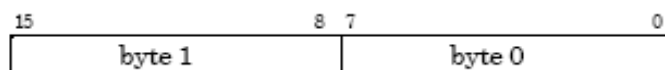
Графический процессор GSHARK turbo2D (GT2D) разработан для высокоинтенсивной встроенной графической среды, такой, как графический интерфейс пользователя устройств приема цифрового телевизионного сигнала.

Графический процессор GSHARK turbo2D имеет различные функции, обязательные для 2D графики, включая Sprite функции.

В этом разделе введены следующие обозначения:

Порядок байтов (byte) внутри слова – от младшего к старшему (little endian).

Полуслово (half word)



Слово(word)

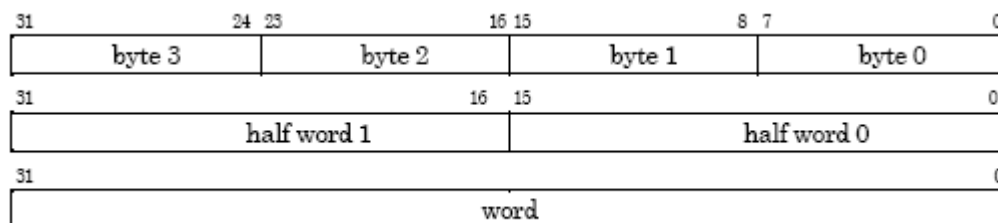


Рисунок 55 - Порядок байтов внутри слова и полуслова

Для чисел с фиксированной точкой s:i.f:

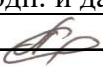
s – количество бит, используемых для обозначения знаковых битов.

i – количество бит, используемых, чтобы обозначить целую часть числа, состоящего из 2-х частей.

f - количество битов, используемых, чтобы обозначить порядок числа, состоящего из 2-х частей.

Например число с фиксированной точкой со знаком в котором обозначено, 15 бит –целая часть, 16 бит – порядок, выражается как 1.15.16

1.3.3.3.1 Обзор основных функций/производительности

					ЮФКВ.431268.005РЭ			Лист
								182
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

В Таблица 137 приводятся основные функции графического процессора. Функции обработки текстур графического процессора, форматы буферов графического процессора и дополнительные функции графического процессора описаны Блицех 26, 27 и 28

Таблица 137 - Основные функции графического процессора

2D скорость отрисовки	Sprite отрисовка изображения 100М пиксель/сек, заполняющего прямоугольник: 400М пиксель/сек (16bit/pixel), 200М пиксель/сек (32bit/pixel) (состояние: @100MHz)
Количество логических вентилях	180К вентилях (зависит от условий синтеза) RAM: 25К бит (без опциональной LUT RAM для поддерживаемой палитры цветов) 41К бит (с опциональной LUT RAM для поддерживаемой палитры цветов)
Формат буфера цветов	32 разрядные цвета: RGBA8888 16 разрядные цвета: RGB565, RGBA5551, RGBA4444 YUV422
Размер буфера цветов	max: 2048 x 2048
2D функции	Sprite функции типа кадрового буфера: Поворот, растягивание, трансформация Sprite Альфа-смешивание, Билинейной фильтрации участка, Полноэкранная фильтрация палитры цветов. Индексирование цветов(с опциональным LUT RAM). Сжатие изображения источника Bitblt. Отрисовка линий, отрисовка точек Копирование или заполнение прямоугольной области с альфа-смешиванием, преобразование формата цветов

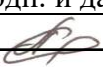
					ЮФКВ.431268.005РЭ			Лист
								183
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 138– Функции обработки текстур графического процессора

Функции	Описание
Структура оболочки	поддерживается повторение / фиксирующая схема.
Размер структуры	до 2048 x 2048 (степень 2)
Структура формата изображения	Поддерживается формат 32 разрядного цвета : RGBA8888 16разрядные цвета : RGB565, RGBA5551, RGBA4444, LA88 8разрядные цвета : L8, A8 Цвета, основанные на палитре: 8 , 4, 2 и 1 разрядные (Примечание 1) сжатые структуры изображения YUV422
Текстурный кэш	Размер КЭШа: 9 колонок (ways) (8 x 8 texels на колонку) Текстурное устройство №0: 8 колонок, Текстурное устройство №1: 1 колонка Управление КЭШем: полностью ассоциативное, круговой обход
Текстурный фильтр	Билинейная фильтрация

Примечание 1 Цвета, основанные на палитре, поддерживаются только, когда используются LUT RAM.

Таблица 139 – Форматы буфера цветов графического процессора

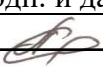
Функции	Описание
Размер буфера	Вертикальный и горизонтальный размеры могут быть точно определены от 16 до 2048 с 16-пиксельной границей
Формат цветов	Поддерживаемый формат: 32бит/пиксель : RGBA 8888 16бит/пиксель : RGB565, RGBA5551, RGBA4444, YUV422
Кэш цветов	Размер КЭШа: 4 колонки (ways) (8 пикселей на колонку) Управление КЭШем: полностью ассоциативное, LRU

Таблица 140 – Дополнительные функции графического процессора

Функции	Описание
Смешивание	Эквивалент смешения функций BlendFunc, BlendEquation и BlendFuncSeparate, определенных в OpenGL1.5 Функция постепенного угасания изображения
Сглаживание	Порог сглаживания (4x4 таблица)
Логические операции	Поддержка 3-[х операндовых логических операций (источник, приемник и образец)

1.3.3.3.2 Структурная схема

На Рисунок 56 представлена структурная схема графического процессора

					ЮФКВ.431268.005РЭ			Лист
								184
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

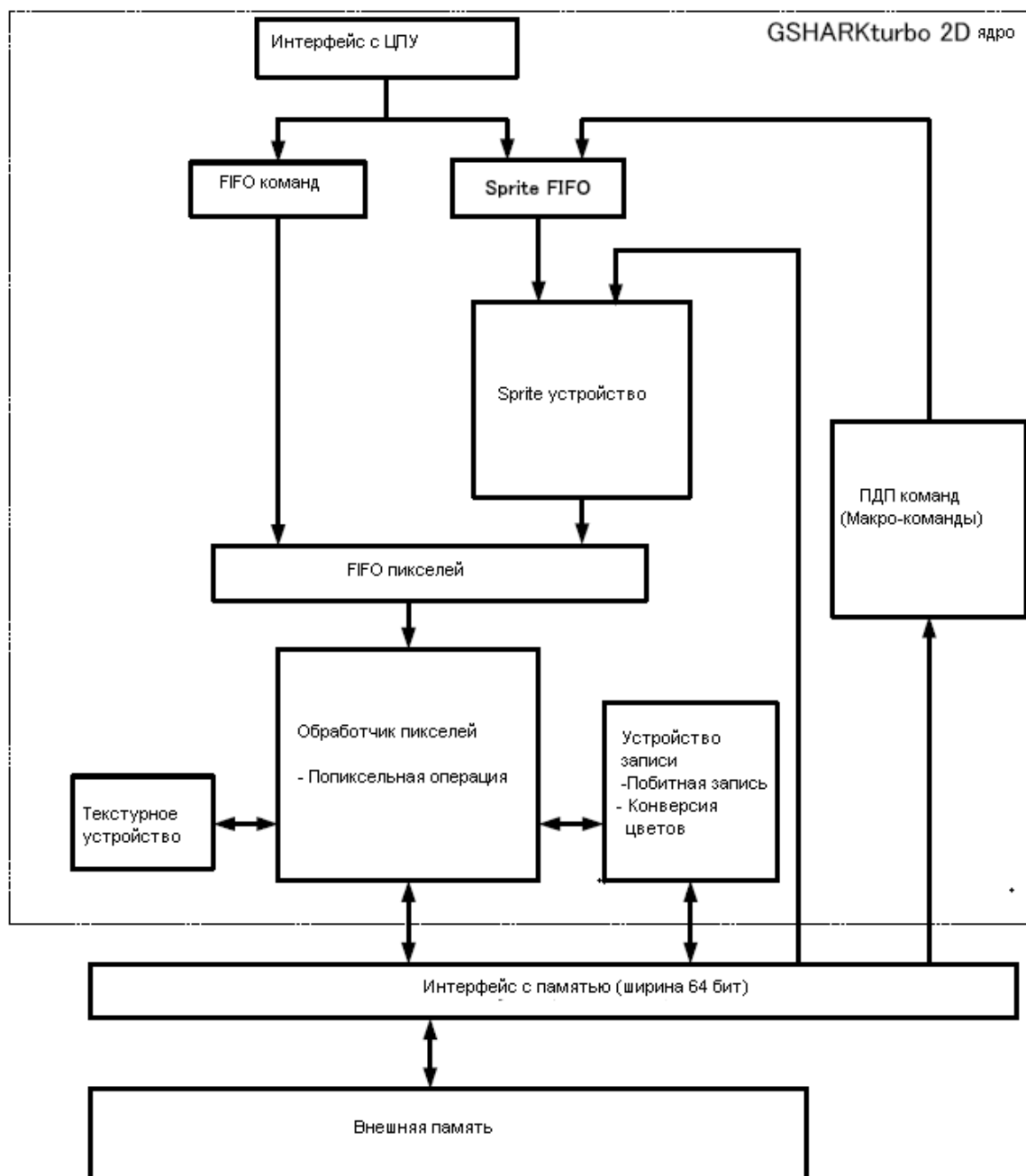
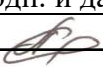


Рисунок 56 – Структурная схема графического процессора

На Рисунок 57 представлена блок-схема обработчика пикселей

					ЮФКВ.431268.005РЭ			Лист
								185
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

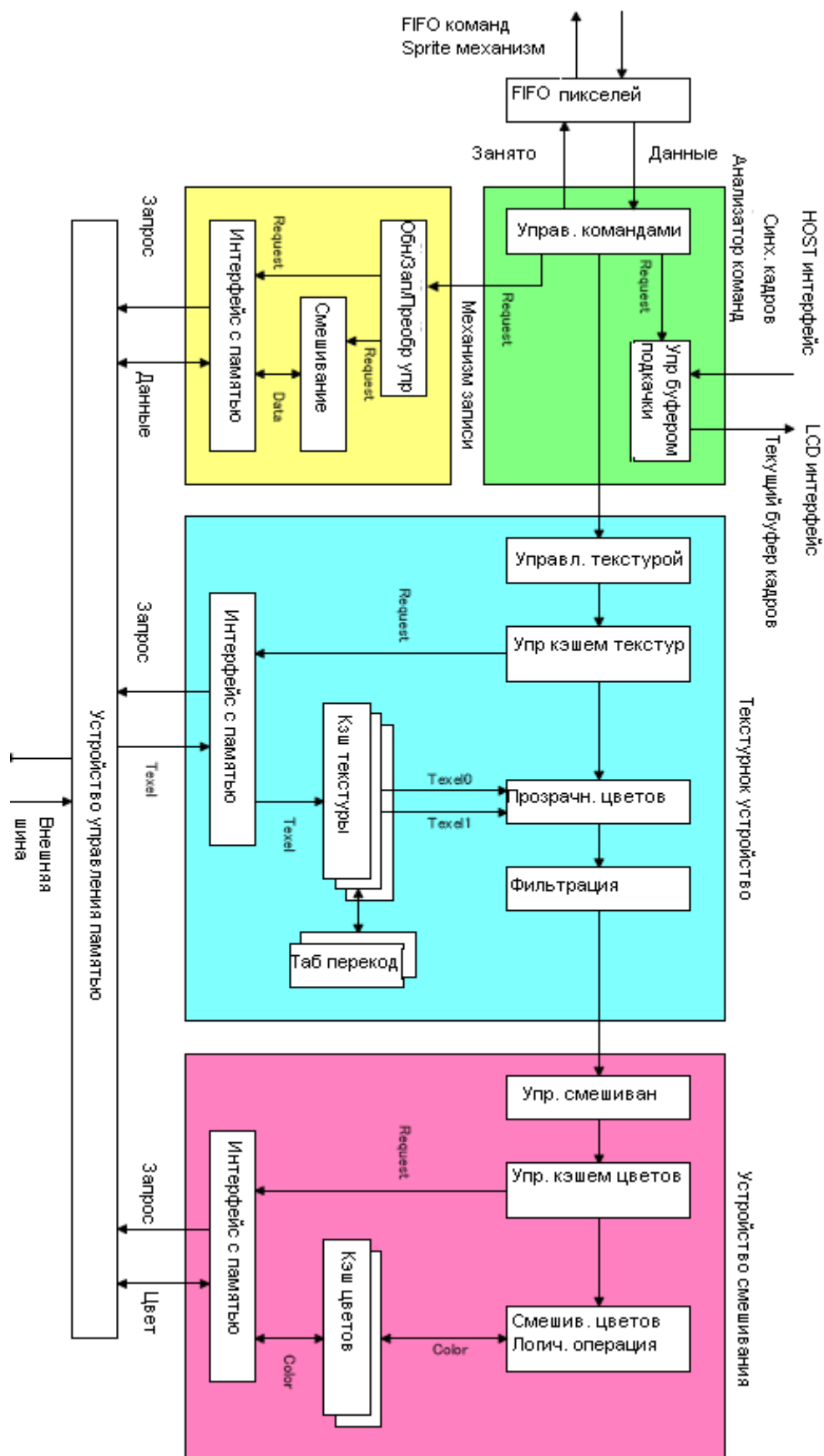
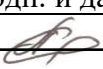


Рисунок 57 – Блок- схема обработчика пикселей

					ЮФКВ.431268.005РЭ			Лист
								186
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

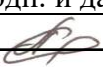
На Рисунок 57 введены следующие обозначения:

texel – ‘элемент текстуры

request –запрос

data – данные

color – цвет

					ЮФКВ.431268.005РЭ			Лист
								187
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.3.3.3 Конфигурация памяти

1.3.3.3.3.1 Конфигурация памяти и размещение каждого буфера

GT2D принимает единую конфигурацию памяти и поддерживает до 256М байт адресного пространства (28-разрядное адресное пространство). Возможно назначать следующие буфера для внешней памяти с адресом арбитража по 32-х-байтной границе за исключением Текстурного буфера. Для Текстурного буфера необходимо от 1 до 8 байт с выравниванием в зависимости от формата изображения.

Таблица 141 - Конфигурация памяти и размещение каждого буфера

Название буфера	Описание
Буфер цветов №0 Буфер цветов №1 Буфер цветов №2	Пиксели выбираются в этот буфер. Пользователь может использовать эти буфера как двойной или тройной буфера для отображения буфера или записи буфера. Максимальный размер 2048 X 2048. Спецификация адреса: Обработчик пикселей(ОП): Адресный регистр буфера цветов №0 (ОП): Адресный регистр буфера цветов №1 (ОП): Адресный регистр буфера цветов №2 Размер буфера и спецификация формата: (ОП): Регистр размера/формата буфера цветов №0 (ОП): Регистр размера/формата буфера цветов №1 (ОП): Регистр размера/формата буфера цветов №2
Текстурный буфер (Буфер Sprite изображения)	Область для применения Sprite смешивания. Спецификация адреса: (ОП): Адресный регистр текстуры №0: (ОП): Адресный регистр текстуры №1 Спецификация размера текстуры: (ОП): Регистр размера текстуры №0 (ОП): Регистр размера текстуры №1 Спецификация формата: (ОП): Регистр формата текстуры №0 (ОП): Регистр формата текстуры №1
SAT (таблица Sprite атрибутов) область	Область для хранения таблицы Sprite атрибутов Установка в Рег. Распределения памяти: SAT базовый регистр
Область макрокоманд	Область для обслуживания последовательности команд для IP Установка в Рег. Распределения памяти: Макро базовый регистр

Следующая таблица показывает ограничения начального адреса и размера ширины и высоты изображения данных для соответствующего буфера.

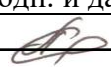
					ЮФКВ.431268.005РЭ			Лист
								188
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Таблица 142 - Ограничения адреса и размеров буфера изображения данных

	Начальный адрес буфера	Ширина	Высота
Буфер цветов №0,№1,№2	32-хбайтовое выравнивание (Независимо от цветового формата)	16 пиксельное выравнивание (Независимо от цветового формата)	1 пиксельное выравнивание (Независимо от цветового формата)
Текстурный буфер - Sprite отрисовка, когда незначим “линейный адресный режим” (Прим.2)	От 1 до 8 байт (Прим.1) выравнивание (В зависимости от текстурного формата)	Степень двойки (макс 2048) (Независимо от Текстурного формата)	Степень двойки (макс 2048) (Независимо от Текстурного формата)
Текстурный буфер - Sprite отрисовка, когда разрешен “линейный адресный режим” (Прим.2)	От 1 до 8 байт (Прим.1) выравнивание (В зависимости от текстурного формата)	16 texel выравнивание (Независимо от Текстурного формата)	16 texel выравнивание (Независимо от Текстурного формата)

Примечание 1

Обратитесь к подпункту 1.2.8.3.2.2 Текстурный буфер

Примечание 2

Существует два режима Sprite отрисовки. Один – для поддержки текстурного размера, кратного степени двойки, и другой режим (он называется “линейный адресный режим” – для поддержки размера, выровненного по 16 texel границе. Это определяется LAE PE-2D Текстурным №0/1 регистром значимости

1.3.3.3.2 Формат каждого буфера

1.3.3.3.2.1 Формат цветового буфера

Пиксели выбираются в буфера цветов. Максимальный размер цветовых буферов 2048 x 2048. Существует 3 цветовых буфера и они используются как буфер отображения или буфер рисования.

Буфер рисования используется для полноэкранной фильтрации. В этом случае увеличенный в 4 раза размер цветового буфера необходим для буфера рисования. Следовательно, максимальный размер отображения для полноэкранного сглаживания - 1024 x 1024. Режимы цветового буфера могут быть установлены независимо для цветового буфера в 0,1,2

16/бит/пиксель режим

Формат для пиксельных данных в буфере отображения состоит из RGB 565, RGBA 5551 и RGBA4444.

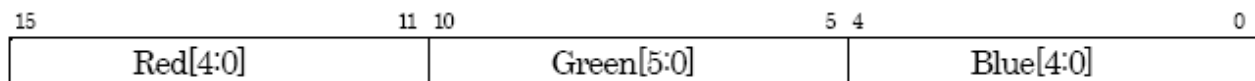
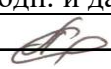


Рисунок 58 - Формат буфера цветов (RGB 565)

					ЮФКВ.431268.005РЭ			Лист
								189
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

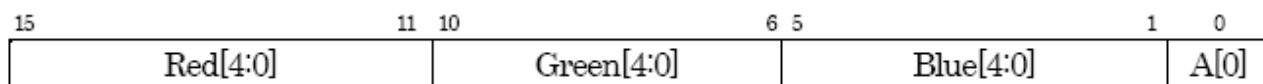


Рисунок 59 - Формат буфера цветов (RGB 5551)

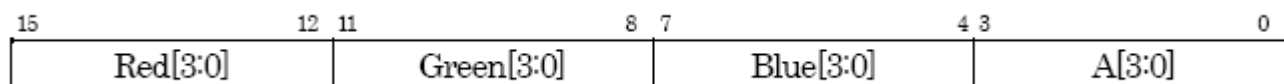


Рисунок 60 - Формат буфера цветов (RGBA 4444)

32/бит/пиксель режим

Формат для пиксельных данных в буфере отображения состоит из RGBA8888.

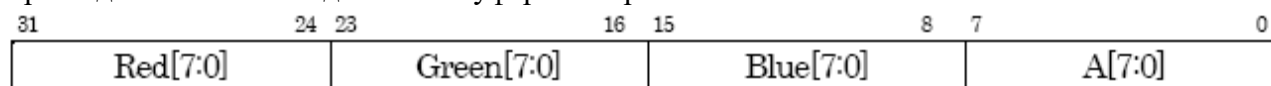


Рисунок 61 - Формат буфера цветов (RGBA 8888)

YUV422 режим

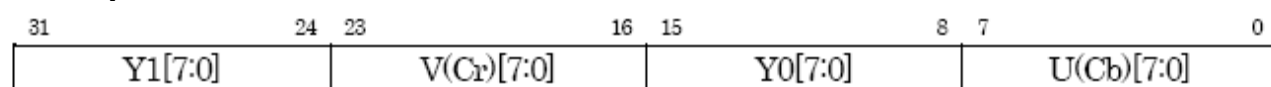


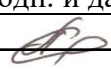
Рис 35 - Формат буфера цветов (YUV422)

1.3.3.3.2.2 Формат текстурного буфера (Sprite буфера изображения)

Поддерживаются следующие форматы изображения. Заметим, что граница данных зависит от формата цветов

Таблица 143 - Формат текстурного буфера

Bit/texel	Граница данных (байт)	Формат цветов	Описание
32	4	RGBA8888	8 бит для каждого RGBA
16	2	RGB565	5,6,5 бит для каждого RGB
16	2	RGBA5551	5 ,бит для каждого RGB . Старш. знач. бит 0: прозрачность 1:непрозрачность
16	2	RGBA4444	4 бит для каждого RGB, значение альфа 4 бит
16	2	LA88	8 бит для каждого значения яркости и альфа
16	4	YUV422	YUV формат. 32 бита на 2 пикселя
8	1	L8	8 бит для яркостной компоненты
8	1	A8	8 бит для значения альфа
8	1	8 бит на основе палитры (выборочно) (Прим.1)	Индексируемый цвет 8-мью битами для 1 texel Это расширяется до 16 бит или 32 бит Индексом Текстуры LUT в ОП (PE)
4	1	4 бит на основе палитры (выборочно) (Прим.1)	Индексируемый цвет 4 битами для 1 texel Это расширяется до 16 бит или 32 бит Индексом Текстуры LUT в ОП (PE)
2	1	2 бит на основе палитры (выборочно) (Прим.1)	Индексируемый цвет 2 битами для 1 texel Это расширяется до 16 бит или 32 бит Индексом Текстуры LUT в ОП (PE)

					ЮФКВ.431268.005РЭ			Лист
								190
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Продолжение Таблица 143

Bit/texel	Граница данных (байт)	Формат цветов	Описание
1	1	1 бит на основе палитры (выборочно) (Прим.1	Индексируемый цвет 1 битом для 1 texel Это расширяется до 16 бит или 32 бит Индексом Текстуры LUT в ОП (PE)
	8	Сжатое изображение	Формат изображения сжатой Текстуры. Поддерживает 5 типов форматов в зависимости от существования альфа и т.д. сжатие до 1.4 – 1.5.3 исходного изображения

Примечание 1 - Созданный на основе палитры цвет поддерживается только, когда используются выборочные LUT RAM.

Texel цветовой формат определяется в ОП (PE):Регистре формата Текстуры

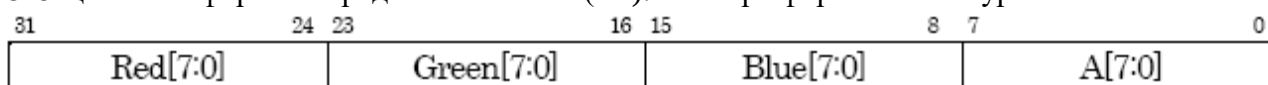


Рисунок 62 - Texel формат (RGBA 8888 формат)



Рисунок 63 - Texel формат (RGB 565 формат)

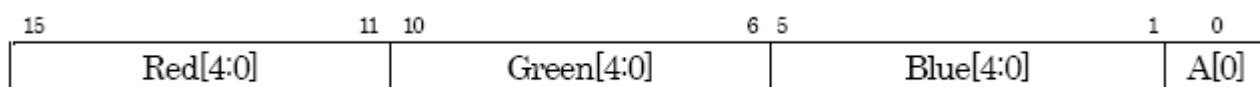


Рисунок 64 - Texel формат (RGBA 5551 формат)

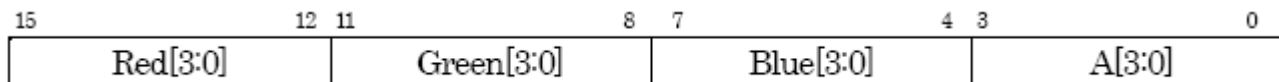


Рисунок 65 - Texel формат (RGBA 4444 формат)

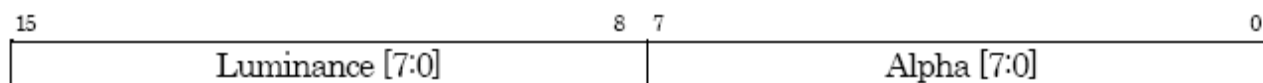


Рисунок 66 - Texel формат (LA 88 формат)

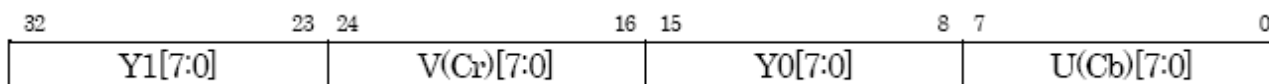


Рисунок 67 - Texel формат (YUV 422 формат)

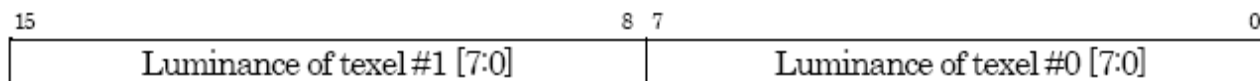


Рисунок 68 - Texel формат (L8 формат)

					ЮФКВ.431268.005РЭ			Лист
								191
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

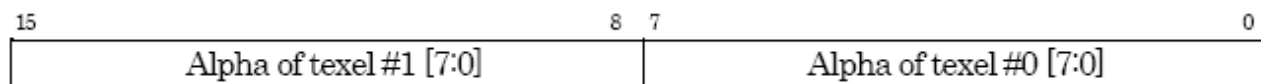


Рисунок 69 - Texel формат (A8 формат)

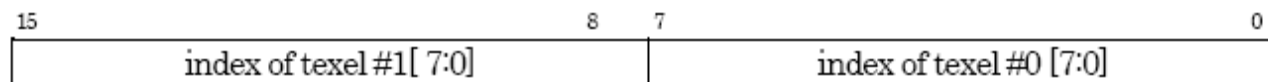


Рисунок 70 - Texel формат (8бит формат, основанный на палитре)

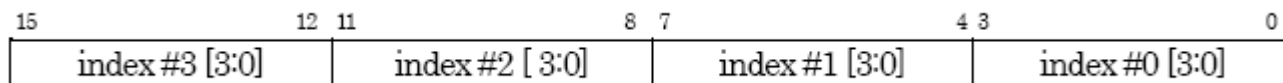


Рисунок 71 - Texel формат (4бит формат, основанный на палитре)



Рисунок 72 - Texel формат (2бит формат, основанный на палитре)



Рисунок 73 - Texel формат (16бит формат, основанный на палитре)

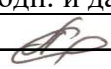
1.3.3.3.3 Формат сжатия текстурного изображения

Поддерживаются следующие 5 типов форматов сжатия

Таблица 144 - Форматы сжатия текстурного изображения

	Название формата	Размер блока	Цвет	Отношение	Индекс(бит)	Примечание
1	LVQ88	8 x 8	RGB565	5.3 : 1	2	
2	LVQ84	8 x 4 x 2	RGB565	4:1	2	
3	LVQ44	8 x 8 x 4	8 бит на основе палитры(LUT 256)	4:1	2	Выборочно (Примеч 1)
4	LVQ88A1	8 x 8	RGBA5651	4:1	3	2 бит цветовой индекс 1 бит альфа
5	LVQ88A4	8 x 8	RGBA4444	4:1	4	2 бит цветовой индекс 1 бит альфа/2пикселя

Примечание 1 Основанные на палитре цвета поддерживаются, когда используются выборочные LUT RAM

					ЮФКВ.431268.005РЭ		Лист
							192
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2			14.11.11		18212-1		

LVQ - это формат текстурного сжатия в собственности TAKUMI, для которого можно получить хорошее качество изображения с уменьшением размера хранения и ширины памяти. Сжатое изображение, помещенное в Sprite буфер изображения, расширяется динамически аппаратурой, когда заполняется в Текстурный кэш внутри графического сопроцессора (GT2D).

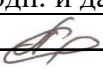
Показанное ниже обеспечивает отношения между номером индекса (i00,i01,...a00,a01,...) и элементом текстуры (texel) внутри блока 8 x 8 в описаниях следующей главы и дальше

Таблица 145 - Связь между номером индекса и элементом текстуры (texel)

	U[0..7] $\longrightarrow$				
V[0..7] $\downarrow$	00	01	02	..	07
	08	09	10	..	15
	.	.	.		.
	.	.	.		.
	56	57	58	..	63

1.3.3.3.3.1 LVQ88(LVQ1)

Блок 8 x 8 пикселей разделен на 2 подблока(sub block) 8 x 4 пикселя и каждый подблок состоит из кодовой книги(code book) (4 репрезентативных цвета (color)) и индекса (index)

					ЮФКВ.431268.005РЭ			Лист
								193
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

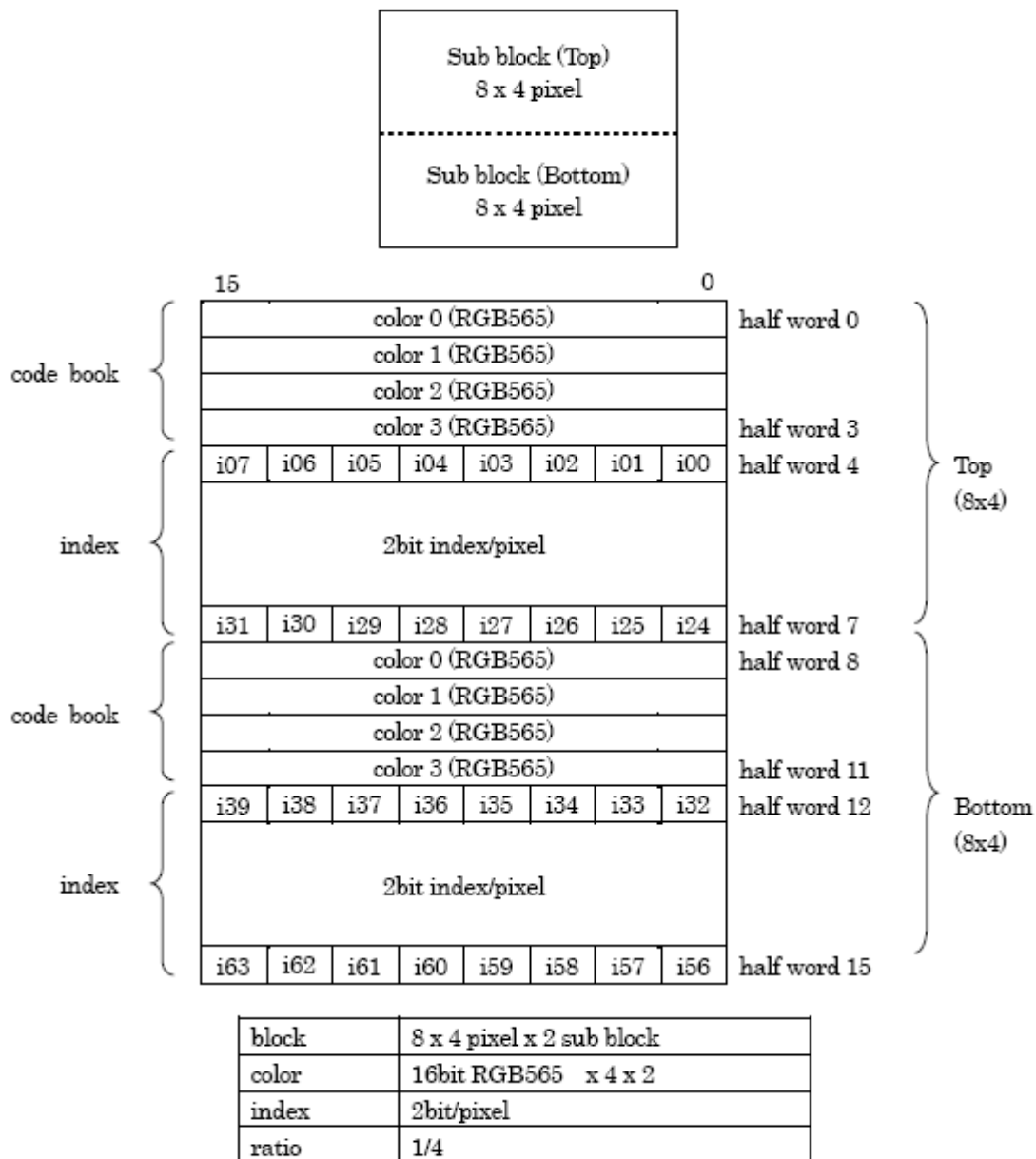


Рисунок 74 - LVQ88

1.3.3.3.3.2 LVQ84(LVQ2)

Блок 8 x 8 пикселей разделен на 2 подблока(sub block) 8 x 4 пикселя и каждый подблок состоит из кодовой книги(code book) (4 репрезентативных цвета (color)) и индекса (index)

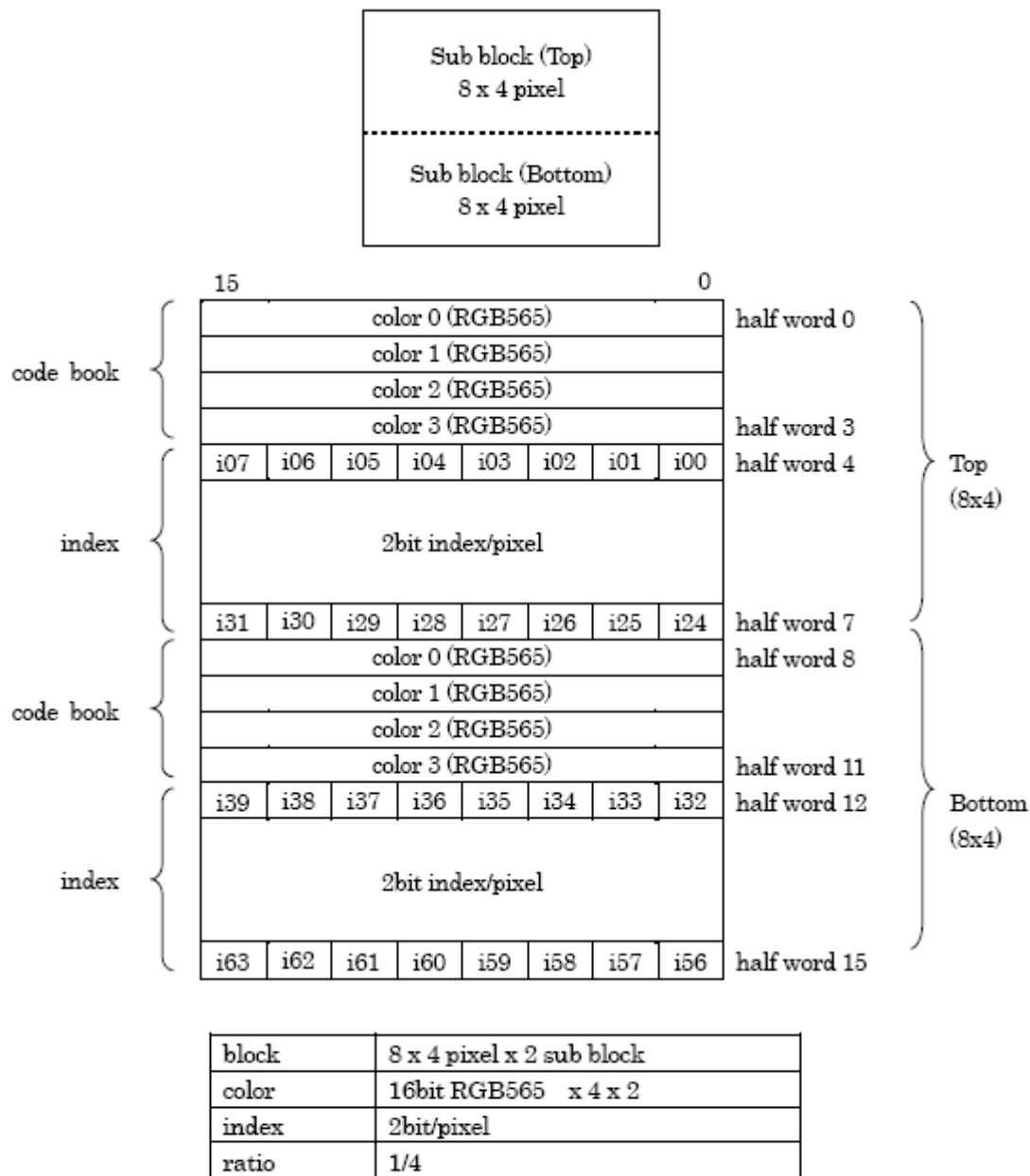
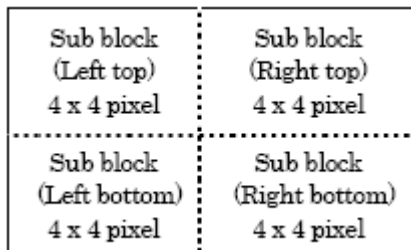
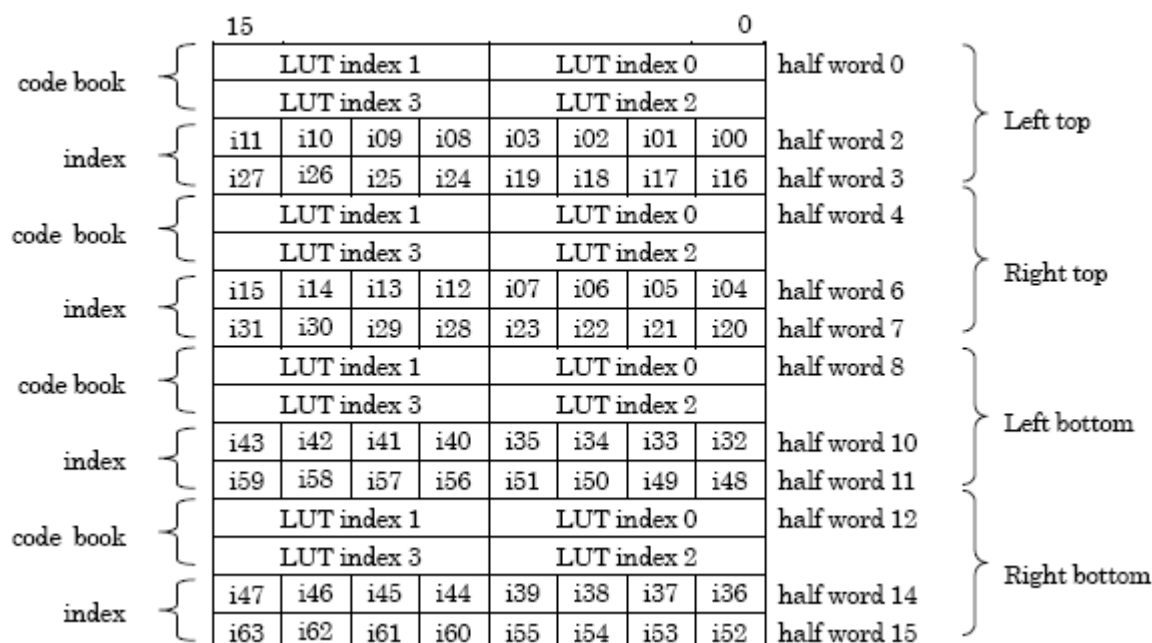


Рисунок 75 - LVQ84

1.3.3.3.3.3 LVQ44(LVQ3)

Блок 8 x 8 пикселей разделен на 4 подблока(sub block) 4 x 4 пикселя и каждый подблок состоит из кодовой книги(code book) (4 репрезентативных цвета (color)) и индекса (index). Основанный на палитре цвет используется для репрезентативного цвета. Он расширяется до 32 битного цвета (RGBA8888) с помощью LUT в ОП, чтобы заполнить текстурный кэш



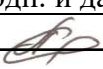


block	4 x 4 pixel x 4 sub block
color	8bit paletted color x 4 x 4
index	2bit/pixel
ratio	1/4

Рисунок 76 - LVQ44

1.3.3.3.3.4 LVQ88A4(LVQ5)

Этот формат состоит из кодовой книги(code book) для 4 репрезентативных цветов и индекса (index), который указывает, что 4 цвета кодовой книги (2 бита для каждого пикселя) в устройстве из 8 x 8 пикселей исходного изображения. 1 бит А значения для каждого пикселя описывается перед индексом.

					ЮФКВ.431268.005РЭ				Лист
									196
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11		18212-1					

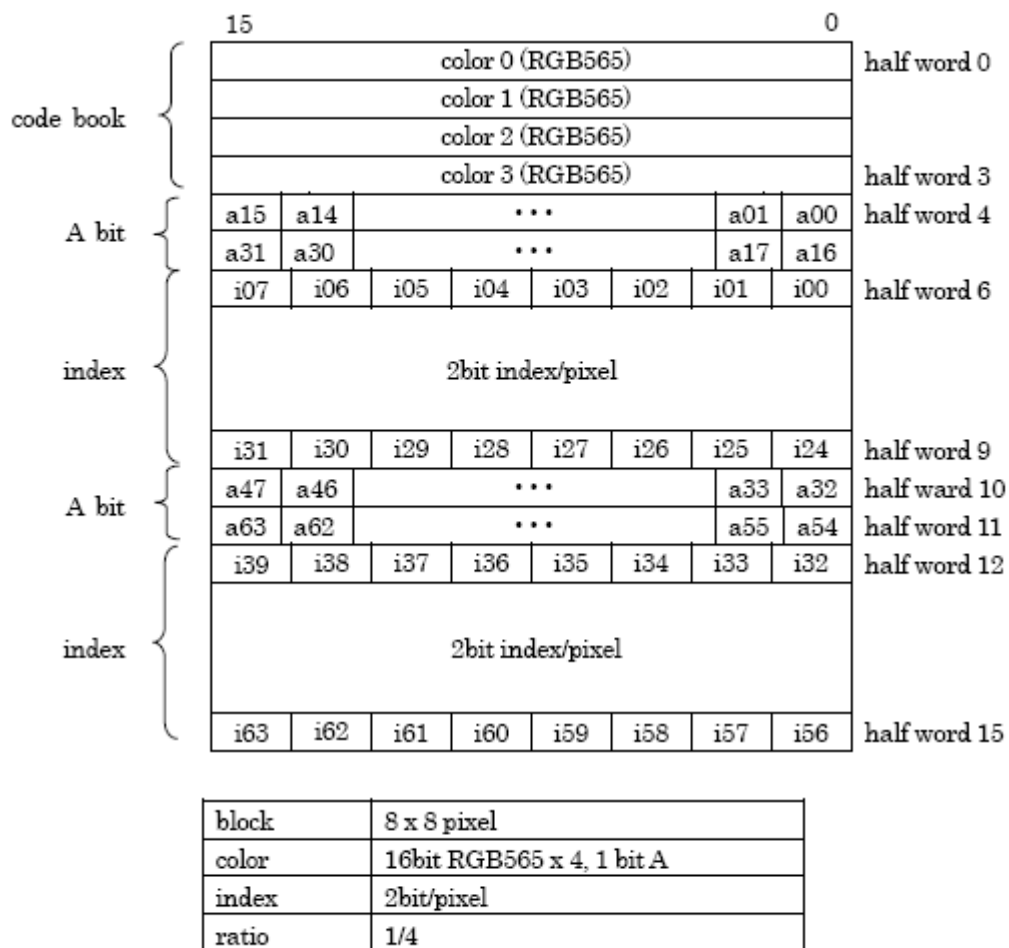
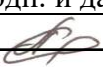


Рисунок 77 - LVQ88A4

1.3.3.3.3.5 LVQ88(LVQ5)

Этот формат состоит из кодовой книги(code book) для 4 репрезентативных цветов и индекса (index), который указывает, что 4 цвета кодовой книги (2 бита для каждого пикселя) для цвета и 2 бита для каждых 2 пикселей вU направлении для A значений) в устройстве из 8 x8 пикселей исходного изображения.. Каждый репрезентативный цвет состоит из 4-хбитового A значения и 12-битовых цветовых значений (RGB 4:4:4) и независимо указанного ссылкой по индексу для A значения и по индексу для значения цветов.

					ЮФКВ.431268.005РЭ			Лист
								197
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2				14.11.11		18212-1		

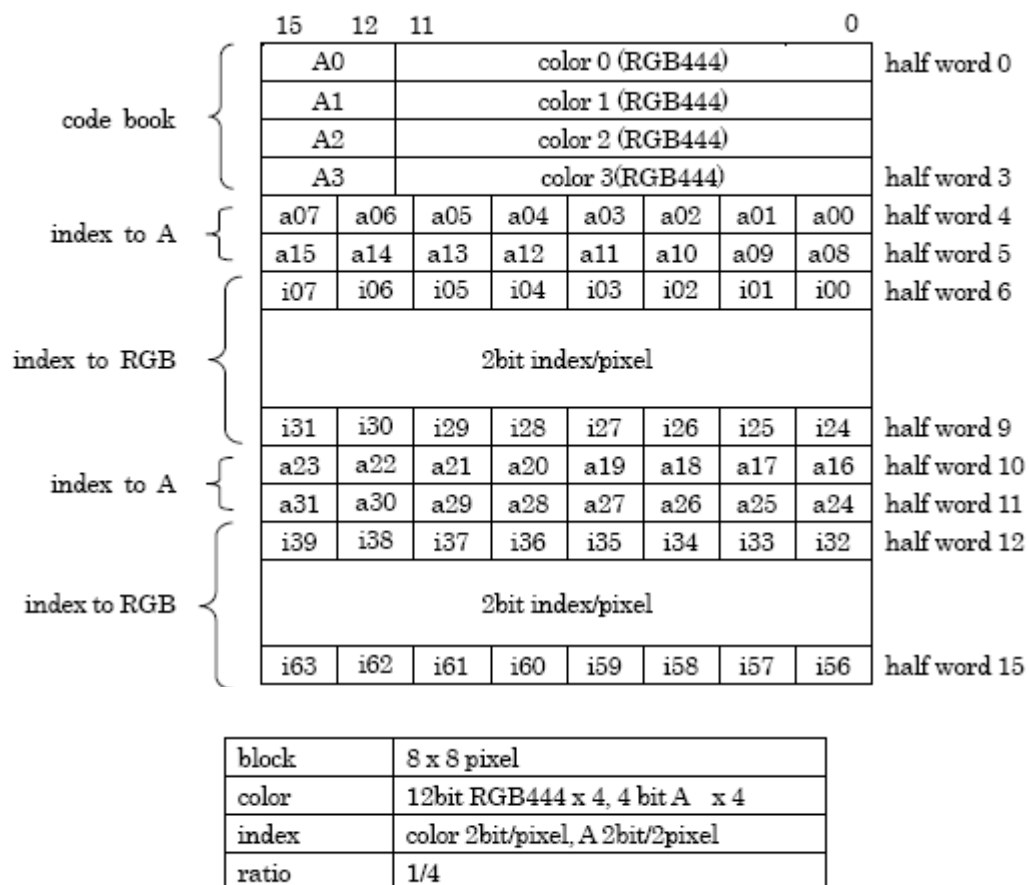


Рисунок 78 - LVQ88A4

Значение индекса относится к значению 1 А индекса для каждых 2 пикселей в U направлении. Отношения между 8 x 8 блоком и A значениями показаны следующим образом:

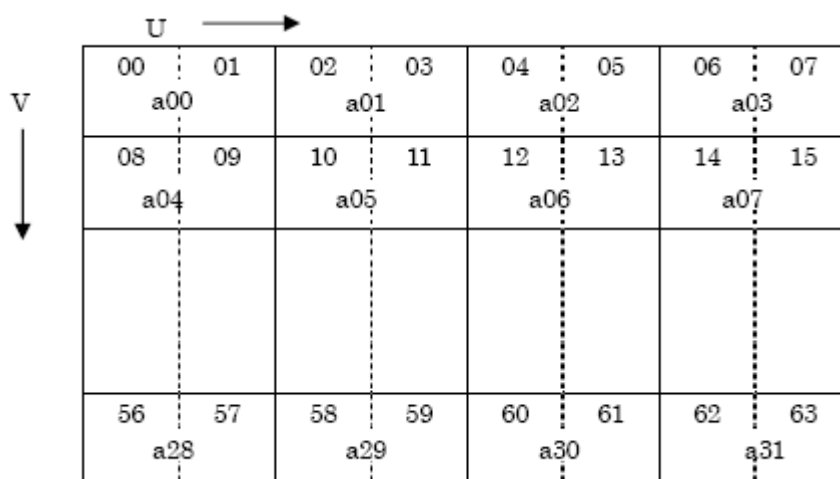


Рисунок 79 - Связь между 8 x 8 блоком и A значениями

1.3.3.3.4 Sprite устройство

					ЮФКВ.431268.005РЭ			Лист
								198
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	14.11.11		18212-1					

Графический ускоритель GT2D имеет Sprite устройство с богатыми функциями. . Sprite устройство полезно для GUI, например, отрисовки иконок, отрисовки текста, 2D игр.

1.3.3.3.4.1 Функциональный обзор

1.3.3.3.4.1.1 Sprite функция

- 1) Условный sprite
- 2) Sprite растягивание + вращение
- 3) Sprite с параметрическим сканированием (Преобразованный sprite)

Таблица 146 - Sprite характеристики

Максимальный размер sprite	1024 x 1024 элементов текстуры(texel)
Формат цветов	Все форматы цветов, которые поддерживает Обработчик Пикселей См. Формат текстуры изображения и Формат буфера цветов в подпункте 1.3.3.3.2.1 Обзора Пиксельных функций
Функции	Растягивание ,вращение,преобразование (параметрическое сканирование) Вертикальный/горизонтальный переворот
Фильтрация	Точка дискретизации(БЛИЖАЙШАЯ). Билинейная фильтрация(прим.1)
Шаблон для формирования рисунка	Ссылка 8 x 8 шаблона для формирования рисунка

Примечание 1 Билинейная фильтрация — это процесс выборки нескольких пикселей из исходной текстуры в процессе отображения с последующим усреднением для получения окончательного значения пикселя.

1.3.3.3.4.1.2 Высокотехнологичная генерация координат полноэкранной фильтрации образцов

Таблица 147 - Генерация координат сглаживания образцов

Поддерживаемый размер изображения источника	2048 x 2048 пикселей В обычной операции полноэкранной фильтрации (FSAA) макс. размер изображения назначения 1024 x1024 (2 x 2 полноэкранная фильтрация)
Деформация	Растягивание, вертикальный/горизонтальный переворот
Фильтрация	Sprite контроллер (SPC) генерирует UV координаты для ссылок билинейной фильтрации

1.3.3.3.4.1.3 Функция отрисовки 2D графики

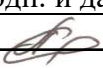
					ЮФКВ.431268.005РЭ			Лист
								199
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Таблица 148 - Функция отрисовки 2D графики

Отрисовка точек

Цветовой формат	16-битные цвета (RGB565, RGBA5551, RGBA4444, LA88) 32- битные цвета (RGBA8888)
Спецификация координат	Поддерживаются абсолютные и относительные координаты
Ссылка на маскируемый образец	Поддерживается ссылка на 8 x8 маскируемый образец

Отрисовка линий

Генерация линии	Целочисленный
Цветовой формат	16-битные цвета (RGB565, RGBA5551, RGBA4444, LA88) 32- битные цвета (RGBA8888)
Ширина линии	1 пиксель
Стиль линии	Поддерживается точечная линия/разорванная линия (ссылка на 16-битный маскируемый образец)

Заполнение прямоугольной области

Цветовой формат	16-битные цвета (RGB565, RGBA5551, RGBA4444, LA88) 32- битные цвета (RGBA8888)
Ссылка на маскируемый образец	Поддерживается ссылка на 8 x8 маскируемый образец

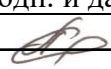
1.3.3.3.4.1.4 Запись в регистр Обработчика Пикселей и Запись в Таблицу Обработчика Пикселей (PE)

Существует 2 пути записать данные в PE Регистры и PE таблицы. Один – использовать Запись в PE Регистр Таблицы Атрибутов (SAT) Другой – использовать команду Запись в PE Регистр (см. подпункт 1.3.3.3.7.4.2) и команду Запись в Таблицу PE (см. подпункт 1.3.3.3.7.4.3) Когда пользователь хочет изменить установки PE регистра, например, разрешить/запретить альфа смешивание с помощью PE:2D Регистра Смешивания между последовательными Sprite сглаживаниями, использование Записи в PE Регистр SAT эффективно, потому что нет необходимости обрабатывать расширенные операции синхронизации. PE Регистровые Записи в SAT могут быть просто вставлены между последовательными сглаживаниями SAT. С другой стороны, программное обеспечение должно ожидать предшествующего Sprite сглаживания и затем посылать команду Записи в PE Регистр и ожидать снова окончания команды прежде чем начать успешное Sprite сглаживание.

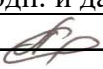
1.3.3.3.4.2 Метод Sprite сглаживания

Таблица 149 – Метод Sprite сглаживания

	Метод установки параметра sprite сглаживания	Запуск sprite сглаживания
(1)	SAT данные записываются в память, размещаемую в Sprite FIFO (Давайте назовем его “Sprite FIFO сглаживание”)	Запускается записью SAT данных в память, размещаемую в Sprite FIFO
(2)	SAT данные должны быть помещены во внешнюю память, которая доступна GT2D ядру и SAT данные передаются в Sprite FIFO, используя Обработчик Макрокоманд (Command Macro Engine)	Используя обработчик Макрокоманд (Command Macro Engine) (см. подпункт 1.3.3.3.6) SAT данные механизмом ПДП передаются в Sprite FIFO. Обработчик Макрокоманд стартует записью

					ЮФКВ.431268.005РЭ			Лист
								200
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

		в Счетчик Слов регистра распределения памяти Обработчика Макрокоманд.
(3)	SAT данные должны быть помещены во внешнюю память , которая доступна GT2D ядру и Sprite обработчик считывает SAT и выполняет смешивание (Давайте назовем его “ SAT памяти сглаживание”)	Записью в SAT Регистр Счетчика Регистра Размещения Памяти, Sprite обработчик начинает чтение данных SAT и сглаживание их. SPDONE прерывание будет сгенерировано по окончанию SAT сканирования.

					ЮФКВ.431268.005РЭ			Лист
								201
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Приоритет этих трех методов следующий:

(2) Sprite FIFO сглаживание Обработчиком Макрокоманд (Command Macro Engine) > (1) Sprite FIFO сглаживание > (3) Памяти SAT сглаживание

1.3.3.3.4.3 Спецификация таблицы Sprite атрибутов

Установки параметров, относящихся к SPC сглаживанию определены в таблице Sprite атрибутов (SAT). Однако параметры, относящиеся к текстуре, используемой в Sprite, устанавливаются в PE регистре.

Список SAT типов обеспечивается следующим:

Таблица 150 - Список SAT

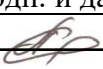
	Функция	Описание
0000	Нет операции	Нет операции
0001	Нормальный Sprite	Нормальный Sprite(Нет деформации)
0010	Растягивание и поворот	Sprite с Растягиванием и поворотом
0011	Параметрический Sprite со сканированием	Деформированный Sprite параметрическим сканированием
0100	Высокотехнологичная полноэкранный фильтрация FSAA образцов	FSAA фильтрация
0101	Зарезервировано	
0110	Отрисовка точек в абсолютной системе координат	Точка, определяемая абсолютной координатой, отрисовывается
0111	Отрисовка точек в относительной системе координат	Точка, определяемая относительной координатой, отрисовывается
1000	Отрисовка линии	
1001	Заполнение прямоугольной области	
1010	Зарезервировано	
1011	SPC регистровая запись	
1100	SPC регистровое чтение	
1101	Синхронизация Sprite	Генерировать SPDONE прерывание
1110	PE регистровая запись	PE регистр установлен
1111	PE регистровое чтение	PE таблица данных установлена

1.3.3.3.4.4 Список регистров распределения памяти, относящихся к Sprite

Список регистров, относящихся к функции Sprite приведен ниже. Для большей детальности обратитесь к подпункту “ 1.3.3.3.8 Регистры распределения памяти”

Таблица 151 - Регистры распределения памяти, относящихся к функции Sprite

Адрес	Чт/Зп	Название регистра	Значение по обнулению
0x0060	Зп	Sprite FIFO	Не применяется
0x0060	Чт	Регистр статуса Sprite FIFO	0x0000 0080
0x0064	Чт/Зп	Регистр управления Sprite FIFO	0x007D 0003
0x0068	Чт/Зп	Регистр адреса SAT	0x0000 0000
0x006C	Чт/Зп	Регистр счетчика слов SAT	0x0000 0000

					ЮФКВ.431268.005РЭ			Лист
								202
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

Продолжение Таблица 145

0x0070	ЧТ/Зп	Левый верхний регистр Sprite окна Clip	0x0000 0000
0x0074	ЧТ/Зп	Правый нижний регистр Sprite окна Clip	0x00FF 00FF
0x0078	ЧТ/Зп	Регистр №0 Sprite образца маски	0xFFFF FFFF
0x007C	ЧТ/Зп	Регистр №1 Sprite образца маски	0xFFFF FFFF

1.3.3.3.4.5 SPC регистры

Следующие регистры находятся в SPC. Используйте SPC запись и SPC чтение SAT

Таблица 152 - SPC регистры

Адрес	ЧТ/Зп	Название регистра	Значение по обнулению
0x1	Зп	Регистр текстуры №0 UV маски	0x0000 0000
0x2	ЧТ	Регистр текстуры №1 UV маски	0x0000 0000
0x3	ЧТ/Зп	Левый верхний регистр Sprite окна Clip	0x0000 0000
0x4	ЧТ/Зп	Правый нижний регистр Sprite окна Clip	0x00FF 00FF
0x5	ЧТ/Зп	Регистр №0 Sprite образца маски	0xFFFF FFFF
0x6	ЧТ/Зп	Регистр №1 Sprite образца маски	0xFFFF FFFF

1.3.3.3.4.5.1 Регистр Текстуры №0 UV SPC (0x1)

Определяется AND маски для координат выходов U,V, генерируемых SPC для Текстуры №0

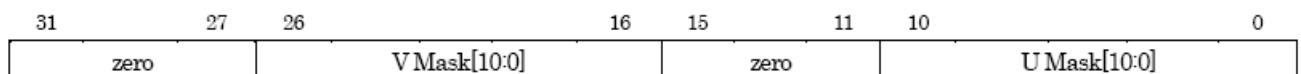


Рисунок 80 - Регистр Текстуры №0 UV SPC (0x1)

Установкой соответствующих значений в этот регистр изображение структуры может быть “Повторено”.Размер структуры, которую надо повторить задается “1”-ми начиная от LSB. Операция U/V маскируемое значение на UV координатах есть:1

Texture#0_Ucoordinate[1:0] = Generated _UCoordinate_bySPC[10:0] & UMask[10:0]

Texture#0_Vcoordinate[1:0] = Generated _VCoordinate_bySPC[10:0] & VMask[10:0]

Например, чтобы повторить 64 x 32 изображение текстуры , U/V маска будет определена следующим образом.

UMask[10:0] = 000 0011 1111 (двоичная) = 63 (десятичная)

VMask[10:0] = 000 0001 1111 (двоичная) = 31 (десятичная)

Чтобы не повторить текстуру, все единицы (11 1111 1111) задаются для Umask и Vmask.

1.3.3.3.4.5.2 SPC: Регистр маски UV Текстуры №1 (0x2)

Определяется AND маски для координат выходов U,V, генерируемых SPC для Текстуры #1

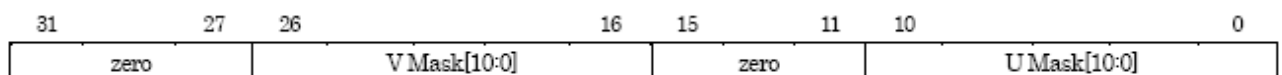
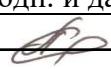


Рисунок 81 - Регистр маски UV Текстуры №1 (0x2)

Для установки обратитесь к подпункту 1.3.3.3.4.5.1 SPC:Регистр маски UV Текстуры №0 UV

1.3.3.3.4.5.3 SPC: Левый верхний регистр Sprite вырезки(Clip) Окна (0x3)

					ЮФКВ.431268.005РЭ			Лист
								203
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Начальное значение: 0x0000 0000

31	27	26	16	15	11	10	0
zero			YTop[10:0]		zero		XLeft[10:0]

Рисунке 82 - Левый верхний регистр Sprite вырезки(Clip) Окна

1.3.3.3.4.5.4 SPC: Правый нижний регистр Sprite вырезки(Clip) Окна (0x4)

Определяется правая нижняя координата прямоугольного вырезанного окна для Sprite сглаживания. Этот регистр идентичен такому же регистру из Регистров Распределения Памяти. (Ссылка 1.3.3.3.8.23) Значение регистра может быть установлено или регистром распределения памяти или SPC регистром. Когда одновременная запись происходит из регистра распределения памяти и SPC регистра, значение записанное из регистра распределения памяти имеет преимущество.

Начальное значение: 0x00FF 00FF

31	27	26	16	15	11	10	0
zero			YBottom[10:0]		zero		XRight[10:0]

Рисунке 83 - Правый нижний регистр Sprite вырезки(Clip) Окна

1.3.3.3.4.5.5 SPC: Регистр образца Sprite маски #0, #1 (0x5, 0x6)

Используется образец (pattern)маски для ссылки на образец для Sprite сглаживания (rendering) Обратитесь к к таблице ниже для ссылок в порядке p0 - p63. Этот регистр идентичен такому же регистру из Регистров Распределения Памяти. (Ссылка 1.3.3.3.8.24) Значение регистра может быть установлено или регистром распределения памяти или SPC регистром. Когда одновременная запись происходит из регистра распределения памяти и SPC регистра, значение записанное из регистра распределения памяти имеет преимущество.

Начальное значение: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
p31	p30	p29	p28	p27	p26	p25	p24	p23	p22	p21	p20	p19	p18	p17	p16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
p15	p14	p13	p12	p11	p10	p9	p8	p7	p6	p5	p4	p3	p2	p1	p0

Рисунке 84 - Регистр образца Sprite маски #0 [0x0078]

Начальное значение: 0xFFFF FFFF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
p63	p62	p61	p60	p59	p58	p57	p56	p55	p54	p53	p52	p51	p50	p49	p48
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
p47	p46	p45	p44	p43	p42	p41	p40	p39	p38	p37	p36	p35	p34	p33	p32

Рисунке 85 - Регистр образца образца Sprite маски #1 [0x007C]

В случае ссылочного образца 8 x8, каждый бит маски находится по ссылке на X и Y координату, как указано ниже

.

					ЮФКВ.431268.005РЭ					Лист
										204
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		14.11.11			18212-1					

		Младшие 3 бита X координаты							
		0	1	2	3	4	5	6	7
Младшие 3 бита Y координаты	0	p0	p1	p2	p3	p4	p5	p6	p7
	1	p8	p9	p10	p11	p12	p13	p14	p15
	2	p16	p17	p18	p19	p20	p21	p22	p23
	3	p24	p25	p26	p27	p28	p29	p30	p31
	4	p32	p33	p34	p35	p36	p37	p38	p39
	5	p40	p41	p42	p43	p44	p45	p46	p47
	6	p48	p49	p50	p51	p52	p53	p54	p55
	7	p56	p57	p58	p59	p60	p61	p62	p63

Рисунке 86 - Порядок битов маски для образца 8 x 8

В случае ссылочного образца 16 x 1, каждый бит маски находится по ссылке, как указано ниже

Порядок ссылок															
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
p0	p1	p2	p3	p4	p5	p6	p7	p8	p9	p10	p11	p12	p13	p14	p15

Рисунке 87 - Порядок битов маски для образца 16 x 1

1.3.3.3.4.6 Отношение между Текстурным адресом буфера и значением, установленным в Sprite буфере

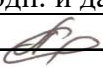
Sprite функция выполняется установкой в SAT и установкой в PE регистр. Следующие Sprite функции доступны для Текстурного буфера:

- Нормальный sprite (0x1)
- Sprite с растягиванием и поворотом (0x2)
- Sprite с параметрическим сканированием (0x3)
- Супертехнологичная FSAA фильтрация образца

Используя нормальный sprite как пример, отношения между установкой значения SAT и адресом выражаются следующей формулой:

Заметим, что для Нормального sprite, SrcUSize/SrcVSize становится равным

DspXSize/DspYSize.

					ЮФКВ.431268.005РЭ					Лист
										205
Изм.	Лист	№ докум.	Подп.	Дата						
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.		Подп. и дата			
18212-2	 14.11.11		18212-1							

```

// SAT parameters for Source
// SrcUPos[10:0]      : Source U coordinate (0.11.0)
// SrcVPos[10:0]      : Source V coordinate (0.11.0)
// SrcUSize[10:0]     : Source U size (0.11.0)
// SrcVSize[10:0]     : Source V size (0.11.0)
// PE parameters for Source in PE registers
// SrcAddr[27:0]      : Start address of texture buffer
//                      - PE:2D Texture#0,1 Address Reg. (TAD[27:0])
// TBWidth[11:0]      : Texture width (1 to 2048)
//                      When address mode is "power of 2" (LAE=0),
//                      - PE:2D Texture#0,1 Size Reg. (1 << TXW[3:0])
//                      When address mode is "linear" (LAE=1),
//                      - PE:2D Texture#0,1 Linear Address Size Reg. (TBW[11:4] << 4)
//                      Texture buffer address mode is specified in following register.
//                      - PE:2D Texture#0,1 Enable Reg. (LAE)
// sdatasize          : One texel size in byte (1, 2, 4, 32) derived from Source color format (Note 1)
//                      The source color format is specified in following register
//                      - PE:2D Texture#0,1 Format Reg. TFX[7:0]
// SAT parameters for Destination
// DstXPos[11:0]      : Destination X coordinate (1.11.0)
// DstYPos[11:0]      : Destination Y coordinate (1.11.0)
// DstXSize[10:0]     : Destination X size (0.11.0)
// DstYSize[10:0]     : Destination Y size (0.11.0)
// PE parameters for Destination in PE registers
// DstAddr[27:0]      : Start address of Color buffer. It must be in 32byte alignment.
//                      - PE:Color Buffer#0,1,2 Address Reg. (CBA0,1,2[27:5] << 5)
// CBWidth[11:0]      : Color buffer width (16 to 2048) It must be in 16 pixels boundary.
//                      - PE:Color Buffer#0,1,2 Size/Format Reg. (CBW[11:4] << 4)
// ddatasize          : One pixel size in byte (1, 2, 4) derived from Destination color format
//                      - PE: Color Buffer#0,1,2 Size/Format Reg. (CBF[1:0])

```

Примечание 1 **Texel размеры для текстурных цветовых форматов следующие:**
32-битный формат имеет 4 байта (sdatasize =4)
16-битный формат имеет 2 байта (sdatasize =2)
8-битный формат имеет 4 байта (sdatasize =1)
4-битный, 2-битный и 1-битный форматы, основанные на палитре цветов имеют 8 бит в U направлении (sdatasize =1)
YUV- формат имеет 4 байта (sdatasize =4)
LVQ- формат имеет 32 байта на 1 блок (sdatasize =32)

На рисунке ниже введены следующие обозначения:

TBWidth -ширина текстурного буфера.

SrcAddr –адрес источника

DstAddr –адрес назначения

Source Buffer – буфер источника

CBWidth –ширина цветового буфера

Byte Address – байтовый адрес

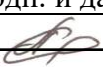
Physical memory address –адрес физической памяти

Line –линия

Source- источник

Destination- назначение

CBWidrh –ширина цветового буфера=a

					ЮФКВ.431268.005РЭ			Лист
								206
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

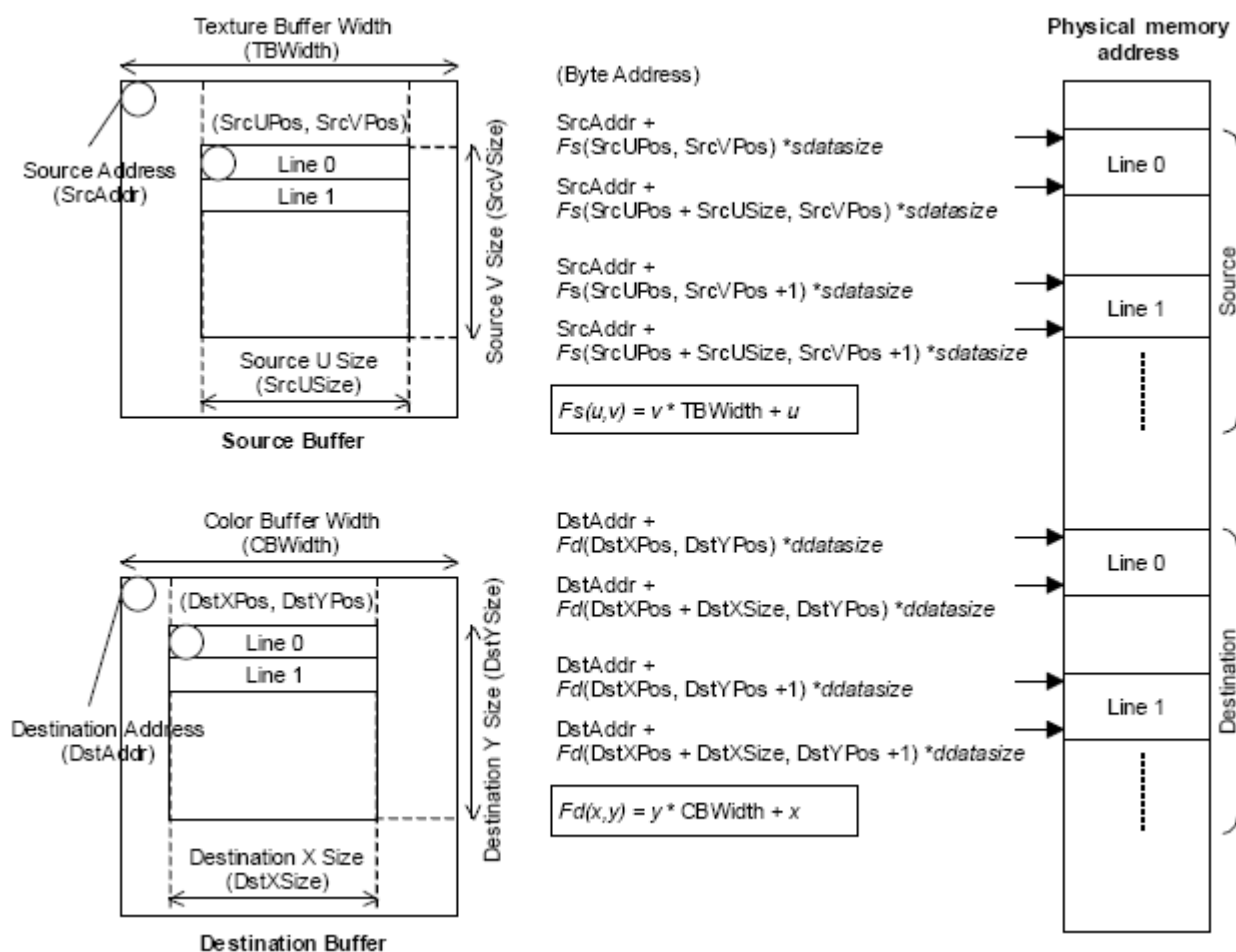
Destination Buffer –буфер назначения

SrcUSize – размер U источника

SrcVSize – размер V источника

DstXSize-размер X назначения

DstYSize-размер Y назначения



Рисунке 88 - Отношение между Текстурным адресом буфера и значением, установленным в Sprite буфере

Отношение между текстурной UV- координатой и адресом выражается следующими формулами:

Примечание: $F_s(u,v) = v * \text{TBWidth} + u$

1) 8 бит, 16 бит, 32 бит формат (sdatasize=1,2,4)

$\text{SrcAddr} + F_s(u,v) * \text{sdatasize}$

2) 4 бит формат (sdatasize=1,2,4)

$\text{SrcAddr} + (F_s(u,v) >> 1) * \text{sdatasize}$

3) 2 битный формат (sdatasize=1)

$\text{SrcAddr} + (F_s(u,v) >> 2) * \text{sdatasize}$

4) 1 битный формат (sdatasize=1)

$\text{SrcAddr} + (F_s(u,v) >> 3) * \text{sdatasize}$

					ЮФКВ.431268.005РЭ			Лист
								207
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Примечание: Размещение памяти для текстуры имеет 1 байт для каждых 8 бит в Г направлении(см. подпункт 1.2.9.3.2.2)

5)YUV формат (sdatasize=1)
 $\text{SrcAddr} + (\text{Fs}(u,v) >> 1) * \text{sdatas}$

6)LVQ формат (sdatasize=1)
 $\text{SrcAddr} + \text{Fs}(u,v) * \text{sdatas}$

Примечание:В случае LVQ формата $\text{Fs}(u,v) = (v >> 3) * (\text{TBWidth} >> 3) + (u >> 3)$

1.3.3.3.5 Устройство записи

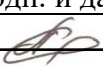
Устройство записи - реализует функцию записи блоков в памяти, к которым GT2D может иметь доступ..Прямоугольная область до 2048 x2048 пикселей (Texel) может быть записана. Возможно конвертировать цветовой формат при записи.

СЕ операция определяется в Таблице Записи Атрибутов (CAT). Подробнее о CAT, см. подпункт 1.3.3.3.5.3 Таблица Записи Атрибутов (CAT). Хотя СЕ также выполняет обнуление Цветового буфера, CAT не используется. Обнуление Цветового буфера выполняется при получении параметров от других регистров, таких как РЕ Регистр адреса Цветового буфера и т.д

1.3.3.3.5.1 Описание функций Устройства записи

.Устройство записи имеет следующие 4 функции:

- 1) Запись прямоугольной области в память (запись, используя CAT)
 Запись выполняется прямоугольной областью, определяемой в CAT(2048 x2048 максимум) от Источника в Назначение.Конверсия цветového формата определяется в CAT Word#0 Cmode[5:0].Запись и конверсия выполняются одновременно от Источника в Назначение. Возможно также конвертировать из формата, с которым нельзя обращаться прямо через GT2D в формат, с которым можно обращаться с помощью GT2D.Старт с помощью записи числа CAT в РЕ: Запись в стартовый регистр(см. подпункт 1.3.3.3.9.1.4.1).
- 2) Запись изображения данных в прямоугольную область из ЦПУ (запись, используя CAT)
 Возможно записать изображение данных в память с конверсией формата , используя функцию Устройства Записи. Заметим, что данные изображения посылаются ЦПУ , используя команду Поместить Изображение (PutImage).. Полезно установить данные из ЦПУ.Заметим, что функция смешивания не поддерживается в режиме CAT Word#0 Cmode[5:0].. Устройство Записи начинает работу установкой CAT Word#1 CPW =1. Тогда пиксельные данные посылаются командой Поместить изображение (PutImage) конвертируются как указано в CAT Word#0 Cmode[5:0] и записываются в память. Для процедуры обратитесь к подпункту 8.3.4 Поместить Изображение (PutImage)
- 3) Обнуление цветового буфера
 . Прямоугольная область обнуляется обнулением цвета. Операция обнуления выполняется на цветовом буфере, определяемом как фоновый буфер (Back Buffer). Она стартует записью CBC =1 в Обработчике пикселей(РЕ): Регистр Старта Обнуления. Возможно также стартовать автоматически при подкачке буфера (swap) (Swap операция) (см.РЕ: Регистр управления кадрами, РЕ: Регистр подкачки буфера). Обнуление области и обнуление цвета устанавливаются в РЕ:Rect LT Регистре

					ЮФКВ.431268.005РЭ			Лист
								208
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Обнуления Цветового буфера, PE:Регистре Обнуления Цветового буфера .Сглаживание цветовых переходов (Dither process) выполняется , если цветовой режим цветового буфера – это 16-битный режим и сглаживание цветовых переходов разрешено. САТ не относится к обнулению цветового буфера.

4) Запись прямоугольной области со смешиванием.

Смешивание выполняется во время записи прямоугольника. Цветовой формат определен в САТ слово №0 CMode[5:0]. Поддерживаемые цветовые форматы для записи со смешиванием - RGA8888, RGB565, RGBA5551 и RGBA4444. Цветовой формат источника и назначения должны быть одинаковыми. Разрешено или не разрешено смешивание определяется в PE: СЕ Регистре Разрешения Смешивания. Функция смешивания определена в следующих регистрах.

PE:Регистр функции Смешивания.

PE:Регистр источника констант цветов

PE:Регистр назначения констант цветов

PE:Регистр амплитуды затухания изображения (Fade Attenuation Ratio Register)

Старт производится записью САТ номера в PE: Регистр Записи Старта(См. подпункт 1.3.3.3.9.1.4.1)

Примечание 1

Устройство Записи манипулирует с содержимым памяти независимо от пиксельных кэшей (Текстурного и кэша Цветов) в Обработчике пикселей(PE). Таким образом в случае доступа к одной и той же области памяти Sprite Обработчик и Обработчик пикселей (PE) кэш – операция такая как стирание (flush) или Сделать Незначимой(invalidate) необходима.

- 1 Случай, когда область, куда Sprite Обработчик отображается, записывается в другую область Устройством Записи.
Обнуление цветового КЭШа необходимо перед стартом записи, потому что сгенерированные Sprite Обработчиком пиксели могут остаться в Цветовом КЭШе.
- 2 Случай, когда текстурное изображение инсталлированное или записанное из другой области Устройством Записи и Sprite Обработчик это использует..
Инвалидация (сделать незначимым) текстурного кэша необходима перед Sprite отображением, потому что устаревшие данные могут остаться в Текстурном кэше

Хотя возможно одновременно обратиться к одной и той же области Sprite Обработчиком и Устройством записи , порядок выходных пикселей не определен. В случае, когда порядок важен Sprite Обработчик и Устройство Записи будут управляться последовательно обработкой прерывания “Запись Сделана (Copy Done)” или “Синхронизация PE (PE Sync)” прерыванием.

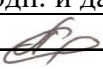
Примечание 2

Устройство Записи и Sprite Обработчик делят LVQ формат декодера. Следовательно, запись LVG формата изображения с декомпрессией и Sprite визуализацией (rendering), которая использует LVQ формат, должна выполняться эксклюзивно.

1.3.3.3.5.2 Конверсия цветовых форматов

Во время записи области, конверсия цветового формата также выполняется как показано ниже, основанная на установках CMode режима

1.3.3.3.5.2.1 ARGB8888 в(to) RGBA8888

					ЮФКВ.431268.005РЭ			Лист
								209
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

$Cd[31:0] = \{Cs[23:0], Cs[31:24]\};$

Рисунке 89 - ARGB8888 в RGBA8888

1.3.3.5.2.2 ARGB1555 в RGBA5551

$Cd[15:0] = \{Cs[14:0], Cs[15]\};$

Рисунке 90 - ARGB1555 в RGBA5551

1.3.3.5.2.3 ARGB4444 в RGBA4444

$Cd[15:0] = \{Cs[11:0], Cs[15:12]\};$

Рисунок 91 - ARGB4444 в RGBA4444

1.3.3.5.2.4 RGBA 8888 в RGB565

$Cd[15:0] = \{Cs[14:0], Cs[15]\};$

Рисунок 92 - RGBA 8888 в RGB565

1.3.3.5.2.5 RGBA1555 в RGBA5551

$Cd[15:0] = \{Cs[31:27], Cs[23:19], Cs[15:11], Cs[7]\};$

Рисунок 93 - RGBA1555 в RGBA5551

1.3.3.5.2.6 RGBA8888 в RGBA4444

$Cd[15:0] = \{Cs[31:28], Cs[23:20], Cs[15:12], Cs[7:4]\};$

Рисунок 94 - RGBA8888 в RGBA4444

1.3.3.5.2.7 RGBA8888 в LA88

$Cd[15:0] = \{Cs[31:24], Cs[7:0]\};$

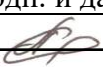
Рисунок 95 - RGBA8888 в LA88

1.3.3.5.2.8 RGBA8888 в L8

$Cd[7:0] = Cs[31:24];$

Рисунок 96 - RGBA8888 в L8

1.3.3.5.2.9 RGBA8888 в A8

					ЮФКВ.431268.005РЭ			Лист
								210
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

$Cd[7:0] = Cs[7:0];$

Рисунок 97 - RGBA8888 в A8

1.3.3.3.5.2.10 RGB565 в RGBA8888

$Cd[31:0] = \{Cs[15:11], Cs[15:13], Cs[10:5], Cs[10:9], Cs[4:0], Cs[4:2]\};$

Рисунок 98 - RGB565 в RGBA8888

1.3.3.3.5.2.11 RGB565 в RGBA5551

$Cd[15:0] = \{Cs[15:6], Cs[4:0], 1'b1\};$

Рисунок 99 - RGB565 в RGBA5551

1.3.3.3.5.2.12 RGB565 в RGBA4444

$Cd[15:0] = \{Cs[15:12], Cs[10:7], Cs[4:1], 4'b1111\};$

Рисунок 100 - RGB565 в RGBA4444

1.3.3.3.5.2.13 RGB565 в LA88

$Cd[15:0] = \{Cs[15:11], Cs[15:13], 8'b1111\_1111\};$

Рисунок 101 - RGB565 в LA88

1.3.3.3.5.2.14 RGB565 в L8

$Cd[7:0] = \{Cs[15:11], Cs[15:13]\};$

Рисунок 102 - RGB565 в L8

1.3.3.3.5.2.15 RGBA5551 в RGBA8888

$Cd[31:0] = \{Cs[15:11], Cs[15:13], Cs[10:6], Cs[10:8], Cs[5:1], Cs[5:3], \{8\{Cs[0]\}\}\};$

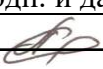
Рисунок 103 - RGBA5551 в RGBA8888

1.3.3.3.5.2.16 RGBA5551 в RGB565

$Cd[31:0] = \{Cs[15:11], Cs[10:6], Cs[10], Cs[5:1]\};$

Рисунок 104 - RGBA5551 в RGB565

1.3.3.3.5.2.17 RGBA5551 в RGBA4444

					ЮФКВ.431268.005РЭ			Лист
								211
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

$$Cd[15:0] = \{Cs[15:12], Cs[10:7], Cs[5:2], \{4\{Cs[0]\}\}\};$$

Рисунок 105 - RGBA5551 в RGBA4444

1.3.3.5.2.18 RGBA5551 в LA88

$$Cd[15:0] = \{Cs[15:11], Cs[15:13], \{8\{Cs[0]\}\}\};$$

Рисунок 106 - RGBA5551 в LA88

1.3.3.5.2.19 RGBA5551 в LA8

$$Cd[7:0] = \{Cs[15:11], Cs[15:13]\};$$

Рисунок 107 - RGBA5551 в LA8

1.3.3.5.2.20 RGBA 5551 в A8

$$Cd[7:0] = \{8\{Cs[0]\}\};$$

Рисунок 108 - RGBA 5551 в A8

1.3.3.5.2.21 RGBA4444 в RGBA8888

$$Cd[31:0] = \{Cs[15:12], Cs[15:12], Cs[11:8], Cs[11:8], Cs[7:4], Cs[7:4], Cs[3:0], Cs[3:0]\};$$

Рисунок 109 - RGBA4444 в RGBA8888

1.3.3.5.2.22 RGBA4444 в RGBA565

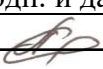
$$Cd[15:0] = \{Cs[15:12], Cs[15], Cs[11:8], Cs[11:10], Cs[7:4], Cs[7]\};$$

Рисунок 110 - RGBA4444 в RGBA565

1.3.3.5.2.23 RGBA 1555 в RGBA5551

$$Cd[15:0] = \{Cs[15:12], Cs[15], Cs[11:8], Cs[11], Cs[7:4], Cs[7], Cs[3]\};$$

Рисунок 111 – RGBA1555 в RGBA5551

					ЮФКВ.431268.005РЭ			Лист
								212
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

1.3.3.5.2.24 RGBA4444 в LA88

$$Cd[15:0] = \{Cs[15:12], Cs[15:12], Cs[3:0], Cs[3:0]\};$$

Рисунок 112 - RGBA4444 в LA88

1.3.3.5.2.25 RGBA4444 в L8

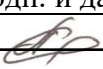
$$Cd[7:0] = \{Cs[15:12], Cs[15:12]\};$$

Рисунок 113 - RGBA4444 в L8

1.3.3.5.2.26 RGBA4444 в A8

$$Cd[7:0] = \{Cs[3:0], Cs[3:0]\};$$

Рисунок 114 - RGBA4444 в A8

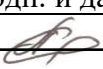
					ЮФКВ.431268.005РЭ			Лист
								213
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.3.5.2.27 LVQ1 в RGB565

```
//word0-15 : LVQ1 Compressed Texture
Color[0] = word0;
Color[1] = word1;
Color[2] = word2;
Color[3] = word3;

...

RGBAout[0][0] = Color[word4[1:0]];
RGBAout[0][1] = Color[word4[3:2]];
...
RGBAout[0][7] = Color[word4[15:14]];
RGBAout[1][0] = Color[word5[1:0]];
RGBAout[1][1] = Color[word5[3:2]];
...
RGBAout[1][7] = Color[word5[15:14]];
RGBAout[2][0] = Color[word6[1:0]];
RGBAout[2][1] = Color[word6[3:2]];
...
RGBAout[2][7] = Color[word6[15:14]];
RGBAout[3][0] = Color[word7[1:0]];
RGBAout[3][1] = Color[word7[3:2]];
...
RGBAout[3][7] = Color[word7[15:14]];
RGBAout[4][0] = Color[word8[1:0]];
RGBAout[4][1] = Color[word8[3:2]];
...
RGBAout[4][7] = Color[word8[15:14]];
RGBAout[5][0] = Color[word9[1:0]];
RGBAout[5][1] = Color[word9[3:2]];
...
RGBAout[5][7] = Color[word9[15:14]];
RGBAout[6][0] = Color[word10[1:0]];
RGBAout[6][1] = Color[word10[3:2]];
...
RGBAout[6][7] = Color[word10[15:14]];
RGBAout[7][0] = Color[word11[1:0]];
RGBAout[7][1] = Color[word11[3:2]];
...
RGBAout[7][7] = Color[word11[15:14]];
```

					ЮФКВ.431268.005РЭ			Лист
								214
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.3.3.5.2.28 LVQ2 в RGB565

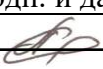
```
//word0-15 : LVQ2 Compressed Texture
// 8x4 Rectangle of Top
Color[0] = word0;
Color[1] = word1;
Color[2] = word2;
Color[3] = word3;

...

Cout[0][0] = Color[word4[1:0]];
Cout[0][1] = Color[word4[3:2]];
...
Cout[0][7] = Color[word4[15:14]];
Cout[1][0] = Color[word5[1:0]];
Cout[1][1] = Color[word5[3:2]];
...
Cout[1][7] = Color[word5[15:14]];
Cout[2][0] = Color[word6[1:0]];
Cout[2][1] = Color[word6[3:2]];
...
Cout[2][7] = Color[word6[15:14]];
Cout[3][0] = Color[word7[1:0]];
Cout[3][1] = Color[word7[3:2]];
...
Cout[3][7] = Color[word7[15:14]];

// 8x4 Rectangle of Bottom
Color[0] = word8[15:11];
Color[1] = word9[15:11];
Color[2] = word10[15:11];
Color[3] = word11[15:11];

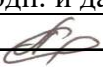
Cout[4][0] = Color[word12[1:0]];
Cout[4][1] = Color[word12[3:2]];
...
Cout[4][7] = Color[word12[15:14]];
Cout[5][0] = Color[word13[1:0]];
Cout[5][1] = Color[word13[3:2]];
...
Cout[5][7] = Color[word13[15:14]];
Cout[6][0] = Color[word14[1:0]];
Cout[6][1] = Color[word14[3:2]];
...
Cout[6][7] = Color[word14[15:14]];
Cout[7][0] = Color[word15[1:0]];
Cout[7][1] = Color[word15[3:2]];
...
Cout[7][7] = Color[word15[15:14]];
```

					ЮФКВ.431268.005РЭ			Лист
								215
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

1.3.3.3.5.2.29 LVQ4 в RGB5551

```
//word0-15 : LVQ4 Compressed Texture
ColorRGB[0] = {word0[15:6],word0[4:0]};
ColorRGB[1] = {word1[15:6],word1[4:0]};
ColorRGB[2] = {word2[15:6],word2[4:0]};
ColorRGB[3] = {word3[15:6],word3[4:0]};

RGBAout[0][0] = {ColorRGB[word6[1:0]],word4[0]};
...
RGBAout[0][7] = {ColorRGB[word6[15:14]],word4[7]};
RGBAout[1][0] = {ColorRGB[word7[1:0]],word4[8]};
...
RGBAout[1][7] = {ColorRGB[word7[15:14]],word4[15]};
RGBAout[2][0] = {ColorRGB[word8[1:0]],word5[0]};
...
RGBAout[2][7] = {ColorRGB[word8[15:14]],word5[7]};
RGBAout[3][0] = {ColorRGB[word9[1:0]],word5[8]};
...
RGBAout[3][7] = {ColorRGB[word9[15:14]],word5[15]};
RGBAout[4][0] = {ColorRGB[word12[1:0]],word10[0]};
...
RGBAout[4][7] = {ColorRGB[word12[15:14]],word10[7]};
RGBAout[5][0] = {ColorRGB[word13[1:0]],word10[8]};
...
RGBAout[5][7] = {ColorRGB[word13[15:14]],word10[15]};
RGBAout[6][0] = {ColorRGB[word14[1:0]],word11[0]};
...
RGBAout[6][7] = {ColorRGB[word14[15:14]],word11[7]};
RGBAout[7][0] = {ColorRGB[word15[1:0]],word11[8]};
...
RGBAout[7][7] = {ColorRGB[word15[15:14]],word11[15]};
```

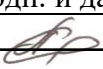
					ЮФКВ.431268.005РЭ			Лист
								216
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.3.5.2.30 LVQ5 в RGBA4444

```
//word0-15 : LVQ5 Compressed Texture
ColorRGB[0] = word0[11:0];
ColorRGB[1] = word1[11:0];
ColorRGB[2] = word2[11:0];
ColorRGB[3] = word3[11:0];
ColorA[0] = word0[15:12];
ColorA[1] = word1[15:12];
ColorA[2] = word2[15:12];
ColorA[3] = word3[15:12];

...

RGBAout[0][0] = {ColorRGB[word6[1:0]],ColorA[word4[1:0]]};
RGBAout[0][1] = {ColorRGB[word6[3:2]],ColorA[word4[1:0]]};
RGBAout[0][2] = {ColorRGB[word6[5:4]],ColorA[word4[3:2]]};
...
RGBAout[0][7] = {ColorRGB[word6[15:14]],ColorA[word4[7:6]]};
RGBAout[1][0] = {ColorRGB[word7[1:0]],ColorA[word4[9:8]]};
...
RGBAout[1][7] = {ColorRGB[word7[15:14]],ColorA[word4[15:14]]};
RGBAout[2][0] = {ColorRGB[word8[1:0]],ColorA[word5[1:0]]};
...
RGBAout[2][7] = {ColorRGB[word8[15:14]],ColorA[word5[7:6]]};
RGBAout[3][0] = {ColorRGB[word9[1:0]],ColorA[word5[9:8]]};
...
RGBAout[3][7] = {ColorRGB[word9[15:14]],ColorA[word5[15:14]]};
RGBAout[4][0] = {ColorRGB[word12[1:0]],ColorA[word10[1:0]]};
...
RGBAout[4][7] = {ColorRGB[word12[15:14]],ColorA[word10[7:6]]};
RGBAout[5][0] = {ColorRGB[word13[1:0]],ColorA[word10[9:8]]};
...
RGBAout[5][7] = {ColorRGB[word13[15:14]],ColorA[word10[15:14]]};
RGBAout[6][0] = {ColorRGB[word14[1:0]],ColorA[word11[1:0]]};
...
RGBAout[6][7] = {ColorRGB[word14[15:14]],ColorA[word11[7:6]]};
RGBAout[7][0] = {ColorRGB[word15[1:0]],ColorA[word11[9:8]]};
...
RGBAout[7][7] = {ColorRGB[word15[15:14]],ColorA[word11[15:14]]};
```

					ЮФКВ.431268.005РЭ			Лист
								217
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.3.5.2.31 YUV422 в RGBA8888

YUV422 input = { Y[1],V,Y[0],U }

```

if (yem) {
    if (Y[0] < 16) { Y[0] = 16 }; //Under Flow handling
    Y[0] = Y[0] - 16 + (Y[0] >> 4) + ((Y[0] >> 3) & 0x1); //Y component level conversion and rounding
    if (Y[0] > 255) { Y[0] = 255 }; //Over Flow handling
}
Rtmp[0] = ( (c00 * (Y[0] - p1)) >> 6 + (c01 * (U - p2)) >> 6 + (c02 * (V - p2)) >> 6 ) >> 1;
Gtmp[0] = ( (c10 * (Y[0] - p1)) >> 6 + (c11 * (U - p2)) >> 6 + (c12 * (V - p2)) >> 6 ) >> 1;
Btmp[0] = ( (c20 * (Y[0] - p1)) >> 6 + (c21 * (U - p2)) >> 6 + (c22 * (V - p2)) >> 6 ) >> 1;
R[0] = (Rtmp[0] >> 1) + (Rtmp[0] & 0x1); //rounding
G[0] = (Gtmp[0] >> 1) + (Gtmp[0] & 0x1); //rounding
B[0] = (Btmp[0] >> 1) + (Btmp[0] & 0x1); //rounding
if (R[0] < 0) { R[0] = 0 }; //Under Flow handling
if (R[0] > 255) { R[0] = 255 }; //Over Flow handling
if (G[0] < 0) { G[0] = 0 }; //Under Flow handling
if (G[0] > 255) { G[0] = 255 }; //Over Flow handling
if (B[0] < 0) { B[0] = 0 }; //Under Flow handling
if (B[0] > 255) { B[0] = 255 }; //Over Flow handling

```

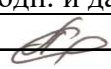
RGBA8888 output = { R[0],G[0],B[0],0xFF }

```

if (yem) {
    if (Y[1] < 16) { Y[1] = 16 }; //Under Flow detection
    Y[1] = Y[1] - 16 + (Y[1] >> 4) + ((Y[1] >> 3) & 0x1); // Y component level conversion and rounding
    if (Y[1] > 255) { Y[1] = 255 }; //Over Flow handling
}
Rtmp[1] = ( (c00 * (Y[1] - p1)) >> 6 + (c01 * (U - p2)) >> 6 + (c02 * (V - p2)) >> 6 ) >> 1;
Gtmp[1] = ( (c10 * (Y[1] - p1)) >> 6 + (c11 * (U - p2)) >> 6 + (c12 * (V - p2)) >> 6 ) >> 1;
Btmp[1] = ( (c20 * (Y[1] - p1)) >> 6 + (c21 * (U - p2)) >> 6 + (c22 * (V - p2)) >> 6 ) >> 1;
R[1] = (Rtmp[1] >> 1) + (Rtmp[1] & 0x1); // rounding
G[1] = (Gtmp[1] >> 1) + (Gtmp[1] & 0x1); // rounding
B[1] = (Btmp[1] >> 1) + (Btmp[1] & 0x1); // rounding
if (R[1] < 0) { R[1] = 0 }; //Under Flow handling
if (R[1] > 255) { R[1] = 255 }; //Over Flow handling
if (G[1] < 0) { G[1] = 0 }; //Under Flow handling
if (G[1] > 255) { G[1] = 255 }; //Over Flow handling
if (B[1] < 0) { B[1] = 0 }; //Under Flow handling
if (B[1] > 255) { B[1] = 255 }; //Over Flow handling

```

RGBA8888 output = { R[1],G[1],B[1],0xFF }

					ЮФКВ.431268.005РЭ			Лист
								218
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.3.4.5.2.32 RGBA8888 в YUV422

```

RGBA8888 input = { R[0],G[0],B[0],A[0] } //A[0]is not used

Ytmp[0] = ( (c00 * R[0]) >> 6 + (c01 * G[0]) >> 6 + (c02 * B[0]) >> 6 ) >> 3;
Utmp[0] = ( (c10 * R[0]) >> 6 + (c11 * G[0]) >> 6 + (c12 * B[0]) >> 6 ) >> 3;
Vtmp[0] = ( (c20 * R[0]) >> 6 + (c21 * G[0]) >> 6 + (c22 * B[0]) >> 6 ) >> 3;
Y[0] = (Ytmp[0] >> 1) + p1 + (Ytmp[0] & 0x1); // addition of parameter value and rounding
U[0] = (Utmp[0] >> 1) + p2 + (Utmp[0] & 0x1); // addition of parameter value(Offset Binary) and rounding
V[0] = (Vtmp[0] >> 1) + p2 + (Vtmp[0] & 0x1); // addition of parameter value(Offset Binary) and rounding
if (Y[0] < 0) { Y[0] = 0 }; //Under Flow handling
if (Y[0] > 255) { Y[0] = 255 }; //Over Flow handling
if (U[0] < 0) { U[0] = 0 }; //Under Flow handling
if (U[0] > 255) { U[0] = 255 }; //Over Flow handling
if (V[0] < 0) { V[0] = 0 }; //Under Flow handling
if (V[0] > 255) { V[0] = 255 }; //Over Flow handling
if (yem) {
    Y[0] = Y[0] - (Y[0] >> 4) - ((Y[0] >> 3) & 0x1) + 16; // Y component level conversion and rounding
    if (Y[0] > 255) { Y[0] = 255 }; //Over Flow handling
}

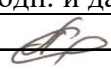
RGBA8888 input = { R[1],G[1],B[1],A[1] } // A[1] is not used

Ytmp[1] = ( (c00 * R[1]) >> 6 + (c01 * G[1]) >> 6 + (c02 * B[1]) >> 6 ) >> 3;
Utmp[1] = ( (c10 * R[1]) >> 6 + (c11 * G[1]) >> 6 + (c12 * B[1]) >> 6 ) >> 3;
Vtmp[1] = ( (c20 * R[1]) >> 6 + (c21 * G[1]) >> 6 + (c22 * B[1]) >> 6 ) >> 3;
Y[1] = (Ytmp[1] >> 1) + p1 + (Ytmp[1] & 0x1); // addition of parameter value and rounding
U[1] = (Utmp[1] >> 1) + p2 + (Utmp[1] & 0x1); // addition of parameter value(Offset Binary) and rounding
V[1] = (Vtmp[1] >> 1) + p2 + (Vtmp[1] & 0x1); // addition of parameter value(Offset Binary) and rounding
if (Y[1] < 0) { Y[1] = 0 }; //Under Flow handling
if (Y[1] > 255) { Y[1] = 255 }; //Over Flow handling
if (U[1] < 0) { U[1] = 0 }; //Under Flow handling
if (U[1] > 255) { U[1] = 255 }; //Over Flow handling
if (V[1] < 0) { V[1] = 0 }; //Under Flow handling
if (V[1] > 255) { V[1] = 255 }; //Over Flow handling
if (yem) {
    Y[1] = Y[1] - (Y[1] >> 4) - ((Y[1] >> 3) & 0x1) + 16; // Y component level conversion and rounding
    if (Y[1] > 255) { Y[1] = 255 }; //Over Flow handling
}

if (uvem) {
    U = U[0]; // use U0, V0 for 2 pixels
    V = V[0]; // use U0, V0 for 2 pixels
} else {
    U = (U[0] + U[1]) >> 1; // averaging
    V = (V[0] + V[1]) >> 1; // averaging
}

YUV422 output = { Y[1],V,Y[0],U }

```

					ЮФКВ.431268.005РЭ			Лист
								219
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

1.3.3.4.5.2.33 YUV422 в RGBA4444

YUV422 input = { Y[1],V,Y[0],U }

```

if (yem) {
    if (Y[0] < 16) { Y[0] = 16 }; // Under Flow handling
    Y[0] = Y[0] - 16 + (Y[0] >> 4) + ((Y[0] >> 3) & 0x1); // Y component level conversion and rounding
    if (Y[0] > 255) { Y[0] = 255 }; // Over Flow handling
}
Rtmp[0] = ( (c00 * (Y[0] - p1)) >> 6 + (c01 * (U - p2)) >> 6 + (c02 * (V - p2)) >> 6 ) >> 1;
Gtmp[0] = ( (c10 * (Y[0] - p1)) >> 6 + (c11 * (U - p2)) >> 6 + (c12 * (V - p2)) >> 6 ) >> 1;
Btmp[0] = ( (c20 * (Y[0] - p1)) >> 6 + (c21 * (U - p2)) >> 6 + (c22 * (V - p2)) >> 6 ) >> 1;
R[0] = (Rtmp[0] >> 1) + (Rtmp[0] & 0x1); // rounding
G[0] = (Gtmp[0] >> 1) + (Gtmp[0] & 0x1); // rounding
B[0] = (Btmp[0] >> 1) + (Btmp[0] & 0x1); // rounding
if (R[0] < 0) { R[0] = 0 }; //Under Flow handling
if (R[0] > 255) { R[0] = 255 }; //Over Flow handling
if (G[0] < 0) { G[0] = 0 }; //Under Flow handling
if (G[0] > 255) { G[0] = 255 }; //Over Flow handling
if (B[0] < 0) { B[0] = 0 }; //Under Flow handling
if (B[0] > 255) { B[0] = 255 }; //Over Flow handling

```

RGBA8888 output = { R[0],G[0],B[0],0xFF }

RGBA4444 output = { R[0][7:4],G[0][7:4],B[0][7:4],0xF }

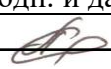
```

if (yem) {
    if (Y[1] < 16) { Y[1] = 16 }; //Under Flow detection
    Y[1] = Y[1] - 16 + (Y[1] >> 4) + ((Y[1] >> 3) & 0x1); // Y component level conversion and rounding
    if (Y[1] > 255) { Y[1] = 255 }; //Over Flow handling
}
Rtmp[1] = ( (c00 * (Y[1] - p1)) >> 6 + (c01 * (U - p2)) >> 6 + (c02 * (V - p2)) >> 6 ) >> 1;
Gtmp[1] = ( (c10 * (Y[1] - p1)) >> 6 + (c11 * (U - p2)) >> 6 + (c12 * (V - p2)) >> 6 ) >> 1;
Btmp[1] = ( (c20 * (Y[1] - p1)) >> 6 + (c21 * (U - p2)) >> 6 + (c22 * (V - p2)) >> 6 ) >> 1;
R[1] = (Rtmp[1] >> 1) + (Rtmp[1] & 0x1); // rounding
G[1] = (Gtmp[1] >> 1) + (Gtmp[1] & 0x1); // rounding
B[1] = (Btmp[1] >> 1) + (Btmp[1] & 0x1); // rounding
if (R[1] < 0) { R[1] = 0 }; //Under Flow handling
if (R[1] > 255) { R[1] = 255 }; //Over Flow handling
if (G[1] < 0) { G[1] = 0 }; //Under Flow handling
if (G[1] > 255) { G[1] = 255 }; //Over Flow handling
if (B[1] < 0) { B[1] = 0 }; //Under Flow handling
if (B[1] > 255) { B[1] = 255 }; //Over Flow handling

```

RGBA8888 output = { R[1],G[1],B[1],0xFF }

RGBA4444 output = { R[1][7:4],G[1][7:4],B[1][7:4],0xF }

					ЮФКВ.431268.005РЭ			Лист
								220
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.4.5.2.34 RGBA4444 в YUV422

```

RGBA4444 input = { R[0],G[0],B[0],A[0] } //A[0] is not used
RGBA8888 input = { R[0]R[0],G[0]G[0],B[0]B[0],A[0]A[0] } //A[0] is not used

Ytmp[0] = ( (c00 * R[0]) >> 6 + (c01 * G[0]) >> 6 + (c02 * B[0]) >> 6 ) >> 3;
Utmp[0] = ( (c10 * R[0]) >> 6 + (c11 * G[0]) >> 6 + (c12 * B[0]) >> 6 ) >> 3;
Vtmp[0] = ( (c20 * R[0]) >> 6 + (c21 * G[0]) >> 6 + (c22 * B[0]) >> 6 ) >> 3;
Y[0] = (Ytmp[0] >> 1) + p1 + (Ytmp[0] & 0x1); // addition of parameter value and rounding
U[0] = (Utmp[0] >> 1) + p2 + (Utmp[0] & 0x1); // addition of parameter value(Offset Binary) and rounding
V[0] = (Vtmp[0] >> 1) + p2 + (Vtmp[0] & 0x1); // addition of parameter value(Offset Binary) and rounding
if (Y[0] < 0) { Y[0] = 0 }; //Under Flow handling
if (Y[0] > 255) { Y[0] = 255 }; //Over Flow handling
if (U[0] < 0) { U[0] = 0 }; //Under Flow handling
if (U[0] > 255) { U[0] = 255 }; //Over Flow handling
if (V[0] < 0) { V[0] = 0 }; //Under Flow handling
if (V[0] > 255) { V[0] = 255 }; //Over Flow handling
if (yem) {
    Y[0] = Y[0] - (Y[0] >> 4) - ((Y[0] >> 3) & 0x1) + 16; // Y component level conversion and rounding
    if (Y[0] > 255) { Y[0] = 255 }; //Over Flow handling
}

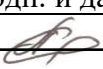
RGBA4444 input = { R[1],G[1],B[1],A[1] } //A[0]is not used
RGBA8888 input = { R[1]R[1],G[1]G[1],B[1]B[1],A[1]A[1] } //A[1] is not used

Ytmp[1] = ( (c00 * R[1]) >> 6 + (c01 * G[1]) >> 6 + (c02 * B[1]) >> 6 ) >> 3;
Utmp[1] = ( (c10 * R[1]) >> 6 + (c11 * G[1]) >> 6 + (c12 * B[1]) >> 6 ) >> 3;
Vtmp[1] = ( (c20 * R[1]) >> 6 + (c21 * G[1]) >> 6 + (c22 * B[1]) >> 6 ) >> 3;
Y[1] = (Ytmp[1] >> 1) + p1 + (Ytmp[1] & 0x1); // addition of parameter value and rounding
U[1] = (Utmp[1] >> 1) + p2 + (Utmp[1] & 0x1); // addition of parameter value(Offset Binary) and rounding
V[1] = (Vtmp[1] >> 1) + p2 + (Vtmp[1] & 0x1); // addition of parameter value(Offset Binary) and rounding
if (Y[1] < 0) { Y[1] = 0 }; //Under Flow handling
if (Y[1] > 255) { Y[1] = 255 }; //Over Flow handling
if (U[1] < 0) { U[1] = 0 }; //Under Flow handling
if (U[1] > 255) { U[1] = 255 }; //Over Flow handling
if (V[1] < 0) { V[1] = 0 }; //Under Flow handling
if (V[1] > 255) { V[1] = 255 }; //Over Flow handling
if (yem) {
    Y[1] = Y[1] - (Y[1] >> 4) - ((Y[1] >> 3) & 0x1) + 16; // Y component level conversion and rounding
    if (Y[1] > 255) { Y[1] = 255 }; //Over Flow handling
}

if (uvem) {
    U = U[0]; // use U0, V0 for 2 pixels
    V = V[0]; // use U0, V0 for 2 pixels
} else {
    U = (U[0] + U[1]) >> 1; // averaging
    V = (V[0] + V[1]) >> 1; // averaging
}

YUV422 output = { Y[1],V,Y[0],U }

```

					ЮФКВ.431268.005РЭ			Лист
								221
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

1.3.3.3.3 Таблица записи атрибутов (CAT)

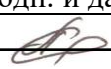
Используются 8 входов Таблицы Записи атрибутов (CAT) Вход CAT состоит из 4 слов. Размер прямоугольника, значения смещений для записи источника и назначения определяются в пиксельных (texel) значениях независимо от преобразуемого формата

Слово № 0

Таблица 153 - Таблица атрибутов CAT

	31/15	30/14	29/13	28/12	27/11	26/10	25/9	24/8	23/7	22/6	21/5	20/4	19/3	18/2	17/1	16/0
31-16	CMode[5:0]						zero			SrcYSize[10:4]						
15-0	SrcYSize[3:0]				0		SrcXSize[10:0]									

Символ	Название	Описание
CMode	Copy Mode	Спецификация режима записи операции Простая запись(нет цветовой конверсии) 000000: 32-бит простая запись 000001: 16-бит простая запись 000010: 8-бит простая запись Текстурная инсталляция 000100: A8R8G8B8 to RGBA8888 000101: ARGB1555 to RGBA5551 000110: A4R4G4B4 to RGBA4444 Цветовой буфер в (to) текстурный буфер 001000: RGBA8888 to RGB565 001001: RGBA8888 to RGBA5551 001010: RGBA8888 to RGBA4444 001011: RGBA8888 to LA88 001100: RGBA8888 to L8 001101: RGBA8888 to A8 010000: RGB565 to RGBA8888 010001: RGB565 to RGBA5551 010010: RGB565 to RGBA4444 010011: RGB565 to LA88 010100: RGB565 to L8 010101: (RGB565 to A8) Текстурный буфер в (to) текстурный буфер 011000: RGBA5551 to RGBA8888 011001: RGBA5551 to RGB565 011010: RGBA5551 to RGBA4444 011011: RGBA5551 to LA88 011100: RGBA5551 to L8 011101: RGBA5551 to A8 100000: RGBA4444 to RGBA8888 100001: RGBA4444 to RGB565 100010: RGBA4444 to RGBA5551 100011: RGBA4444 to LA88 100100: RGBA4444 to L8 100101: RGBA4444 to A8 101000: LA88 to L8 101001: LA88 to A8 LVQ декомпрессия

					ЮФКВ.431268.005РЭ			Лист
								222
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение Таблица 153

Символ	Название	Описание
		110000: LVQ1 to RGB565 110001: LVQ2 to RGB565 110010: Reserved 110011: LVQ4 to RGBA5551 110100: LVQ5 to RGBA4444 YUV в/из RGB 111000: YUV422 to RGBA8888 111001: RGBA8888 to YUV422 111010: YUV422 to RGBA4444 111011: RGBA4444 to YUV422 Запись со смешиванием (Когда функция смешивания разрешена) 000000: RGB565 со смешиванием 000001: RGBA8888 со смешиванием 000010: RGBA5551 со смешиванием 000011: RGBA4444 со смешиванием Else : зарезервировано
SrcYSize	Source Y Size	Запись источника в верт.напр. size – 1 Определяемое в кол. пикселей (texel)
SrcXSize	Source X Size	Запись источника в horiz.напр. size –1 Определяемое значением пикселей (texel) (Примечание 1)

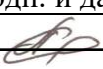
Примечание 1

В случае RGBA8888 или RGBA4444 в YUV422 конверсии, поддерживаются только четный размер источника X. Таким образом LSB SrcXSize (SrcXSize[0]), будет всегда установлено в 1. Аппаратное обеспечение внутри работает, предполагая SrcXSize[0] независимо от устанавливаемого числа.

Слово №1

	31/15	30/14	29/13	28/12	27/11	26/10	25/9	24/8	23/7	22/6	21/5	20/4	19/3	18/2	17/1	16/0
31-16	RVD	CDM	CPW	zero	DstOff[10:0]											
15-0	zero				SrcOff[10:0]											

Символ	Название	Описание
RVD	Обратное направление	Спецификация записи в обратном направлении 0: Запись в нормальном направлении 1: Запись в обратном направлении
CDM	Маска Запись Сделана	Спецификация маски уведомления завершения записи(CPDONE) 0: Нет маски CPDONE (CPDONE прерывание будет генериться по завершению функции записи) 1: Маскируемое CPDONE
CPW	Режим Записи ЦПУ	Спецификация режима записи ЦПУ 0: Нормальная операция записи (запись прямоугольной области или обнуление буфера) 1: ЦПУ - операция записи (режим Поместить изображение)(см. подпункт 1.3.3.3.5.1) Операция изменяется установками цветового формата (Примечание 3)

					ЮФКВ.431268.005РЭ			Лист
								223
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение Таблица 153

		Когда CPW=1, количество пикселей (texel), определяемых в SrcXSize и количество пикселей (texel) , записываемых ЦПУ должны быть идентичны. (Примечание 4)
DstOff	Смещение назначения	Записать смещение назначения Определяется количеством пикселей (texel)
SrcOff	Смещение источника	Записать смещение источника Определяется количеством пикселей (texel)

Слово №2

	31/15	30/14	29/13	28/12	27/11	26/10	25/9	24/8	23/7	22/6	21/5	20/4	19/3	18/2	17/1	16/0
31-16	zero				SrcAddr[27:16]											
15-0	SrcAddr[15:0]															

Символ	Название	Описание
SrcAddr	Адрес источника	Записать адрес источника 32 –бит ширины формат может только быть записан с 4 байтовой границей адреса и 16 –бит ширины формат с 2 байтовой границей адреса (Примечание 2)

Примечание 2

Замечание для YUV422 в RGBA8888 или RGBA4444 конверсии.

При выравнивании данных для YUV422 формата – 4 байтовая граница. и 4 байта(1 слово) состоит из 2 пикселей. В случае если стартовый пиксель – четное число, установите SrcAddr[1 =1. Это то же самое, когда CPW =1 (Режим Поместить изображение). См. также Примечание 5.

Слово №3

	31/15	30/14	29/13	28/12	27/11	26/10	25/9	24/8	23/7	22/6	21/5	20/4	19/3	18/2	17/1	16/0
31-16	zero				DstAddr[27:16]											
15-0	DstAddr[15:0]															

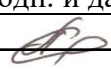
Символ	Название	Описание
DstAddr	Адрес назначения	Записать адрес назначения 32 –бит ширины формат может только быть записан с 4 байтовой границей адреса и 16 –бит ширины формат с 2 байтовой границей адреса (Примечание 2)

Примечание 3

Слово № 1 (RVD, CPW)

Операция конверсии формата изменяется цветовым форматом, RVD и CPW установками.

Цветовой формат	RVD	CPW	Операция устройства записи
LVQ		0	Формат выполняемой конверсии(в нормальн. напр)
		1	Устройство записи не работает
Другое, чем LVQ	0	0	Формат выполняемой конверсии(в нормальн. напр)
	1	0	Формат выполняемой конверсии(в обратном. напр)
		1	Формат конверсии выполняемой в режиме записи

					ЮФКВ.431268.005РЭ			Лист
								224
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

Примечание 4

Слово № 1 (CPW)

Когда CPW=1, количество пикселей (texel), определяемых в SrcXSize, и количество пикселей (texel), которое должно быть записано в ЦПУ, должны быть идентичны. Хотя несовместимость установок запрещена и конверсия может быть не выполнена корректно, аппаратное обеспечение работает следующим образом.

Правильная конверсия не выполняется, когда счетчик установки пикселей и счетчик записи не совпадают.

Когда счетчик записи больше: счетчик установки пикселей до старшего значения (Up) конвертируется нормально, оставшиеся записываемые данные отбрасываются

. Когда счетчик записи меньше: Должно быть Обнуление(Flush), чтобы закончить точно.

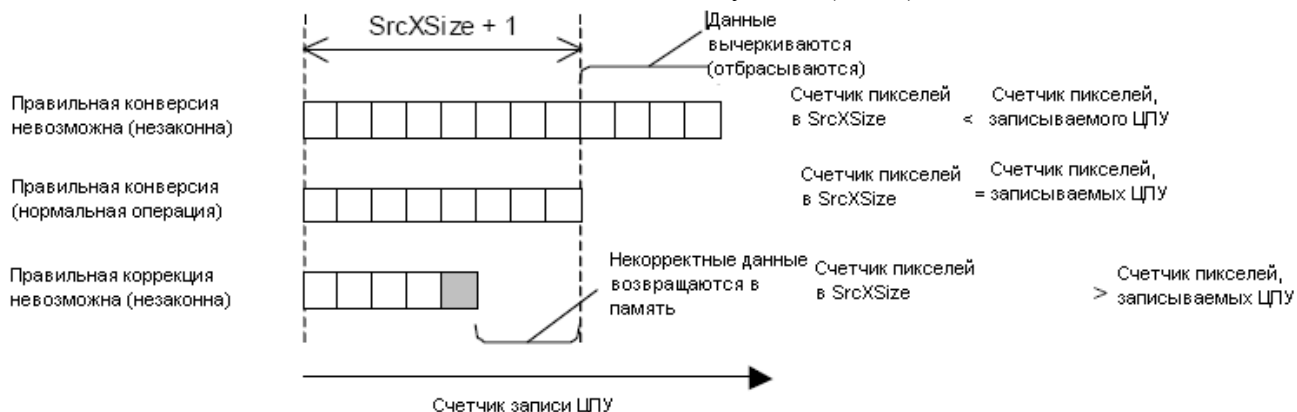


Рисунок 115 - Конверсия при различных соотношениях счетчика пикселей источника и счетчика записи.

Примечание 5

Слово №0 (SrcAddr)

YUV422 данные предназначены для памяти с 4-х байтовой границей.

SrcAddr[27:0] определяется в RGB устройстве источника изображения, использующего 2 байтовую границу.

					ЮФКВ.431268.005РЭ			Лист
								225
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

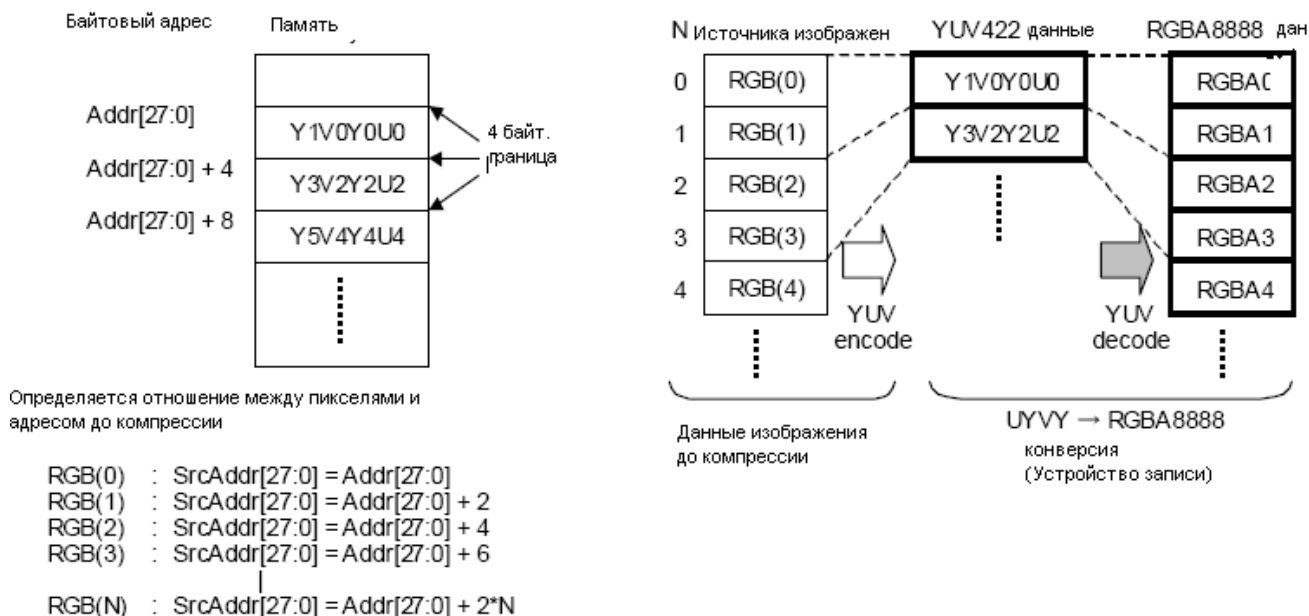


Рисунок 116 - Отношение между адресом и данными при конверсии форматов YUV422 и RGBA8888

1.3.3.3.5.4 Как сделать установку(set up) Таблицы атрибутов CAT

CAT устанавливается во встроенной памяти CAT RAM GT2D ядра. CAT RAM организована следующим образом.

					ЮФКВ.431268.005РЭ			Лист
								226
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		14.11.11		18212-1				

CAT RAM 32 bit×32word		address
CAT 7		0x1C
CAT 6		0x18
CAT 5		0x14
CAT 4		0x10
CAT 3		0x0C
CAT 2		0x08
CAT 1		0x04
CAT 0	word#3	0x03
	word#2	0x02
	word#1	0x01
	word#0	0x00

Рисунок 117 - Организация таблицы атрибутов CAT

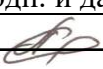
Процедура установки следующая.

- 1 Установить следующие параметры в РЕ: Регистр таблицы адресов (См. подпункт.1.3.3.3.9.1.2.7)
TSL[2:0] 110 (Определить CAT RAM)
Установить адрес старта для неустановленного (32 битовый адрес) в TAD[7:0]
- 2 Использовать команду Записи в РЕ таблицу, чтобы записать вход в CAT. (См. подпункт 1.3.3.3.7.4.2)

1.3.3.3.6 Устройство макрокоманд

Устройство макрокоманд (CME) выполняет ПДП передачи из области внешней памяти в Sprite FIFO. SAT (Таблица Sprite атрибутов) должна быть размещена во внешней памяти. Квитирование (handshake), для того, чтобы избежать переполнения –это обязанность аппаратного обеспечения. В случае, когда ЦПУ посылает (записывает) SAT данные в Sprite FIFO, программное обеспечение должно заботиться о том, чтобы Sprite FIFO не переполнилось чтением доступных Sprite FIFO слов (см. подпункт 1.3.3.3.8.18 Sprite FIFO регистр Статуса) Таким образом загрузка ЦПУ должна быть исключена использованием CME, чтобы послать SAT данные в Sprite FIFO.

- ☐ Данные макрокоманд должны предназначаться для памяти со словной границей(=4 байтовое выравнивание). Завершение передачи уведомляется прерыванием (Макрокоманда Сделана (CMDONE)).

					ЮФКВ.431268.005РЭ			Лист
								227
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

- Когда ПДП макрокоманда обрабатывается, вторая макрокоманда может быть задана. Аппаратное обеспечение задерживает вторую ПДП до завершения предыдущей ПДП. CMPND(Подвешивание макрокоманды)=1 Регистра Статуса Занятости (см. подпункт 1.3.3.3.8.10) указывает, что зависла макрокоманда ПДП. Когда обработка ПДП завершена, задержанная макрокоманда ПДП выполняется.
- Когда макрокоманда выполняется, AFW поле Регистра Статуса FIFO, которое указывает емкость FIFO для FIFO становится 0. Если ЦПУ записывает данные в это время, происходит прерывание переполнение FIFO и записываемые данные выбрасываются.

Для процедуры старта (startup), пожалуйста, посмотрите описание следующих регистров в Регистрах Распределения Памяти. Относящихся к Устройству макрокоманд.

Адрес	Чтение./Запись	Развание регистра	Начальное значение
0x0056	Чтение./Запись	Регистр макрокоманд	0x0000 0000
0x0054	Чтение./Запись	Регистр счетчика слов макрокоманд	0x0000 0000

Рисунок 118 - Регистры Устройства макрокоманд для процедуры старта

1.3.3.3.7 Команды GT2D

1.3.3.3.7.1 Спецификация командного пакета

Командный пакет состоит из 1 слова заголовка, тела с максимальной длиной 4095 и 1 слова окончания. Слово окончания указывает конец командного пакета и значение всегда 0xdecaface. Формат, в котором слово окончания пропущено, тоже поддерживается, и это нормально используется. Чтобы установить, что слово окончания проверяется, устанавливается CNKTRM для Вспомогательного Управляющего регистра

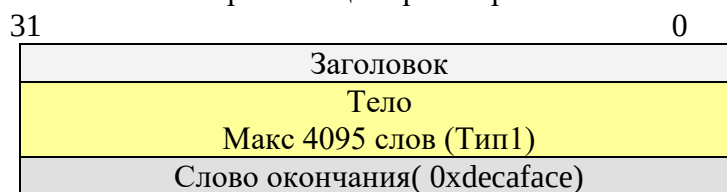


Рисунок 119 - Формат командного пакета

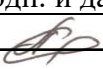
1.3.3.3.7.2 Определение заголовка

Блок заголовка указывает тип команды и длину командного пакета. Длина команды –это число слов в Телe. Существует 4 типа заголовка команды.

Формат определяется старшим битом заголовка.

Бит[31] =1	Команда типа 0	(не используется)
Бит [31:30] =01	Команда типа 1	
Бит [31:29] =001	Команда типа 2	(не используется)
Бит [31:29] =000	Команда типа 3	(NOP)

1.3.3.3.7.2.1 Команда типа 0

					ЮФКВ.431268.005РЭ			Лист
								228
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

31	0
1	N/A

Рисунок 120 - Определение заголовка команды типа 0

Тип 0 не используется в ядре GT2D

1.3.3.3.7.2.2 Команда типа 1

31	30	29	24	23	12	11	0
0	1	Opcode[5:0]	Option[11:0]	Length[11:0]			

Рисунок 121 - Определение заголовка команды типа 1

Длина (Length) это счетчик слов для Тела (Body), который не включает Слово окончания. Значение Length не должно меняться даже для формата со словом окончания. Все GT2D команды, другие кроме NOP Типа1.

1.3.3.3.7.2.3 Команда типа 2

31	29	28	0
0	0	1	N/A

Рисунок 122 - Определение заголовка команды типа 2

Тип 2 не используется в ядре GT2D

1.3.3.3.7.2.4 Команда типа 3

31	29	28	0
0	0	0	All 0's

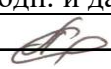
Рисунок 123 - Определение заголовка команды типа 1

NOP только команда типа 3

1.3.3.3.7.3 Список команд GT2D

Таблица 154 - Команды GT2D

Тип	Код операции	Команда	Опция	Примечание
3	--	NOP		NOP
1	0x02 -0x07	Зарезервировано		Зарезервировано
1	0x08	Запись в РЕ регистр	Адр	Запись в Регистр Обработчика пикселей
1	0x09	Доступ к РЕ таблице	0	Запись в таблицу РЕ
1			1	Чтение таблицы РЕ
1	0x0A	Поместить изображение	0	Поместить изображение в буфер
1	0x11-0x17	Зарезервировано		Зарезервировано
1	0x18	Чтение РЕ регистра	Адр	Чтение из Регистра Обработчика пикселей
1	0x19-0x10	Зарезервировано		Зарезервировано
1	0x1A	Читать пиксел	0	

					ЮФКВ.431268.005РЭ			Лист
								229
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.3.7.4 Подробное описание каждой команды

1.3.3.3.7.4.1 NOP(Тип 3)

31	24	23	12	11	0
0000	0000	0000	0000	0000	0000

заголовок

Рисунок 124 - Команда NOP

Слово окончания никогда не добавляется к NOP команде

1.3.3.3.7.4.2 Запись в РЕ регистры

Это команда записи в группу регистров в Обработчике пикселей. Это возможно записать успешно по адресу, определенному в поле Option . См. подпункт 1.3.3.3.9.1.1. для адреса Регистров Обработчика пикселей.

31	24	23	12	11	0
0100	1000	00aa	aaaa	aaaa	1111
dddd	dddd	dddd	dddd	dddd	dddd
:	:	:	:	:	:
1101	1110	1100	1010	1111	1010

Рисунок 125 - Запись в РЕ регистры

a =адрес, длина l =длина тела

d= данные

слово окончания (0xdecaface)

1.3.3.3.7.4.3 Доступ в РЕ таблицу

1.3.3.3.7.4.3.1 Запись в РЕ таблицу

Это команда записи в следующие таблицы в РЕ

- (1) Таблицу просмотра индексов (Index Lookup Table)
- (2) CAT (Таблицу записи атрибутов)

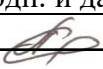
31	24	23	12	11	0
0100	1001	0000	0000	0000	1111
dddd	dddd	dddd	dddd	dddd	dddd
:	:	:	:	:	:
1101	1110	1100	1010	1111	1010

l =длина тела

d= данные

Рисунок 126- Запись в РЕ таблицу

1.3.3.3.7.4.3.2 Чтение РЕ таблицы

					ЮФКВ.431268.005РЭ		Лист
							230
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2	 14.11.11		18212-1				

Это команда чтения из PE таблиц. Тип таблицы назначения и адрес в таблице устанавливаются в Регистре Адреса PE Таблицы. (См. подпункт 1.3.3.3.9.1.2.7) Данные считываются в Регистры Распределения Памяти: Регистр Чтения Обратно (см. подпункт 1.3.3.3.8.9) и завершение чтения уведомляется прерыванием Чтение Обратно Сделано (RBDONE) (см. подпункт 1.3.3.3.8.6)

31	24	23		12	11		0
0100	1001	0000	0000	0001	0000	0000	0000
1101	1110	1100	1010	1111	1010	1100	1110

длина =0

слово окончания (0xdecaface)

Рисунок 127 - Чтение PE таблицы

1.3.3.3.7.4.4 Поместить изображение

Функция Поместить Изображение выполняется с использованием функции Устройства Записи PE. Процедура обеспечивает следующее:

- 1 Установить прямоугольную область, формат пикселей и т.д, отображаемые в САТ.
В это время установить бит CPW Слово №1 САТ. в 1.
- 1 Определить соответствующую САТ и стартовать Устройство Записи (PE: Регистр Записи Старта)
- 2 Использовать команду Поместить Изображение, чтобы записать Пиксельные данные.
- 3 Записать CWF бит =1 в PE: Регистр записи CPU FLUSH. Это будет завершать операцию Устройства Записи и обнуление (flush) оставшихся пикселей во внутреннем FIFO (Примечание 1)

Примечание 1

Если число пиксельных данных, передаваемых командой Поместить изображение идентично или больше , чем количество данных, определяемых в САТ,flush операция не обязательна.

31	24	23		12	11		0
0100	1010	0000	0000	0000	1111	1111	1111
dddd	dddd	dddd	dddd	dddd	dddd	dddd	dddd
:	:	:	:	:	:	:	:
1101	1110	1100	1010	1111	1010	1100	1110

l =длина тела

d= данные

слово окончания (0xdecaface)

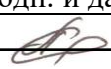
Рисунок 128 - Команда Поместить изображение

Примечание 2

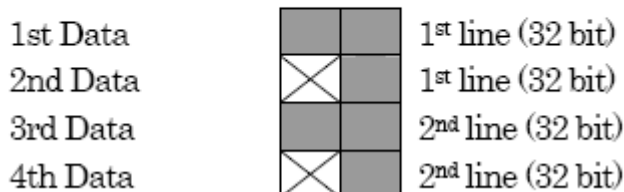
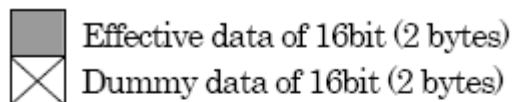
Когда “X size не выровнен по 4-х байтовой границе”и“Ysize больше, чем 2 линий”необходимо добавить “болваночные данные(dummy data), для того , чтобы

Например,

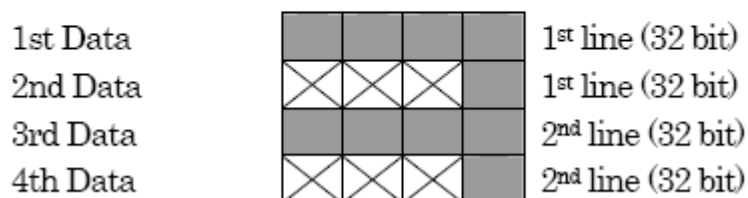
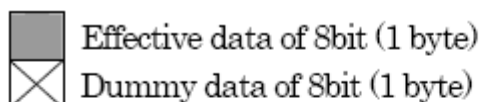
Cmode=0x1 (простая запись 16 бит)

					ЮФКВ.431268.005РЭ			Лист
								231
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

Xsize - 3пиксела, Ysize - 2 пиксела.



Например,
Cmode=0x2 (простая запись 8 бит)
Xsize -5пикселей. Ysize - 2 пиксела



где effective data – действительные данные

Рисунок 129 - Выравнивание данных в команде Поместить изображение

1.3.3.3.7.4.5 Считать РЕ регистр

Это команда чтения из группы регистров в РЕ. Считывается значение регистра для адреса определенное в поле адреса. Когда команда выполняется, результаты чтения помещаются в Регистр чтения обратно Регистров Распределения памяти(см. подпункт 0). См. подпункт 1.3.3.3.9.1.1 для адресации РЕ регистров..

31	24	23	12	11	0
0101	1000	00aa	aaaa	aaaa	0000 0000 0000
1101	1110	1100	1010	1111	1010 1100 1110

a =адрес, длина =0
слово окончания (0xdecaface

Рисунок 130 - Команда Считать РЕ регистр

1.3.3.3.7.4.6 Считать пиксел

Значение пиксела для цветового буфера, определяемого как Обратный буфер (Back Buffer) (буфер отображения предмета на заднем плане кадрового буфера во время двойной буферизации) в точке выполнения этой команды, считывается обратно.

Какой цветовой буфер определен как Обратный буфер показано в СВВ[1:0] Регистре Статуса Занятости Регистров Распределения Памяти. (см. подпункт 1.3.3.3.8.10). Считанное значение

					ЮФКВ.431268.005РЭ			Лист
								232
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2				14.11.11		18212-1		

устанавливается в Регистре Считать обратно Обратно Регистров Распределения Памяти (см. подпункт 1.3.3.3.8.9)

31	24	23		12	11		0
0101	1010	0000	0000	0000	0000	0000	0001
0000	0уууу	уууу	уууу	0000	0ххх	хххх	хххх
1101	1110	1100	1010	1111	1010	1100	1110

длина =1

х-х координата. у-у координата

слово окончания (0xdecaface)

Примечание 1

В случае если цветового формат YUV422, пиксельный формат чтения обратно – RGBA8888. Считываемый обратно пиксел конвертируется из YUV422 в RGBA8888

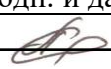
Рисунок 131 - Команда Считать пиксел

1.3.3.3.8 Регистры распределения памяти

1.3.3.3.8.1 Список регистров распределения памяти

Таблица 155 - Регистры распределения памяти

Адрес	Чт/Зп	Название регистра	Нач. значение
0x0000	Зп	FIFO команд	Не применяется
0x0000	Чт	Статус регистр FIFO команд	0x0000-0004
0x0004		Зарезервировано	
0x0008	Зп	Регистр Обнуления	Не применяется
0x0008	Чт/Зп	Регистр версии IP	0x0011-0100
0x000C	Зп	Регистр Маски прерываний	0x0000-0000
0x0010	Зп	Регистр Обнуления прерываний	Не применяется
0x0014	Чт/Зп	Регистр Статуса прерываний	0x0008_0000
0x0018	Чт/Зп	Вспомогательный управляющий регистр	0x0000_0004
0x001C	Чт/Зп	Регистр Считать обратно	0x0000_0000
0x0020	Чт	Регистр Статуса Занятости PE	0x1000_0000
0x0024-0x002C		Зарезервировано	
0x0030	Чт	Регистр Статуса PE	0x0000_0000
0x0034	Чт	Регистр Статуса вспомогательный	Не определено
0x0038-0x0044		Зарезервировано	
0x0048	Чт/Зп	Регистр Режим Ожидания	0x0000_0000
0x004C	Чт/Зп	Регистр Автоматического счетчика Режим Ожидания	0x0000_0008
0x0050	Чт/Зп	Регистр адреса макрокоманды	0x0000_0000
0x0054	Чт/Зп	Регистр Счетчика Слов макрокоманды	0x0000_0000
0x0058	Чт/Зп	Тестовый регистр	0x0000_0000
0x005C		Зарезервировано	
0x0060	Зп	Sprite FIFO	Не применяется
0x0060	Чт	Регистр Статуса Sprite FIFO	0x0000_0080
0x0064	Чт/Зп	Регистр Управления Sprite FIFO	0x007D_0003
0x0068	Чт/Зп	Регистр адреса SAT	0x0000_0000
0x006C	Чт/Зп	Регистр Счетчика SAT	0x0000_0000
0x0070	Чт/Зп	Sprite регистр Левого Верхнего ограничения (Clip) окна	0x0000_0000
0x0074	Чт/Зп	Sprite регистр Правой Нижнего Ограничения (Clip) окна	0x00FF_00FF
0x0078	Чт/Зп	Sprite регистр Образца Маски №0	0xFFFF_FFFF
0x007C	Чт/Зп	Sprite регистр Образца Маски №1	0xFFFF_FFFF
0x0080-0x01FC		Зарезервировано	

					ЮФКВ.431268.005РЭ			Лист
								233
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.3.3.8.2 FIFO команд

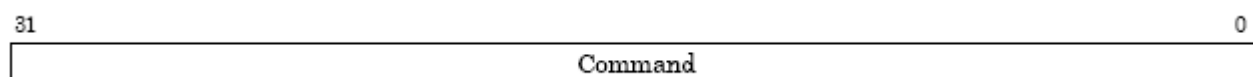


Рисунок 132 - FIFO команд (Запись) [0x0000]

1.3.3.3.8.3 Регистр Статуса FIFO команд

Начальное значение: 0x0000-0004

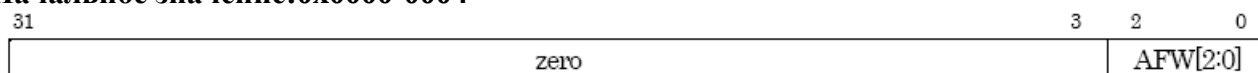


Рисунок 133 - Регистр Статуса FIFO команд (Чт) [0x0000]

Таблица 156 - Описание полей регистра Статуса FIFO команд

zero	Не используется	Всегда 0, когда считывается
AFW[2:0]	Доступно слово FIFO	Указывает, сколько слов может быть записано в FIFO команд

1.3.3.3.8.4 Регистр обнуления

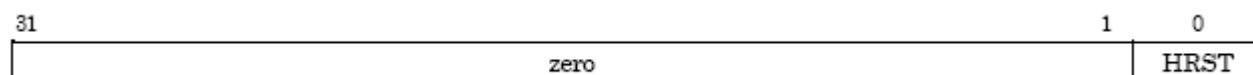


Рисунок 134 - Регистр обнуления (Зп) [0x0008]

Таблица 157 - Описание полей регистра обнуления

zero	Не используется	0 всегда должен записываться
HRST	Аппаратное обнуление	Аппаратное обнуление выполняется в этом IP записью 1. Все регистры инициализируются в начальное значение.

1.3.3.3.8.5 Регистр версии IP

Начальное значение: 0x0011-0100

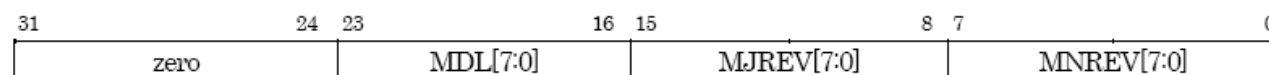


Рисунок 135 - Регистр версии IP (Чт) [0x0008]

Таблица 158 - Описание полей регистра версии IP

			GT2D Версия 1.0
zero	Не используется	Всегда 0, когда считывается	0x00
MDL[7:0]	Номер модели	Номер модели IP ядра	0x11
MJREV[7:0]	Номер	Номер старшей версии (стартует с 0x1)	0x01
MNREV[7:0]	Младшая версия	Номер младшей версии (стартует с 0x0)	0x00

					ЮФКВ.431268.005РЭ			Лист
								234
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.3.3.8.6 Регистр Маски прерываний

31

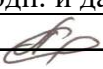
0

Флаги прерываний

Рисунок 136 - Регистр Маски прерываний IP (Чт/Зп) [0x000C]

Таблица 159 - Описание полей регистра Маски прерываний

Позиция бита	Название флага	Описание	
31	Зарезервировано		
30	CPDONE	Запись сделана	Завершение функции Устройства Записи
29	RBDONE	Чтение обратно сделано	Завершение Чтения обратно командой Чтение обратно
28	SPDONE	Sprite сделано	Завершение сканирования SAT в случае "Отображения SAT памяти"(см. подпункт 1.3.3.3.4.2) или выполнения Sprite синхронизации SAT
27	CMDONE	Макрокоманда сделана	Завершение макрокоманды
26-25	Зарезервировано		
24	PESYNC	PE синхр.	Завершение записи в Синхрон. регистр PE
23-22	Зарезервировано		
21	COVF	Переполнение команды FIFO	Генерируется, когда происходит переполнение команды FIFO В этом случае часть команды может быть потеряна.

					ЮФКВ.431268.005РЭ			Лист
								235
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение Таблица 159

Позиция бита	Название флага	Описание	
20	CSE	Ошибка синхр. команды	Генерируется, когда определена на формате команды. Этот IP может иметь неправильную интерпретацию команды.
19	SAEMP	Sprite FIFO Почти Пуст	Генерируется, когда Доступное слово FIFO достигло количества слов, определяемых в Управляющем регистре Sprite FIFO: AEMPWDD
18	SAFL	Sprite FIFO Почти Полон	Генерируется, когда Доступное слово FIFO достигло количества слов, определяемых в Управляющем регистре Sprite FIFO: AFLWD
17	SOVF	Sprite FIFO Переполнение	Генерируется, когда происходит переполнение Sprite FIFO. В этом случае часть команды может быть потеряна
16	SSE	Sprite Синх. Ошибка	Генерируется, когда Слово Окончания не определено на ожидаемой поSprite FIFO отображается со словом окончания
16	SSE	Sprite Синх. Ошибка	Генерируется, когда Слово Окончания не определено на ожидаемой поSprite FIFO отображается со словом окончания
15	SOF (VSYNC)	Старт кадра (VSYNC)	Генерируется по переднему фронту внешнего сигнала, соединенного с с внешним портом сигнала ядра (LCD_A3D_SOF). Для дисплея CRT типа VSYNC сигнал должен быть подсоединен.
14	FSYNC	Синхр. кадра	Генерируется, когда установлен интервал импульса SOF во Вспомогательном Управляющем регистре:FSC[5:0]. Выполняется покачка Буфера Дисплея при синхронизации с FSYNC
13-0	Зарезервировано		

1.2.9.8.5 Регистр Обнуления прерываний

Присваивание битов идентично регистру Маски прерываний. Когда 1 записывается в соответствующий бит, соответствующий бит в регистре Статуса прерываний сбрасывается в 0.

Начальное значение:0x0000-0000

31

0

Флаги прерываний

Рисунок 137 - Регистр Обнуления прерываний (3п) [0x0010]

1.3.3.3.8.7 Регистр Статуса прерываний

Присваивание битов идентично регистру Маски прерываний. Когда фактор прерывания

Начальное значение:0x0008-0000

31

0

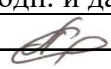
					ЮФКВ.431268.005РЭ			Лист
								236
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Рисунок 138 - Регистр Статуса прерываний (Чт/Зп) [0x0014]

Таблица 160 - Приоритет при одновременной установке и обнулении прерываний

Приоритет	Фактор прерывания
1	Установка/обнуление записью в регистр Статуса прерываний
2	Аппаратная генерация прерываний а
3	Запись в Регистр сброса прерываний

Примечание

Начальное значение: VSYNC(SOF) и FSYNC зависят от внешнего сигнала и они зависят от времени чтения этого регистра после обнуления.

1.3.3.3.8.8 Вспомогательный управляющий регистр

Начальное значение: 0x0008-0000

31	8	7	2	1	0
zero	FSC[5:0]	SCHKTRM	CCHKTRM		

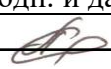
Рисунок 139 - Вспомогательный управляющий регистр (Чт/Зп) [0x0018]

Таблица 161 - Описание полей Вспомогательного управляющего регистра

zero	Не используется	Всегда 0 при чтении
FSC[5:0]	Счетчик Синхр.кадров (Frame Sync Count)	Состояние внутреннего триггера” Frame Sync” генерируется на определенном интервале подсчетом числа установок переднего фронта сигнала VSYNC(SOF), выставляемом в этом поле. Отображение цветового буфера синхронизировано с состоянием Frame Sync. Когда FSC=0, Frame Sync генерируется на 64-ом VSYNC(SOF). Внутренний счетчик сбрасывается и счетчик рестартует , когда этот регистр записан. Прерывание FSYNC генерируется, когда начальное значение Frame Sync FCS=1 и это означает, что Frame Sync генерируется для каждого Vsync..
SCHKTRM	Sprite Слово проверки окончания	Когда установлено в 1, проверка ошибки формата SAT разрешена . Эта ошибка не действительна во время “Отображения (rendering) памяти SAT” (См подпункт 1.3.3.3.4.2) Ошибка проверяется мониторингом на правильном ли месте находится Слово Окончания(0xdecaface). Если Слово Окончания не определено, генерируется прерывание SSE (Ошибка Синхронизации Sprite).

Продолжение Таблица 161

CCHKTRM	Слово проверки окончания команд FIFO	Когда установлено в 1, проверка ошибки формата команды разрешена Ошибка проверяется мониторингом на правильном ли месте находится Слово

					ЮФКВ.431268.005РЭ			Лист
								237
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

		Окончания(0xdecaface). Если Слово Окончания не определено, генерируется прерывание CSE (Ошибка Синхронизации команды).

1.3.3.3.8.9 Регистр Считать обратно

Пиксельные данные считываются командой Чтение Пикселей, значение регистра, считанное командой доступа к регистру, и значение Таблицы РЕ, считанное командой Чтения РЕ Таблицы, устанавливаются в этот регистр. Когда данные считываются обратно, 1 устанавливается в бите RBDONE регистра Статуса прерываний. Если установленное значение меньше 32 бит, оно выравнивается вправо и 0 заполняются в старшие биты. Когда регистр записан, бит RBDONE регистра Статуса прерываний установлен в 1 и прерывание генерируется.

Начальное значение: 0x0000-0000

31

0

Считываемые обратно данные

Рисунок 140 - Регистр Считать обратно (Чт/Зп) [0x001C]

1.3.3.3.8.10 Регистр Статуса Занятости РЕ

Статус занятости указывает, что работа/ожидание каждого модуля в IP и условие Первичного/Вторичного (Front/Back) буфера для Цветового буфера указаны.

Начальное значение: 0x0000-0000

31	30	29	28	27	13	12	0
CFB[1:0]	CBB[1:0]	zero				BSF[12:0]	

Рисунок 141 - Регистр Статуса Занятости РЕ (Чт) [0x0020]

Таблица 162 - Описание полей регистра Статуса Занятости РЕ

CFB[1:0]	Текущий первичный буфер	Указывает Цветовой буфер, используемый как первичный буфер 00: Цветовой буфер №0 01: Цветовой буфер №1 10: Цветовой буфер №2
CBB[1:0]	Текущий вторичный буфер	Указывает Цветовой буфер, используемый как вторичный буфер 00: Цветовой буфер №0 01: Цветовой буфер №1 10: Цветовой буфер №2
zero	Зарезервировано	Не используется. Всегда обратно считывается 0.
BSF[12:0]	Флаги Статуса занятости	Указывает статус занятости внутренних модулей (CF, PF, PE, SPC, CME, CE, MEM)

Следующая таблица показывает подробно. Если не упомянуто иначе, 0: ожидание, 1: занятость.

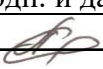
					ЮФКВ.431268.005РЭ			Лист
								238
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Таблица 163 - Описание поля BSF

Позиция бита	Название флага		Описание
12	CFBSY	FIFO команд занято	Статус FIFO команд 0: FIFO команд пусто и команда была передана к целевому модулю. 1: Больше, чем 1 слово в FIFO команд или последняя команда передается к целевому модулю.
11-9	zero	Зарезервир.	Не используется. При чтении всегда возвращается 0
8	PFBSY	PF занят	Статус пиксельного FIFO 0: Пиксельное FIFO пусто 1: Больше, чем 1 пиксель находится в пиксельном FIFO
7	PEBSY	PE занят	Статус обработчика пикселей PE (Pixel Engine)
6	SPBSY	SPC занят	Статус Sprite контроллера (SPC)
5	CEBSY	CE занят	Статус Copy Engine (CE)
4	zero	Зарезервир. о	Не используется. При чтении всегда возвращается 0
3	CMBSY	CME занят	Статус Устройства макрокоманд (Comand Macro Engine)
2	MEMBSY	MEM занят	Статус контроллера памяти (Memory Interface Block) Примечание: Внешний сигнал, соединенный с ядром, здесь виден. Это может быть использовано как занятость, определяемая пользователем
1	CMPND	Command Macro Pending (Зависание Макрокоманды)	0: Нет зависания Макрокоманды 1: Зависание Макрокоманды. Это означает, что следующая макрокоманда установлена, в то время как предыдущая макрокоманда выполняется
0	zero	Зарезервир	Не используется. При чтении всегда возвращается 0

1.3.3.3.8.11 Регистр Статуса PE

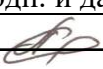
Начальное значение: 0x0000-0000

31	30	29	28	16	15	8	7	0
CMST[1:0]				TXUST[12:0]		zero		BLUST[7:0]

Рисунок 142 - Регистр Статуса PE (Чт) [0x0030]

Таблица 164 - Описание полей регистра Статуса PE

CMST[1:0]	Статус CMD	Указывает внутренний статус CMD модуля в PE
CEST	Статус Устройства Записи (Copy Engine)	Указывает внутренний статус Устройства Записи
TXUST[12:0]	Статус Текстурного Устройства Texture Unit	Указывает внутренний статус Текстурного Устройства в PE
zero		Не используется. При чтении всегда возвращается 0
BLUST[7:0]	Статус Устройства плавного сопряжения (Blender Unit)	Указывает внутренний статус Устройства плавного сопряжения в PE

					ЮФКВ.431268.005РЭ			Лист
								239
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

1.3.3.3.8.12 РегистрСтатуса вспомогательный

Начальное значение не определено



Рисунок 143 - Регистр Статуса вспомогательный (Чт) [0x0034]

Таблица 165 - Описание полей Вспомогательного регистра Статуса PE

Memory Interface Status	Статус Интерфейса с Памятью	Указывает внутренний статус Интерфейса с Памятью
zero	Зарезервировано	
CFST[2:0]	Статус FIFO команд	Внутренний статус FIFO команд
SPST[3:0]	Статус Sprite Устройства (Engine)	Внутренний статус Sprite Устройства

1.3.3.3.8.13 Регистр Режимы Ожидания

GT2D имеет сигнал, который указывает, что обеспечение синхроимпульсами может зависнуть. Этот регистр разрешает, запрещает функцию запроса синхроимпульсов.

Начальное значение: 0x0000-0000

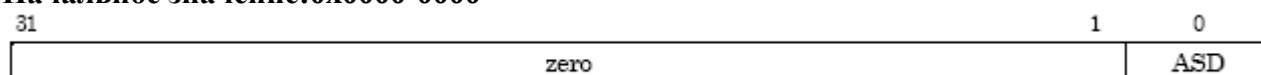


Рисунок 144 - Регистр Режимы Ожидания (Чт/Зп) [0x0048]

Таблица 166 - Описание полей Регистр Режимы Ожидания

zero	Зарезервировано	Всегда должен записываться 0
ASD	Режим Авто-ожидания не действителен	Функция поддержки синхроимпульсов 6: разрешена 0: не значима

Примечание:

Приостановка и рестарт поддержки синхроимпульсов будут контролироваться цепью, созданной пользователем. GT2D ядро только выводит сигнал, который указывает, что синхроимпульсы могут быть подвешены. См. спецификацию GT2D.

1.3.3.3.8.14 Регистр Автоматического счетчика Режимы Ожидания

Определяет период от момента времени, когда все модули установились в режим ожидания, до времени, когда запрос сигнала синхронизации не выполняется.

Начальное значение: 0x0000-0008

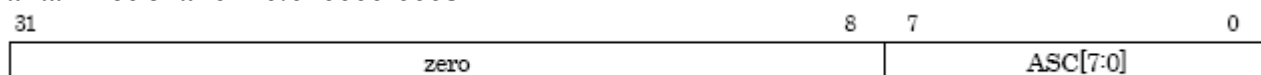


Рисунок 145 - Регистр Автоматического счетчика Режимы Ожидания (Чт/Зп) [0x004C]

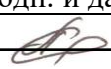
					ЮФКВ.431268.005РЭ		Лист
							240
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2	 14.11.11		18212-1				

Таблица 167 - Описание полей Регистра Автоматического счетчика Режимы Ожидания

zero	Зарезервировано	Всегда должен записываться 0
ASC	Счетчик Автоматического Ожидания	Определить количество синхроимпульсов (период, подсчитываемый синхроимпульсами) от момента времени, когда все модули GT2D ядра модуль Интерфейса с Памятью (Memory Interface Module (Mem)) ставятся в состояние ожидания до времени, когда запрос сигнала синхронизации не выполняется. Действителен только, когда Регистр Режимы Авто-ожидания (Auto Standby Mode): ASE=1 Когда установлен 0xFF, это будет после 256 синхроимпульсов.

Примечание: Из-за того, что минимальный интервал между состоянием не занятости до возможного времени останова синхроимпульсов зависит от аппаратуры IP ядра, обычно запрещено изменять начальное значение этого регистра. См. спецификацию Интерфейса ядра GT2D.

1.3.3.3.8.15 Регистр адреса макрокоманды

Определяется стартовый адрес команды. Адрес должен быть выровнен по 4-х байтовой границе.

Начальное значение: 0x0000-0000

31	28	27	2	1	0
zero	CMADR[27:2]				zero

Рисунок 146 - Регистр адреса макрокоманды (Чт/Зп) [0x0050]

Таблица 168 - Описание полей Регистра адреса макрокоманды

zero	Зарезервировано	Всегда должен записываться 0 При чтении возвращается 0
CMAD[27:2]	Адрес макрокоманды (Command Macro Address)	Определяет стартовый адрес, по которому помещается макрокоманда. Он должен быть выровнен по 4-х байтовой границе.

1.3.3.3.8.16 Регистр Счетчика Слов макрокоманды

Определяется количество слов SAT (Таблицы Sprite атрибутов) минус 1, которое надо передать. Записью в этот регистр Устройство Макрокоманд активируется. Когда предыдущая макрокоманда обрабатывается, следующая макрокоманда может быть установлена и задерживается аппаратурой. Подвешенный ПДП макрокоманд будет стартовать после завершения предшествующей команды. Подвешенный статус указывается в DMPND бите регистра Статуса Занятости (см. 1.3.3.3.8.10) Когда существует задержанная макрокоманда ПДП, новая макрокоманда ПДП, определяемая этим регистром не выполняется.

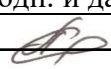
Начальное значение: 0x0000-0000

31	15	14	0
zero	CMWDC[14:0]		

Рисунок 147 - Регистр Счетчика Слов макрокоманды (Чт/Зп) [0x0050]

Таблица 169 - Описание полей Регистра Счетчика Слов макрокоманды

zero	Зарезервировано	Всегда должен записываться 0 При чтении возвращается 0
CMWDC	Счетчик слов команды (Command Word Count)	Определяется счетчик слов для старта макрокоманды. Счетчик слов CMWDC +1 передается в Sprite FIFO.

					ЮФКВ.431268.005РЭ			Лист
								241
Изм.	Лист	№ докум.	Подп.	Дата				
Инв. № подл.	Подп. и дата		Взам. инв. №	Инв. № дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

1.3.3.3.8.17 Тестовый регистр

Этот регистр для целей тестирования. Запись запрещена.

Начальное значение: 0x0000-0000

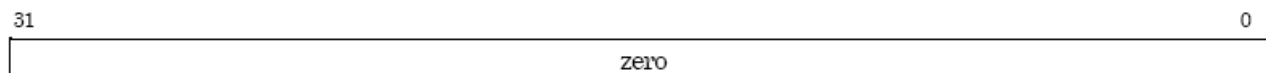


Рисунок 148 - Тестовый регистр (Чт/Зп) [0x0058]

1.2.9.8.6 Sprite FIFO

Sprite прорисовка (Sprite FIFO rendering) начинается записью .SAT данных в FIFO. Глубина Sprite FIFO 128 слов.

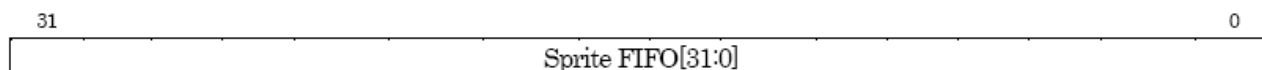


Рисунок 149 - Sprite FIFO (Зп) [0x0060]

1.3.3.3.8.18 Регистр Статуса Sprite FIFO

Индицируется статус Sprite FIFO

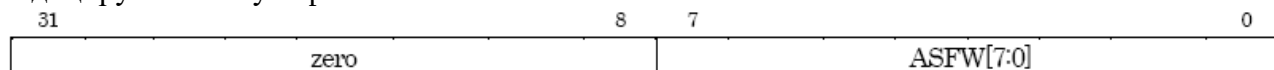


Рисунок 150 - Регистр Статуса Sprite FIFO (Чт) [0x0060]

Таблица 170 - Описание полей Регистра Статуса Sprite FIFO

zero		Всегда должен записываться 0 При чтении возвращается 0
ASFW[7:0]	Доступное слово Sprite FIFO	Доступные (свободные) слова Указывает сколько слов может быть записано в Sprite FIFO без переполнения.

1.3.3.3.8.19 Регистр Управления Sprite FIFO

Определены условия прерывания, относящиеся к Sprite FIFO

Начальное значение: 0x007D-0003

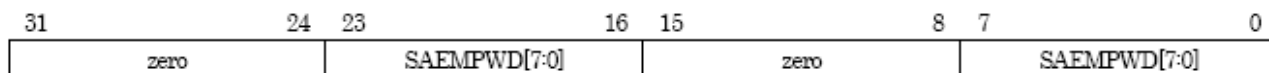


Рисунок 151 - Регистр Управления Sprite FIFO (Чт/Зп) [0x0064]

					ЮФКВ.431268.005РЭ		Лист
							242
Изм.	Лист	№ докум.	Подп.	Дата			
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата	
18212-2			14.11.11	18212-1			

Таблица 171 - Описание полей регистра Управления Sprite FIFO

SAEMPWD[7:0]	Sprite FIFO Почти Пусто Слов	Доступный счетчик слов Sprite FIFO, чтобы сгенерировать прерывание Sprite FIFO Почти Пуст (SAEMPWD), установлен
SAFLWD[7:0]	Sprite FIFO Почти Полно Слов	Доступный счетчик слов Sprite FIFO, чтобы сгенерировать прерывание Sprite FIFO Почти Полон (SAFLWD), установлен

1.3.3.3.8.20 Регистр адреса SAT

Определен стартовый адрес для выполнения. Регистр задействован для “Памяти SAT прорисовки “. SAT должна быть выровнена к 32-х байтной границе.

Начальное значение: 0x00000-0000

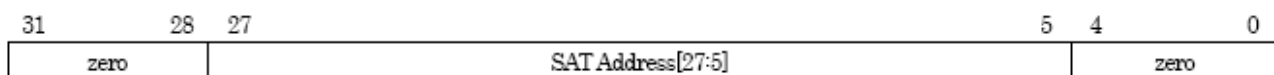


Рисунок 152 - Регистр адреса SAT (Чт/Зп) [0x0068]

1.3.3.3.8.21 Регистр Счетчика SAT

Определено количество SAT -1 . Записью в этот регистр “Прорисовка памяти SAT”активируется

Начальное значение: 0x00000-0000

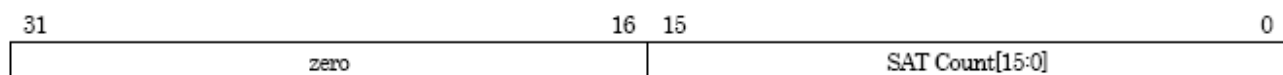


Рисунок 153 - Регистр адреса SAT (Чт/Зп) [0x0068]

1.3.3.3.8.22 Sprite регистр Левого Верхнего ограничения(Clip) окна

Определена левая верхняя координата прямоугольного ограниченного окна для прорисовки

Начальное значение: 0x00000-0000

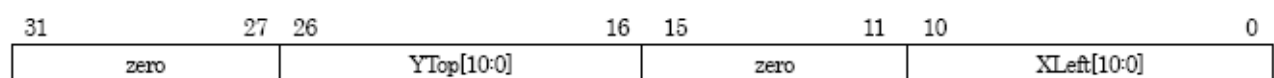


Рисунок 154 - Sprite регистр Левого Верхнего ограничения(Clip) окна (Чт/Зп) [0x0070]

1.3.3.3.8.23 Sprite Регистр Правого Нижнего ограничения(Clip) окна

Определена правая нижняя координата прямоугольного ограниченного окна для прорисовки

Начальное значение: 0x00FF-00FF

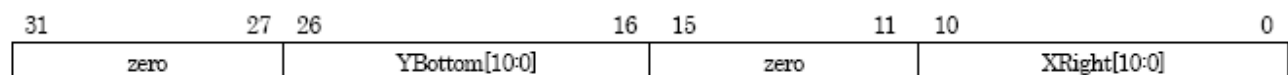
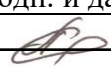


Рисунок 155 - Sprite регистр Правого Нижнего ограничения(Clip) окна (Чт/Зп) [0x0074]

					ЮФКВ.431268.005РЭ			Лист
								243
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

1.3.3.3.8.24 Sprite Регистр Образца Маски №0,№1

Определен образец маски, используемый для ссылки на образец в Sprite прорисовке. См. таблицу ниже для ссылок по порядку (reference order) p0 –p63

Начальное значение: 0x FF FF- FF FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
p31	p30	p29	p28	p27	p26	p25	p24	p23	p22	p21	p20	p19	p18	p17	p16
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
p15	p14	p13	p12	p11	p10	p9	p8	p7	p6	p5	p4	p3	p2	p1	p0

Рисунок 156 - Sprite Регистр Образца Маски №0 [0x0078]

Начальное значение: 0x FF FF- FF FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
p63	p62	p61	p60	p59	p58	p57	p56	p55	p54	p53	p52	p51	p50	p49	p48
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
p47	p46	p45	p44	p43	p42	p41	p40	p39	p38	p37	p36	p35	p34	p33	p32

Рисунок 157 - Sprite Регистр Образца Маски №1 [0x007C]

В случае ссылочного 8 x 8 образца, каждый бит маски ссылается на X и Y координаты, как указано ниже,

где

Lower 3 bit of X coordinate- младшие 3 бита координаты X

Lower 3 bit of Y coordinate - младшие 3 бита координаты Y

Таблица . Биты маски по ссылке с координатами X и Y в случае ссылочного образца 8 x 8

Таблица 172 - Биты маски по ссылке с координатами X и Y в случае ссылочного образца 8 x 8

		Lower 3 bit of X coordinate							
		0	1	2	3	4	5	6	7
Lower 3 bit of Y coordinate	0	p0	p1	p2	p3	p4	p5	p6	p7
	1	p8	p9	p10	p11	p12	p13	p14	p15
	2	p16	p17	p18	p19	p20	p21	p22	p23
	3	p24	p25	p26	p27	p28	p29	p30	p31
	4	p32	p33	p34	p35	p36	p37	p38	p39
	5	p40	p41	p42	p43	p44	p45	p46	p47
	6	p48	p49	p50	p51	p52	p53	p54	p55
	7	p56	p57	p58	p59	p60	p61	p62	p63

В случае ссылочного образца 16 x 1, каждый бит маски ссылается как указано ниже.

Таблица 173 - Биты маски в случае ссылочного образца 16 x 1

reference order															
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
p0	p1	p2	p3	p4	p5	p6	p7	p8	p9	p10	p11	p12	p13	p14	p15

					ЮФКВ.431268.005РЭ					Лист
										244
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11			18212-1					

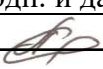
1.3.3.3.9 Регистры, доступные в командах

1.3.3.3.9.1 PE Регистры

1.3.3.3.9.1.1 Список PE регистров

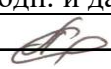
Таблица 174 - Список PE регистров

Адрес	Регистр	Значение при обнулении
Анализатор команд (CMD)		
0x000	PE: Регистр адреса цветового буфера №0	0x00000000
0x001	PE: Регистр адреса цветового буфера №1	0x00000000
0x002	PE: Регистр адреса цветового буфера №2	0x00000000
0x008	PE: Регистр размера/формата цветового буфера №0	0x01000000
0x009	PE: Регистр размера/формата цветового буфера №1	0x01000000
0x00A	PE: Регистр размера/формата цветового буфера №2	0x01000000
0x010	PE: Регистр таблицы адреса таблицы	0x00000000
0x020	PE: Регистр управления кадрами	0x00000000
0x021	PE: Регистр обмена буфера	0x00000000
0x022	PE: Регистр PE синхронизации	0x00000000
YUV конвертер		
0x0C1	PE: Регистр коэффициентов #00из RGB в YUV	0x00000000
0x0C2	PE: Регистр коэффициентов #01из RGB в YUV	0x00000000
0x0C3	PE: Регистр коэффициентов #02из RGB в YUV	0x00000000
0x0C4	PE: Регистр коэффициентов #10из RGB в YUV	0x00000000
0x0C5	PE: Регистр коэффициентов #11из RGB в YUV	0x00000000
0x0C6	PE: Регистр коэффициентов #12из RGB в YUV	0x00000000

					ЮФКВ.431268.005РЭ			Лист
								245
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение Таблица 174

Адрес	Регистр	Значение при обнулении
0x0C7	PE: Регистр коэффициентов #20из RGB в YUV	0x00000000
0x0C8	PE: Регистр коэффициентов #21из RGB в YUV	0x00000000
0x0C9	PE: Регистр коэффициентов #22из RGB в YUV	0x00000000
0x0D0	PE:YUV Регистр управления конверсией	0x00000000
0x0D1	PE: Регистр коэффициентов #00из YUV в RGB	0x00000000
0x0D2	PE: Регистр коэффициентов #01из YUV в RGB	0x00000000
0x0D3	PE: Регистр коэффициентов #02из YUV в RGB	0x00000000
0x0D4	PE: Регистр коэффициентов #10из YUV в RGB	0x00000000
0x0D5	PE: Регистр коэффициентов #11из YUV в RGB	0x00000000
0x0D6	PE: Регистр коэффициентов #12из YUV в RGB	0x00000000
0x0D7	PE: Регистр коэффициентов #20из YUV в RGB	0x00000000
0x0D8	PE: Регистр коэффициентов #21из YUV в RGB	0x00000000
0x0D9	PE: Регистр коэффициентов #22 из YUV в RGB	0x00000000
Анализатор команд (CMD)		
0x0E0	PE: регистр управления 2D 3-х операндной Логической Операцией	0x00000000
Устройство Записи (CE)		
0x0F0	PE: Регистр Записи Старта	0x00000000
0x0F1	PE: CE Регистр Записи Обнуления (FLUSH) ЦПУ	0x00000000
0x0F8	PE: CE Регистр Разрешения функции смешивания	0x00000000
0x0F9	PE: CE Регистр функции смешивания	0x00000000
0x0FA	PE: CE Регистр уравнения смешивания	0x00000000
0x0FB	PE: CE Регистр источника констант цветового регистра	0x00000000
0x0FC	PE: CE Регистр назначения констант цветового регистра	0x00000000
0x0FD	PE: CE Регистр Коэффициента постепенного Затухания	0x00000000
Текстурное Устройство (TXU)		
0x100	PE: Регистр Инвалидации (Invalidate) Текстурного Кэша	0x00000000
0x1C0	PE: Регистр значимости 2D Текстуры №0	0x00000000
0x1C1	PE: Адресный регистр 2D Текстуры №0	0x00000000
0x1C2	PE: Регистр Размера 2D Текстуры №0	0x00000000
0x1C3	PE: Регистр Формата 2D Текстуры №0	0x00000000
0x1C4	PE: Регистр Выбора Цветовой Палитры 2D Текстуры №0	0x00000000
0x1C5	PE: Регистр Фильтрации 2D Текстуры №0	0x00000000
0x1C6	PE: Регистр Управления Прозрачностью 2D Текстуры №0	0x00000000
0x1C7	PE: Регистр Цветовой Прозрачности 2D Текстуры №0	0x00000000
0x1C8	PE: BBoxLT регистр 2D Текстуры №0	0x00000000
0x1C9	PE: BBoxRB регистр 2D Текстуры №0	0x00000000
0x1CA	PE: Регистр Обертки 2D Текстуры №0	0x00000000
0x1CB	PE: Регистр Размера Линейного Адреса 2D Текстуры №0	0x00000010
0x1D0	PE: Регистр значимости 2D Текстуры №1	0x00000000
0x1D1	PE: Адресный регистр 2D Текстуры №1	0x00000000
0x1D2	PE: Регистр Размера 2D Текстуры №1	0x00000000
0x1D3	PE: Регистр Формата 2D Текстуры №1	0x00000000
0x1D4	PE: Регистр Выбора Цветовой Палитры 2D Текстуры №1	0x00000000
0x1DB	PE: Регистр Размера Линейного Адреса 2D Текстуры №1	0x00000000
0x1E0	PE: Регистр Выборки 2D Текстуры	0x00000010

					ЮФКВ.431268.005РЭ			Лист
								246
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение Таблица 174

Адрес	Регистр	Значение при обнулении
Устройство смешивания (Blending) (BLU)		
0x300	РЕ: Регистр Цветовой Маски	0x00000000
0x308	РЕ: Регистр Альтернативной Цветовой значимости	0x00000000
0x309	РЕ: Альтернативный Цветовой Регистр	0x00000000
0x310	РЕ: Обнулить Цветовой Регистр	0x00000000
0x311	РЕ: Регистр обнуления LT Прямоугольника Цветового Буфера	0x00000000
0x312	РЕ: Регистр обнуления RB Прямоугольника Цветового Буфера	0x00FF00FF
0x313	РЕ: Стартовый Регистр Обнуления Цветового Буфера	0x00000000
0x318	РЕ: Регистр Обнуления Цветового Кэша	0x00000000
0x3C0	РЕ: Регистр 2D Разрешения Смешивания	0x00000000
0x3C1	РЕ: Регистр 2D Функции Смешивания	0x00000000
0x3C2	РЕ: Регистр 2D Уравнения Смешивания	0x00000000
0x3C3	РЕ: Регистр 2D Источника Констант Цветового буфера	0x00000000
0x3C4	РЕ: Регистр 2D Назначения Констант Цветового буфера	0x00000000
0x3C5	РЕ: Регистр 2D Коэффициента постепенного Затухания	0x00000000
0x3C8	РЕ: Регистр 2D Значимости Логической Операции	0x00000000
0x3C9	РЕ: Регистр 2D Кода 3-х Операндной Логической Операции	0x00000000
0x3D0	РЕ: Регистр 2D Значимости Сглаживания	0x00000000

1.3.3.3.9.1.2 Командные регистры

1.3.3.3.9.1.2.1 РЕ:Регистр адреса цветового буфера №0 (0x000)

Определен базовый адрес цветового буфера №0

Начальное значение:0x0000 0000

31	28	27	5	4	0
zero	CBA0[27:5]			zero	

Рисунок 158 - Регистр адреса цветового буфера №0 (Чт/Зп)

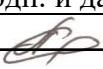
Таблица 175 - Описание полей Регистра адреса цветового буфера №0

zero			Всегда должен записываться 0 При чтении возвращается 0
CBA0[27:5]	Чт/Зп	Базовый Адрес Цветового буфера №0	Определен . базовый адрес цветового буфера №0 Он должен быть всегда выровнен по 32-х байтовой границе.

1.3.3.3.9.1.2.2 РЕ:Регистр адреса цветового буфера №1(0x001)

Определен базовый адрес цветового буфера №1

Начальное значение:0x0000 0000

					ЮФКВ.431268.005РЭ			Лист
								247
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

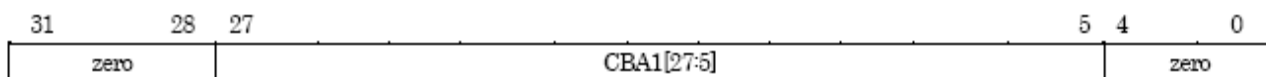


Рисунок 159 - Регистр адреса цветового буфера №1 (Чт/Зп)

Таблица 176 - Описание полей Регистра адреса цветового буфера №1

zero			Всегда должен записываться 0 При чтении возвращается 0
CBA1[27:5]	Чт/Зп	Базовый Адрес Цветового буфера №1	Определен . базовый адрес цветового буфера №1 Он должен быть всегда выровнен по 32-х байтовой границе.

1.3.3.3.9.1.2.3 РЕ:Регистр адреса цветового буфера №2(0x002)

Определен базовый адрес цветового буфера №2

Начальное значение:0x0000 0000

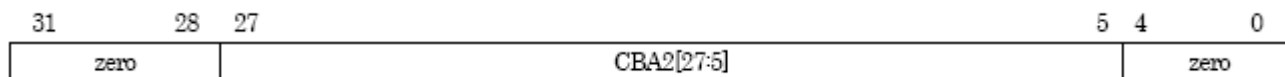


Рисунок 160 - Регистр адреса цветового буфера №2 (Чт/Зп)

Таблица 177 - Описание полей Регистра адреса цветового буфера №2

			Всегда должен записываться 0 При чтении возвращается 0
CBA2[27:5]	Чт/Зп	Базовый Адрес Цветового буфера №2	Определен . базовый адрес цветового буфера №2 Он должен быть всегда выровнен по 32-х байтовой границе.

1.3.3.3.9.1.2.4 РЕ: Регистр размера/формата цветового буфера №0(0x008)

Определен размер и формат цветового буфера №0

Начальное значение:0x0000 0000

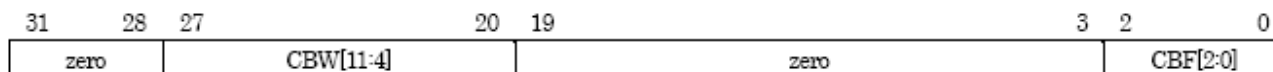
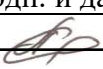


Рисунок 161 - Регистр размера/формата цветового буфера №0 (Чт/Зп) (0x008)

Таблица 178 - Описание полей Регистра размера/формата цветового буфера №0

zero		Зарезервировано	Всегда должен записываться 0 При чтении возвращается 0
CBW[11:4]	Чт/Зп	Ширина Цветового буфера	.Определена ширина (X size) цветового буфера . Ширина должна быть в 16-ти пиксельном устройстве(CBW[3:0] всегда 0). Это означает, что ширина Цветового буфера минимально от 16 до 2048.

					ЮФКВ.431268.005РЭ			Лист
								248
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

Продолжение Таблица 178

CBF[2:0]	Чт/Зп	Формат Цветового буфера	.Спецификация формата цветового буфера 000: RGB565 001: RGBA8888 010: RGBA5551 011: RGBA4444 100: YUV422 Иначе установка запрещена

Примечание 1.

Один из трех Цветовых буферов для прорисовки (куда пиксели записываются), единственный, определяемый как вторичный буфер (back buffer) в РЕ: Регистре Подкачки (Swap) Буфера.

Примечание 2.

Необходимо определить ограниченное окно (clipping window) так, чтобы не превысить область Цветового Буфера. Если ограниченное окно превышает размер цветового буфера, неожиданные пиксели могут быть сгенерированы вне цветового буфера. Ограниченное окно определяется Sprite Левым Верхним регистром Ограничения(Clip) Окона. (См. подпункты 1.3.3.3.8.22 и 1.3.3.3.8.23)

1.3.3.3.9.1.2.5 РЕ: Регистр размера/формата цветового буфера №1(0x009)

Определен размер и формат цветового буфера №1

Начальное значение: 0x0100 0000

31	28	27	20	19	3	2	0
zero	CBW[11:4]				zero	CBF[2:0]	

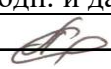
Рисунок 162 - Регистр размера/формата цветового буфера №1 (Чт/Зп)

Таблица 179 - Описание полей Регистра размера/формата цветового буфера №1

zero		Зарезервировано	Всегда должен записываться 0 При чтении возвращается 0
CBW[11:4]	Чт/Зп	Ширина Цветового буфера	.Определена ширина (X size) цветового буфера . Ширина должна быть в 16-ти пиксельном устройстве(CBW[3:0] всегда 0). Это означает, что ширина Цветового буфера минимально от 16 до 2048.
CBF[2:0]	Чт/Зп	Формат Цветового буфера	.Спецификация формата цветового буфера 000: RGB565 001: RGBA8888 010: RGBA5551 011: RGBA4444 100: YUV422 Иначе установка запрещена

Примечание 1.

Один из трех Цветовых буферов для прорисовки (куда пиксели записываются), единственный, определяемый как вторичный буфер (back buffer) в РЕ: Регистре Подкачки (Swap) Буфера.

					ЮФКВ.431268.005РЭ			Лист
								249
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Примечание 2.

Необходимо определить ограниченное окно (clipping window), так чтобы не превысить область Цветового Буфера. Если ограниченное окно превышает размер цветового буфера, неожиданные пиксели могут быть сгенерированы вне цветового буфера. Ограниченное окно определяется Sprite Левым Верхним регистром Ограничения(Clip) Окна. (См. подпункты 1.3.3.3.8.22 и 1.3.3.3.8.23)

1.3.3.3.9.1.2.6 PE: Регистр размера/формата цветового буфера №2(0x00A)

Определен размер и формат цветового буфера №2

Начальное значение: 0x0100 0000

31	28	27	20	19	3	2	0
zero	CBW[11:4]				zero	CBF[2:0]	

Рисунок 163 - Регистр размера/формата цветового буфера №2 (Чт/Зп)

Таблица 180 - Описание полей Регистра размера/формата цветового буфера №2

zero		Зарезервировано	Всегда должен записываться 0 При чтении возвращается 0
CBW[11:4]	Чт/Зп	Ширина Цветового буфера	.Определена ширина (X size) цветового буфера . Ширина должна быть в 16-ти пиксельном устройстве(CBW[3:0] всегда 0). Это означает, что ширина Цветового буфера минимально от 16 до 2048.
CBF[2:0]	Чт/Зп	Формат Цветового буфера	.Спецификация формата цветового буфера 000: RGB565 001: RGBA8888 010: RGBA5551 011: RGBA4444 100: YUV422 Иначе: установка запрещена

Примечание 1

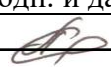
Один из трех Цветовых буферов для прорисовки (куда пиксели записываются), единственный, определяемый как вторичный буфер (back buffer) в PE: Регистре Подкачки (Swap) Буфера.

Примечание 2

Необходимо определить ограниченное окно (clipping window), так чтобы не превысить область Цветового Буфера. Если ограниченное окно превышает размер цветового буфера, неожиданные пиксели могут быть сгенерированы вне цветового буфера. Ограниченное окно определяется Sprite Левым Верхним регистром Ограничения(Clip) Окна. (См. подпункты 1.3.3.3.8.22 и 1.3.3.3.8.23)

1.3.3.3.9.1.2.7 PE: Регистр адреса таблицы(0x010)

Определяются тип и адрес, принадлежащие к команде “Записи PE Таблицы” и “Чтению PE Таблицы”.

					ЮФКВ.431268.005РЭ			Лист
								250
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

31	19	18	16	15	8	7	0
zero	TSL[2:0]	zero	TAD[7:0]				

Рисунок 164 - Регистр адреса таблицы (Чт/Зп) (0x010)

Таблица 181 - Описание полей Регистра адреса таблицы

zero		Зарезервировано	Всегда должен записываться 0 При чтении возвращается 0
TSL[2:0]	Чт/Зп	Выборка Таблицы	Выборка таблицы РЕ 000: Индексная таблица просмотра №0 (Прим.1) 001: Индексная таблица просмотра №1 (Прим.1) 110: CAT Иначе: запрещено, непредсказуемое поведение:
TAD[7:0]	Чт/Зп	Адрес Таблицы	Адрес РЕ Таблицы При доступе командой “Запись РЕ Таблицы” или “Чтение РЕ Таблицы”, TAD автоматически инкрементируется +1 при каждом доступе. Устанавливаемый диапазон изменяется следующим образом в зависимости от установки TSL[2:0] Индексная таблица просмотра №0 от 0 до 255 (Прим.1) Индексная таблица просмотра №1 от 0 до 255 (Прим.2) CAT (Таблица Записи атрибутов) от 0 до 31

Примечание 1

Из-за того, что применение RAM-памятей Таблицы просмотра (Look Up Table RAM) выборочно, доступ к Таблице просмотра действителен, только когда соответствующие RAM-памяти применяются.

1.3.3.3.9.1.2.8 РЕ: Регистр Управления Кадрами (0x020)

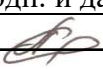
Определено поведение обмена цветового буфера.

31	5	4	3	2	1	0
zero	CCM	zero	SBC	SBI		

Рисунок 165 - Регистр управления кадрами (Чт/Зп)

Таблица 182 - Описание полей Регистра Управления Кадрами

zero		Зарезервировано	Всегда должен записываться 0 При чтении возвращается 0
CCM	Чт/Зп	Режим Обнуления Цвета	Спецификация автоматического обнуления цветового буфера: при обмене буферами 0: Автоматическое обнуление не разрешено 1: Автоматическое обнуление разрешено Когда CCW=1, цветовой буфер, который становится вторичным буфером при обмене, автоматически обнуляется Устройством Записи.

					ЮФКВ.431268.005РЭ			Лист
								251
Изм.	Лист	№ докум.	Подп.	Дата	Взам. инв. №	Инв. № дубл.	Подп. и дата	
18212-2				14.11.11	18212-1			

Продолжение Таблица 182

SBC	Чт/Зп	Обнуление Буфера Синхр.	Спецификация времени автоматического обнуления цветового буфера: 0: Обнуление Цветового буфера стартует немедленно после того, как PE: Регистр Буфера Обмена записан (См. подпункт 1.3.3.3.9.1.2.9 для Регистра Буфера Обмена) 1: Обнуление Цветового буфера синхронизировано с “Синхронизаций Кадра” (Frame Sync) (См. FSV[5:0] Вспомогательного. Управляющего регистра в подпункте 1.3.3.3.8.8)
SBI	Чт/Зп	Индикация Буфера Синхр.	Спецификация задержки внешнего сигнала , который индицирует текущий вторичный буфер. (A3D_LCD_DISPBUF[1:0]). См. спецификацию интерфейса ядра GT2D для A3D_LCD_DISPBUF: сигнала 0: A3D_LCD_DISPBUF немедленно модифицируется , Когда PE: Регистр Буфера Обмена записан 1: A3D_LCD_DISPBUF модифицируется синхронно с “Синхр. Кадра”

1.3.3.3.9.1.2.9 PE: Регистр обмена буфера (0x021)

Запись в этот регистр запускает обмен цветового буфера

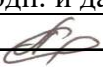
Начальное значение: 0x0000-0000

31	6	5	4	3	2	1	0
zero	NFB[1:0]	zero	NBB[1:0]				

Рисунок 166 - Регистр обмена буфера (Чт/Зп)

Таблица 183 - Описание полей Регистра обмена буфера

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
NFB[1:0]	Чт/Зп	Следующий первичный буфер (FrontBuffer)	Определен первичный буфер после обмена (swapping) буфера 00: Цветовой буфер №0 01: Цветовой буфер №1 10:.. Цветовой буфер №2 11: Предыдущий вторичный буфер становится первичным буфером
NBB[1:0]	Чт/Зп	Следующий вторичный буфер(BackBuffer)	Определен вторичный буфер после обмена (swapping) буфера 00: Цветовой буфер №0 01: Цветовой буфер №1 10:.. Цветовой буфер №2 11: Предыдущий первичный буфер становится вторичным буфером

					ЮФКВ.431268.005РЭ			Лист
								252
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Примечание 1

Цветовой буфер автоматически обнуляется при обмене буфера, таким образом операция расширенного обнуления КЭШа, не требуется.

1.3.3.3.9.1.2.10 PE: Регистр PE синхронизации (0x22)

Запись 1 в PES бит этого регистра, генерируется PESYNC прерывание. PESYNC прерывание Указывает, что всепредыдущие команды завершены.

Начальное значение: 0x0000-0000

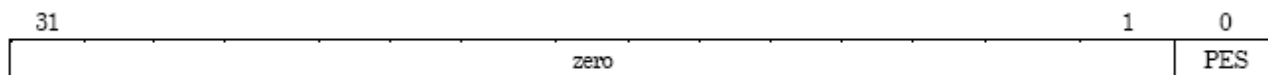


Рисунок 167 - Регистр PE синхронизации (Чт/Зп)

Таблица 184 - Описание полей Регистра PE синхронизации

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
PES	Зп	PE Синхр.	Запись 1 генерирует PESYNC прерывание. 0 всегда читается при чтении.

Примечание 1

PESync прерывание используется, когда необходимо ждать завершения PE обработки. Хотя функциональной проблемы даже когда это используется без необходимости, это может вызвать деградацию производительности.

Примечание 2

Пример использования PESYNC

В случае, когда ЦПУ считывает цветовой буфер напрямую, цвета будут обнулены до чтения

Старт обнуления КЭШа (запись в PE: Регистр Обнуления Цветового КЭШа CVC=1)

Запись PE: PESync Регистр PES=0

Ожидание PESYNC Регистра (ожидание завершения обнуления Цветового кэша)

Чтение напрямую области цветového буфера.

1.3.3.3.9.1.2.11 PE: Регистр Управления Логической Операцией

Регистр задает 3-х операндный или 2-х операндный режим. Регистр действительный только когда функция Логической Операции разрешена.

Начальное значение: 0x0000-0000

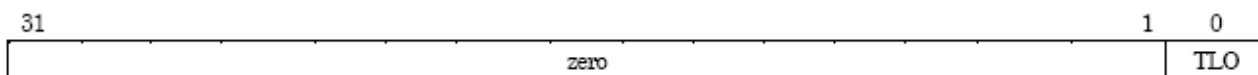


Рисунок 168 - Регистр Управления Логической Операцией (Чт/Зп)

					ЮФКВ.431268.005РЭ			Лист
								253
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

Таблица 185 - Описание полей Регистра Управления Логической Операцией

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TLO	Чт/Зп	Режим 3-х операндной Логической операции	0: 2-х операндный режим 1: 3-х операндный режим

Значимость/Незначимость функции логической операции определена в РЕ: 2D Регистре Значимости Логической Операции.(См. подпункт 1.3.3.3.9.1.6.15)

Код Логической Операции определен в РЕ: 2D Регистре Кода Логической Операции.(См. подпункт 1.3.3.3.9.1.6.16)

1.3.3.3.9.1.3 YUV Регистр

1.3.3.3.9.1.3.1 РЕ:YUV Регистр управления конверсией(0x0D0)

Начальное значение: 0x0000-0000

31	3	2	1	0
zero	YPM	UVEM	YEM	

Рисунок 169 - YUV Регистр управления конверсией (Чт/Зп)

Таблица 186 - Описание полей Регистра управления конверсией

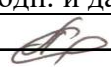
zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
YPM	Чт/Зп	Режим параметров YUV	Определяет режим конверсионных параметров p1 –p2 0: p1 =0, p2 =128 1: p1 =16, p2 =128 Тип входа/выхода каждого компонента следующий: UV компонент: двоичное смещение Y и RGB компонент: непосредственно двоичное число В случае YUV в RGB конверсии, этот бит не действителен.
UVEM	Чт/Зп	Режим UV элемента	Определяет конверсионный режим UV компонента 0: $U = (U0+U1)/2$, $V = (V0+V1)/2$ 1: $U = U0$, $V = V0$
YEM	Чт/Зп	Режим Y элемента	Определяет конверсионный режим Y компонента 0: $Y' = Y$ 1: $Y' = Y - Y/16 + 16$ (RGB в YUV конверсия) 1: $Y' = Y - Y/16 - 16$ (YUV в RGB конверсия)

Примечание

YPM бит будет определен в соответствии с типом конверсии. См. пример здесь.

YPM-0: ITU-R BT.709 (YPbPr), 8 бит Полная шкала YUV (YCbCr)

YPM-0: ITU-R BT.601(YCbCr)

					ЮФКВ.431268.005РЭ			Лист
								254
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.3.9.1.3.2 PE: Регистр коэффициентов № 00 -№22 из RGB в YUV(0x0C1-0x0C9)
Начальное значение: 0x0000-0000

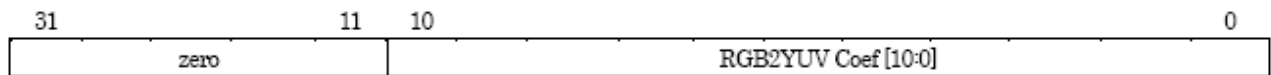


Рисунок 170 - PE: Регистр коэффициентов № 00 -№22 из RGB в YUV (Чт/Зп)

Таблица 187 - Описание полей Регистра коэффициентов № 00 -№22 из RGB в YUV

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
RGB2YUV Coef	Чт/Зп	RGB в YUV коэффициент	Определяет коэффициент конверсии RGB в YUV Определяет коэффициент RGB компонента для вычисления YUV значения .(фиксированное 1.0.10)

1.3.3.3.9.1.3.3 PE: Регистр коэффициентов № 00 -№22 из RGB в YUV(0x0D1-0x0D9)
Начальное значение: 0x0000-0000

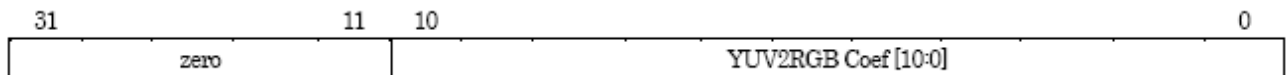


Рисунок 171 - PE: Регистр коэффициентов № 00 -№22 из RGB в YUV (Чт/Зп)

Таблица 188 - Описание полей Регистра коэффициентов № 00 -№22 из YUV в RGB

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
YUV2RGB Coef	Чт/Зп	RGB в YUV коэффициент	Определяет коэффициент конверсии YUV в RGB Определяет коэффициент YUV компонента для вычисления RGB значения .(фиксированное 1.2.8)

Примечание 1

Следующие регистры только считываются и записью в них можно пренебречь.

Коэффициент c01 и c22 –константы 0.0 (c01-c22-0.0)

Коэффициент c10 и c20 равны c00

Таблица 189 - Регистры коэффициентов из YUV в RGB только чтения

Регистры только чтения	значение
PE:YUV RGB Кэффицент №01 (0x0D2)	c01 – константа 0.0
PE:YUV RGB Кэффицент №10 (0x0D4)	Записывается значение, определяемое в PE:YUV RGB Кэффицент №00 (0x0D1) (c10=c00)
PE:YUV RGB Кэффицент №20 (0x0D7)	Записывается значение, определяемое в PE:YUV RGB Кэффицент №00 (0x0D1) (c20=c00)
PE:YUV RGB Кэффицент №20 (0x0D9)	C20 - константа 0.0

					ЮФКВ.431268.005РЭ			Лист
								255
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
	18212-2			14.11.11	18212-1			

1.3.3.3.9.1.4 Регистр Устройства Записи

1.3.3.3.9.1.4.1 PE: Регистр Записи Старта(0xF0)

Начальное значение: 0x0000-0000



Рисунок 172 - PE: Регистр Записи Старта (Чт/Зп)

Таблица 190 - Описание полей Регистра Записи Старта

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
CATNO[2:0]	Чт/Зп	Номер CAT	Определяется номер CAT, чтобы стартовать

1.3.3.3.9.1.4.2 PE: Регистр Записи Обнуления(0xF1)

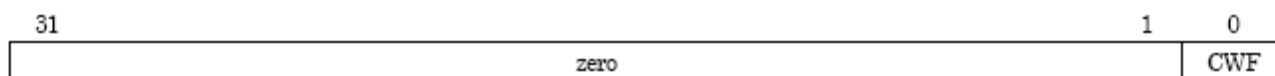


Рисунок 173 - PE: Регистр Записи Обнуления (Чт/Зп)

Таблица 191 - Описание полей Регистра Записи Обнуления

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
CWF	Зп	Запись обнуления ЦПУ	Запись 1 выполняется, чтобы обнулить оставшиеся данные во внутреннем FIFO Устройства Записи

Примечание 1

Если число пиксельных данных , передаваемых командой Поместить Изображение и установочные параметры в CAT, идентичны или больше, не нужно уведомление завершения ЦПУ Регистром Записи Обнуления.

1.3.3.3.9.1.4.3 PE: CE Регистр Разрешения функции смешивания (0xF8)

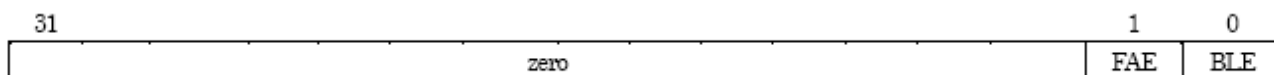


Рисунок 174 - PE: CE Регистр Разрешения функции смешивания (Чт/Зп)

Таблица 192 - Описание полей Регистра Разрешения функции смешивания

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
FAE	Чт/Зп	Уменьшение Яркости разрешено	Определяет функцию Уменьшения Яркости (Fading) 0: Уменьшение яркости не разрешено 1: Уменьшение яркости разрешено
BLE	Чт/Зп	Смешивание разрешено	Определяет функцию Смешивания 0: Смешивание не разрешено 1: Смешивание разрешено

[Функция Уменьшения Яркости]

					ЮФКВ.431268.005РЭ			Лист
								256
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Источник Альфа умножается на коэффициент, определяемый в РЕ:СЕ Регистре коэффициента постепенного затухания перед операцией Смешивания, описанной ниже.

[Функция Смешивания]

Уравнения смешивания (ADD, SUBTRACT или REVERSE_SUBTRACT) определены в РЕ: СЕ Регистре Уравнения Смешивания.. Уравнения Смешивания для RGB компонент и А компоненты определены отдельно. РЕ: СЕ Функция регистра Смешивания определяет факторы для умножения Источника и Назначения Цвета.

ADD: $C = C_s * S + C_d * D$
SUBTRACT: $C = C_s * S - C_d * D$
REVERSE_SUBTRACT $C = C_d * D - C_s * S$

Примечание:

C – результат Цветового смешивания. Cs – Источник цвета, Cd – Назначение цвета. S и D – факторы для умножения Источника цвета и Назначения цвета соответственно, они определены в РЕ: СЕ Регистре Функции Смешивания.

ADD – сложение,

SUBTRACT –вычитание,

REVERSE-SUBTRACT ! реверсивное вычитание

1.3.3.3.9.1.4.4 РЕ: СЕ Регистр функции смешивания (0xF9)

Этот регистр определяет факторы для умножения источника цвета и назначения цвета для функции смешивания Устройства Записи.

Начальное значение: 0x0000-0000

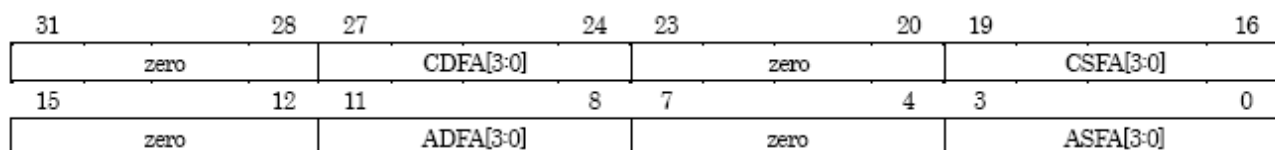
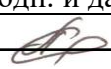


Рисунок 175 - РЕ: СЕ Регистр функции смешивания (Чт/Зп)

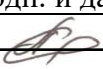
Таблица 193 - Описание полей Регистра РЕ: СЕ Регистр функции смешивания

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
CDFA	Чт/Зп	Фактор Назначения Цвета	Фактор назначения смешивания для RGB компонент 0x0: 0 (zero) 0x 1: 1 0x2: Источник Цвета 0x3: 1- Источник Цвета 0x4: Источник Альфа 0x5: 1- Источник Альфа 0x6: Назначение Альфа 0x7: 1- Назначение Альфа 0x 8: Константа Альфа 0x9: 1- Константа Альфа 0xA: Назначение Цвета 0xB: 1- Назначение Цвета 0xC: Константа Цвета 0xD: 1- Константа Цвета Else: Установка запрещена

Продолжение Таблица 193

					ЮФКВ.431268.005РЭ			Лист
								257
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

CSFA	ЧТ/Зп	Фактор Источника Цвета о	Фактор источника смешивания для RGB компонент 0x0: 0 (zero) 0x 1: 1 0x2: Источник Цвета 0x3: 1- Источник Цвета 0x4: Источник Альфа 0x5: 1- Источник Альфа 0x6: Назначение Альфа 0x7: 1- Назначение Альфа 0x 8: Константа Альфа 0x9: 1- Константа Альфа 0xA: Назначение Цвета 0xB: 1- Назначение Цвета 0xC: Константа Цвета 0xD: 1- Константа Цвета Else: Установка запрещена
ADFA	ЧТ/Зп	Фактор Назначения Цвета	Фактор назначения смешивания для А(альфа) компонент 0x0: 0 (zero) 0x 1: 1 0x2: Источник Цвета 0x3: 1- Источник Цвета 0x4: Источник Альфа 0x5: 1- Источник Альфа 0x6: Назначение Альфа 0x7: 1- Назначение Альфа 0x 8: Константа Альфа 0x9: 1- Константа Альфа 0xA: Назначение Цвета 0xB: 1- Назначение Цвета 0xC: Константа Цвета 0xD: 1- Константа Цвета Else: Установка запрещена
ASFA	ЧТ/Зп	Фактор Источника Цвета о	Фактор источника смешивания для А(альфа) компонент 0x0: 0 (zero) 0x 1: 1 0x2: Источник Цвета 0x3: 1- Источник Цвета 0x4: Источник Альфа 0x5: 1- Источник Альфа 0x6: Назначение Альфа 0x7: 1- Назначение Альфа 0x 8: Константа Альфа 0x9: 1- Константа Альфа 0xA: Назначение Цвета 0xB: 1- Назначение Цвета 0xC: Константа Цвета 0xD: 1- Константа Цвета Else: Установка запрещена

					ЮФКВ.431268.005РЭ			Лист
								258
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.3.9.1.4.5 PE: CE Регистр уравнения смешивания(0x0FA)

Этот регистр определяет уравнение смешивания для функции смешивания Устройства Записи.

Начальное значение: 0x0000-0000

31	18	17	16	15	2	1	0
zero				CEMD[1:0]	zero		AEMD[1:0]

Рисунок 176 - PE: CE Регистр уравнения смешивания (Чт/Зп)

Таблица 194 - Описание полей PE: CE Регистра уравнений смешивания

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
CEMD	Чт/Зп	Режим уравнений смешивания	Определяет уравнение смешивания для RGB компонент 00: ADD 01: SUBTRACT 10: REVERSE_SUBTRACT Иначе: установка запрещена
AEMD	Чт/Зп	Режим Alpha уравнений смешивания	Определяет уравнение смешивания для A (Alpha) компонент 00: ADD 01: SUBTRACT 10: REVERSE_SUBTRACT Иначе: установка запрещена

1.3.3.3.9.1.4.6 PE: CE Регистр источника Цветовых констант (0xFB)

Определены компоненты источника цветовых констант для функции смешивания Устройства Записи. На установочные значения ссылаются, когда цветовая константа или константа альфа определена как источник для фактора смешивания для PE: CE Регистра Функции Смешивания.

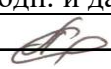
Начальное значение: 0x0000-0000

31	24	23	16	15	8	7	0
CSR[7:0]				CSG[7:0]		CSB[7:0]	

Рисунок 177 - PE: CE Регистр источника Цветовых констант (Чт/Зп)

Таблица 195 - Описание полей PE: CE Регистра функции уравнения смешивания

CSR	Чт/Зп	Константа источника Красный	Источник значения константы для компонента К определен
CSG	Чт/Зп	Константа источника Зеленый	Источник значения константы для компонента З определен
CSB	Чт/Зп	Константа источника Синий	Источник значения константы для компонента Г определен
CSA	Чт/Зп	Константа источника Альфа	Источник значения константы для компонента А определен

					ЮФКВ.431268.005РЭ			Лист
								259
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.3.3.9.1.4.7 PE: CE Регистр назначения констант цветового регистра(0xFC)

Определены компоненты источника цветовых констант для функции смешивания Устройства Записи. На установочные значения ссылаются, когда цветовая константа или константа альфа определена как назначение для фактора смешивания для PE: CE Регистра Функции Смешивания.

Начальное значение: 0x0000-0000

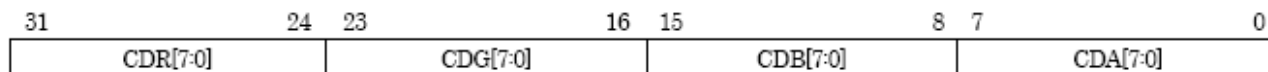


Рисунок 178 - Описание полей PE: CE Регистра назначения констант цветового регистра

Таблица 196 – Описание полей PE: CE Регистра назначения констант цветового регистра

CDR	Чт/Зп	Константа для назначения Красный	Назначение значения константы для компонента К определено
CDG	Чт/Зп	Константа для назначения Зеленый	Назначение значения константы для компонента З определено
CDB	Чт/Зп	Константа для назначения Синий	Назначение значения константы для компонента Г определен
CDA	Чт/Зп	Константа для назначения Альфа	Назначение значения константы для компонента А определен

1.3.3.3.9.1.4.8 PE: CE Регистр Коэффициента постепенного Затухания(0xFD)

Начальное значение: 0x0000-0000



Рисунок 179 - PE: CE Регистр Коэффициента постепенного Затухания (Чт/Зп)

Таблица 197 - Описание полей PE: CE Регистра Коэффициента постепенного Затухания

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
FAAR	Чт/Зп	Коэффициент постепенного затухания	Определен коэффициент постепенного затухания. На установочное значение ссылаются для функции затухания.

[Функция затухания]

Когда функция затухания значима (FAE = 1 в PE: CE Регистр значимости Смешивания), следующая операция выполняется:

$$A.Src = A.Src * FAAR$$

Здесь приводится пример установок для Альфа смешивания с функцией затухания.

					ЮФКВ.431268.005РЭ			Лист
								260
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

$$R.new = R.src * A.src * t + R.dst * (1 - A.src * t)$$

$$R.new = G.src * A.src * t + G.dst * (1 - A.src * t)$$

$$R.new = B.src * A.src * t + B.dst * (1 - A.src * t)$$

$$R.new = A.src * t + A.dst * (1 - A.src * t)$$

(Примечание: $t = FAAR$)

- (1) PE:CE Регистр значимости смешивания = 0x0000_0003
(BLE=1, FAE=1)
- (2) PE:CE Регистр значимости смешивания = 0x0504_0501
C DFA=0x5(1-SourceAlpha), CSFA=0x4(1-SourceAlpha)
ADFA=0x5(1-SourceAlpha), ASFA=0x1(ONE)
- (3) PE:CE Регистр значимости смешивания = 0x0504_0501
CEMD= 00 (ADD), AEMD= 00(ADD)
- (4) PE:CE Регистр источника цветowych констант Не имеет значения
- (5) PE:CE Регистр назначения цветowych констант Не имеет значения
- (6) PE:CE Регистр коэффициента затухания= 0x0000_00XX
FAAR=" Коэффициент затухания"

1.3.3.3.9.1.5 TXU Регистр

Этот подпункт описывает TXU регистры, которые управляют функциями Текстуры. В GT2D 2 Текстурных устройства (№0 и №1). Каждое Текстурное устройство используется следующим образом.

Текстурных устройства №0:.. Источник изображения для Sprite отрисовки. Источники изображения для 2-х и 3-х операндной Логической операции.

Текстурных устройства №1:.. Образец изображения для 3-х операндной Логической операции

Установки регистров для прошлых структур не используются внутри. Следовательно, необходимо выполнить "Инвалидировать Текстурный Кэш" сразу, когда используется отличающаяся структура (Адрес, Размер, Формат или LUT) или когда адресный режим для Текстурного буфера (режим степени 2 или линейный адресный режим) изменен.

1.3.3.3.9.1.5.1 PE: Регистр Инвалидации Текстурного Кэша (0x100)

Запись в этот регистр вызывает инвалидацию Текстурного КЭШа

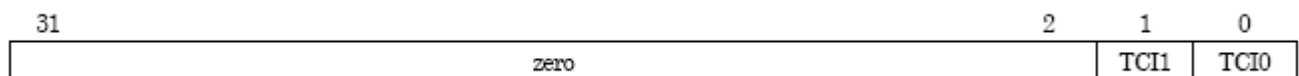


Рисунок 180 - PE: CE Регистр инвалидации Текстурного Кэша (Чт/Зп)

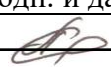
					ЮФКВ.431268.005РЭ			Лист
								261
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Таблица 198 - Описание полей PE: CE Регистра инвалидации текстурного кэша

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TCI1	Чт/Зп	Инвалидация Кэша Структуры №1	Текстурный кэш структуры №1 инвалидируется записью 1 в этот бит. 0: Нет операции 1: Инвалидация КЭШа 0 всегда возвращается пр и чтении
TCI0	Чт/Зп	Инвалидация Кэша Структуры №0	Текстурный кэш структуры №0 инвалидируется записью 1 в этот бит. 0: Нет операции 1: Инвалидация КЭШа 0 всегда возвращается пр и чтении

1.3.3.3.9.1.5.2 PE: Регистр Значимости 2D Текстуры №0 (0x1C0)

Определена операция устройства Текстуры №0

Начальное значение: 0x0000-0000

31	9	8	7	1	0
zero	LAE	zero	TXE		

Рисунок 181 - PE: CE Регистр инвалидации текстурного кэша (Чт/Зп)

Таблица 199 - Описание полей PE: Регистра Значимости 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
LAE	Чт/Зп	Значимость Линейной Адресации	Спецификация режима адресации для текстурного буфера 0: Режим размера степени двойки 1: Режим линейной адресации
TXE0	Чт/Зп	начимость	Спецификация. Значимости.незначимости/Текстурного Устройства 0: Текстурное Устройство №0 не значимо 1: Текстурное Устройство №0 значимо

Примечание 1 Линейный адресный режим (LAE=1) используется тогда, когда отрисованное изображение в цветовом буфере, размер которого, не кратный степени двойки, используется как sprite изображение

Примечание 2 Текстурное устройство №0 используется для источника изображения для Sprite отрисовки и источника изображения для 2-х и 3-х операндной логической операции

1.3.3.3.9.1.5.3 PE: Адресный регистр 2D Текстуры №0 (0x1C1)

Установлен адрес, который присвоен Текстуре №0

Начальное значение: 0x0000-0000

31	28	27	0
zero	TAD[27:0]		

Рисунок 182 - PE: Адресный регистр 2D Текстуры №0(Чт/Зп)

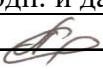
					ЮФКВ.431268.005РЭ			Лист
								262
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 200 - Описание полей PE: Адресного регистра 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TAD[27:0]	Чт/Зп	Адрес Текстуры	Определен стартовый адрес Текстурного буфера для Текстурного Устройства №0. Устанавливается как 28-разрядный адрес. Адрес должен быть выровнен соответствующим образом в зависимости от формата изображения (См. подпункт 1.3.3.3.2.2.)

1.3.3.3.9.1.5.4 PE:2D Регистр Размера 2D Текстуры №0 (0x1C2)

Определен размер изображения текстуры для устройства Текстуры №0

Начальное значение: 0x0000-0000

31	20	19	16	15	4	3	0
zero				TXW[3:0]	zero		TXH[3:0]

Рисунок 183 - PE: 2D Регистр Размера 2D Текстуры №0 (Чт/зп)

Таблица 201 - Описание полей PE: 2D Регистр Размера 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TXW	Чт/Зп	Ширина Текстуры	Определен ширина Текстурного изображения.. 0000: 1 0000: 2 ... 1010: 1024 1011: 2048 Иначе: установка запрещена
TXH	Чт/Зп	Высота Текстуры	Определен высота Текстурного изображения.. 0000: 1 0000: 2 ... 1010: 1024 1011: 2048 Иначе: установка запрещена

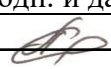
Примечание 1 Необходимо установить SPC регистр и SAT так, чтобы не превысить область размера Текстуры (SPC: Регистр UV Маски Текстуры №0).

Примечание 2 Этот регистр значимый только для режима, когда размер кратен степени двойки. (PE: Регистр значимости 2D Текстуры №0, LAE = 0).

1.3.3.3.9.1.5.5 PE:2D Регистр Формата 2D Текстуры №0 (0x1C3)

Определен формат изображения текстуры Текстуры №0

Начальное значение: 0x0000-0000

					ЮФКВ.431268.005РЭ			Лист
								263
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

31	8	7	0
zero	TXF[7:0]		

Рисунок 184 - PE: 2D Регистр Формата 2D Текстуры №0(Чт/Зп)

Таблица 202 - Описание полей PE: 2D Регистра Формата 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TXF	Чт/Зп	Формат Текстуры	Определен формат Текстуры.. 0x00(000_00_000): RGBA8888 0x20(001_00_000): RGB565 0x21(001_00_001): RGBA5551 0x22(001_00_010): RGBA4444 0x23(001_00_011): LA88 0x38(001_11_000): YUV422 0x40(010_00_000): A8 0x41(010_01_000): L8 0x48(010_01_000): 8бит Палитра 0x68(011_01_000): 4бит Палитра 0x70(011_01_000): LVQ#1 0x71(011_01_000): LVQ#2 0x72(011_01_000): LVQ#3 0x73(011_01_000): LVQ#4 0x74(011_01_000): LVQ#5 0x88(100_01_000): 2бит Палитра 0xA8(100_01_000): 1ит Палитра Иначе: установка запрещена

1.3.3.3.9.1.5.6 PE:Регистр Выбора Цветовой Палитры 2D Текстуры №0 (0x1C4)

Определяется Стартовый адрес LUT RAM, для ссылки, когда выбирается Цветовая Палитра для текстуры №0.

Начальное значение: 0x0000-0000

31	8	7	1	0
zero	LTA[7:1]	zero		

Рисунок 185 - PE: 2D Регистр Формата 2D Текстуры №0(Чт/Зп)

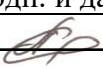
					ЮФКВ.431268.005РЭ			Лист
								264
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 203 - Описание полей PE: 2D РегистраВыбора Цветовой Палитры 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
LTA[7:1]	Чт/Зп	LUT адрес	Спецификация LUT RAM top адреса 8 бит Палитра Верхний(Тор) адрес всегда 0 независимо от LTA установок 4 бит Палитра LTA[7:4] -значимо 2 бит Палитра LTA[7:2] -значимо 1 бит Палитра LTA[7:1] -значимо

1.3.3.3.9.1.5.7 РЕ:Регистр Фильтрации 2D Текстуры №0 (0x1C5)

Определена значимость/незначимость билинейной фильтрации для Текстуры №0

Начальное значение: 0x0000-0000

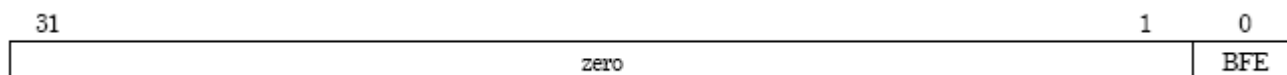


Рисунок 186 - РЕ: 2D Регистр Фильтрации 2D Текстуры №0 (Чт/Зп)

Таблица 204 - Описание полей PE: 2D Регистра Фильтрации 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
BFE	Чт/Зп	Билинейный фильтр	Спецификация билинейного фильтра должна быть значимо/незначимо.. 0: 1 1: 0

1.3.3.3.9.1.5.8 PE:Регистр Управления Прозрачностью 2D Текстуры №0 (0x1C6)

Этот регистр управляет прозрачностью цветов для Текстуры №0

Начальное значение: 0x0000-0000

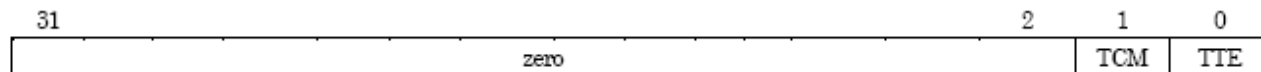


Рисунок 187 - РЕ: 2D Регистр Управления Прозрачностью 2D Текстуры №0 (Чт/Зп)

					ЮФКВ.431268.005РЭ	Лист
						265
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
18212-2		 14.11.11		18212-1		

Таблица 205 - Описание полей PE: 2D Регистра Управления Прозрачностью 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TCM	Чт/Зп	Режим прозрачности цветов	Спецификация определения прозрачности цвета. Определяется включен ли альфа компонент в определение прозрачности цветов 0: сравнивается с RGB компонентами 1: сравнивается с RGBA компонентами
TTE	Чт/Зп	Значимость Текстурной прозрачности	Спецификация текстурной прозрачности цветов должна быть значимой/незначимой 0: Прозрачность цветов незначима 1: Прозрачность цветов значима

1.3.3.3.9.1.5.9 PE:Регистр Цветовой Прозрачности 2D Текстуры №0 (0x1C7)

Определена прозрачность цветов для Текстуры №0

Начальное значение: 0x0000-0000

31	24	23	16	15	8	7	0	
TCR[7:0]				TCG[7:0]		TCB[7:0]		TCA[7:0]

Рисунок 188 - PE: 2D Регистр Цветовой Прозрачности 2D Текстуры №0 (Чт/Зп)

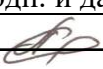
					ЮФКВ.431268.005РЭ			Лист
								266
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 206 - Описание полей PE: 2D Регистра Цветовой Прозрачности 2D Текстуры №0

TCR[7:0]	Чт/Зп	Цветовая прозрачность Красного	Компонент Красный цветовой прозрачности
TCG[7:0]	Чт/Зп	Цветовая прозрачность Зеленого	Компонент Зеленый цветовой прозрачности
TCB[7:0]	Чт/Зп	Цветовая прозрачность Синего	Компонент Синий цветовой прозрачности
TCA[7:0]	Чт/Зп	Цветовая прозрачность Альфа	Альфа компонент цветовой прозрачности действителен только когда Регистр Цветовой Прозрачности TCM=1

1.3.3.3.9.1.5.10 PE: BBoxLT регистр 2D Текстуры №0 (0x1C8)

Левая/Верхняя координата Bounding Box установлена, чтобы использоваться для обертки (Wrap) структуры Этот регистр задействуется только, когда билинейная фильтрация значима. (Например; PE:2D Регистр Фильтрации Текстуры №0 BFE=1)

Начальное значение: 0x0000-0000

31	27	26		16	15	11	10		0
zero			BUL[10:0]			zero			BVT[10:0]

Рисунок 189 - PE: BBoxLT регистр 2D Текстуры №0 (Чт/Зп)

Таблица 207 - Описание полей PE: BBoxLT Регистра 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
BUL[7:1]	Чт/Зп	BBox U Левый	Установлена Левая u координата в BBox
BVT[7:1]	Чт/Зп	BBox V Верхний	Установлена Верхняя v координата в BBox

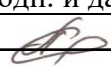
Примечание 1 Когда выполняется Повтор необходимо, чтобы ширина/высота текстуры была кратна степени двойки.

Примечание 2 Этот регистр управляет обработкой границы фильтрации. UV координаты обрабатываются в SPC: Следовательно, необходимо привести их в соответствие с у становкой SAT и SPC регистров (SPC:Регистр Маски Текстуры №0)

1.3.3.3.9.1.5.11 PE: BBoxRB регистр 2D Текстуры №0 (0x1C9)

Правая/Нижняя координата Bounding Box установлена, чтобы использоваться для обертки (Wrap) структуры Этот регистр задействуется только, когда билинейная фильтрация значима. (Например; PE:2D Регистр Фильтрации Текстуры №0 BFE=1)

Начальное значение: 0x0000-0000

					ЮФКВ.431268.005РЭ			Лист
								267
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

31	27	26	16	15	11	10	0
zero	BUR[10:0]				zero	BVB[10:0]	

Рисунок 190 - PE: BBoxRB регистр 2D Текстуры №0 (Чт/Зп)

Таблица 208 - Описание полей PE: BBoxRB регистр 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
BUR[7:1]	Чт/Зп	BBox U Левый	Установлена Левая ()и координата в BBox
BVB[7:1]	Чт/Зп	BBox V Верхний	Установлена Верхняя () v координата в BBox

Примечание 1 Когда выполняется Повтор необходимо, чтобы ширина/высота текстуры была кратна степени двойки.

Примечание 2 Этот регистр управляет обработкой границы фильтрации. UV координаты обрабатываются в SPC: Следовательно, необходимо привести их в соответствие с у становкой SAT и SPC регистров (SPC:Регистр Маски Текстуры №0)

1.3.3.3.9.1.5.12 PE:Регистр Обертки 2D Текстуры №0 (0x1CA)

Обеспечиваются установки, относящиеся к Обертке Текстуры №0.Этот регистр управляет обработкой границы для фильтрации. Этот регистр задействуется только, когда билинейная фильтрация значима.(Например; PE:2D Регистр Фильтрации Текстуры №0 BFE=1)

Начальное значение: 0x0000-0000

31	9	8	7	1	0
zero	UWM		zero	VWM	

Рисунок 191 - PE: Регистр Обертки 2D Текстуры №0 (Чт/Зп)

Таблица 209 - Описание полей PE: Регистра Обертки 2D Текстуры №0

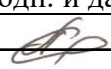
zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
UWM	Чт/Зп	Режим U Обертки	Спецификация Повтора/Фиксации в U направлении 0: Повтор 1: Фиксация
VWM	Чт/Зп	Режим V Обертки	Спецификация Повтора/Фиксации в V направлении 0: Повтор 1: Фиксация

Примечание 1 Этот регистр управляет обработкой границы фильтрации. UV координаты обрабатываются в SPC: Следовательно, необходимо привести их в соответствие с у становкой SAT и SPC регистров (SPC:Регистр Маски Текстуры №0)

1.3.3.3.9.1.5.13 PE:Регистр Размера Линейного Адреса 2D Текстуры №0 (0x1CB)

Определен размер текстурного буфера для Текстуры №0.Этот регистр значимый только, когда выбран режим линейной адресации.(Например; PE:2D Регистр Значимости Текстуры №0 LAE=1)

Начальное значение: 0x0000-0010

					ЮФКВ.431268.005РЭ			Лист
								268
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

31	12	11	4	3	0
zero	TBW[11:4]			zero	

Рисунок 192 - PE: Регистр Размера Линейного Адреса 2D Текстуры №0 (Чт/Зп)

Таблица 210 - Описание полей PE: Регистра Размера Линейного Адреса 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TBW[11:4]	Чт/Зп	Ширина буфера Текстуры №0	Спецификация ширины текстурного буфера Установлен размер в U направлении Это возможно определить в 16 texel устройстве(младшие 4 бита всегда (0))

Примечание 1 Необходимо установить SPC регистр и SAT так, чтобы не превысить Размер области Текстуры (SPC:UV Регистр маски Текстуры №0).

1.3.3.3.9.1.5.14 PE:Регистр Значимости 2D Текстуры №1 (0x1D0)

Определена операция Текстурного устройства №1.

Начальное значение: 0x0000-0000

31	9	8	7	1	0
zero	LAE	zero	TXE		

Рисунок 193 - PE: Регистр Значимости 2D Текстуры №0 (Чт/Зп)

Таблица 211 - Описание полей PE: Регистра Значимости 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
LAE	Чт/Зп	Значимость Линейной Адресации	Спецификация режима адресации для текстурного буфера 0: Режим размера степени двойки 1: Режим линейной адресации
TXE0	Чт/Зп	Значимость Текстуры	Спецификация. Значимости.незначимости/ Текстурного Устройства 0: Текстурное Устройство №1 не значимо 1: Текстурное Устройство №1 значимо

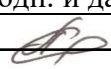
Примечание 1 Линейный адресный режим (LAE=1) используется тогда, когда отрисованное изображение в цветовом буфере, размер которого, не кратный степени двойки, используется как sprite изображение

Примечание 2 Текстурное устройство №1 используется для Образца изображения для 3-х операндной логической операции
(PE: 2D Управляющий Регистр 3-х Операндной Логической Операции TLO=1)

1.3.3.3.9.1.5.15 PE:Адресный регистр 2D Текстуры №1 (0x1D1)

Установлен адрес, который присваивается текстуре №1. Заметим, что устройство Текстуры №1 используется как модель изображения 3-х

Начальное значение: 0x0000-0000

					ЮФКВ.431268.005РЭ			Лист
								269
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

31	28	27	0
zero	TAD[27:0]		

Рисунок 194 - РЕ: Адресный регистр 2D Текстуры №1(Чт/Зп)

					ЮФКВ.431268.005РЭ			Лист
								270
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 212 - Описание полей PE: Адресного регистра 2D Текстуры №0

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TAD[27:0]	Чт/Зп	Адрес Текстуры	Определен стартовый адрес Текsturного буфера для Текsturного Устройства №1. Устанавливается как 28-разрядный адрес. Адрес должен быть выровнен соответствующим образом в зависимости от формата изображения (См. подпункт 1.3.3.3.2.2)

1.3.3.9.1.5.16 PE:Регистр Размера 2D Текстуры №1 (0x1D2)

Определен размер изображения текстуры для устройства Текстуры №1

Начальное значение: 0x0000-0000

31	20	19	16	15	4	3	0
zero	TXW[3:0]	zero	TXH[3:0]				

Рисунок 195 - PE: Регистр Размера 2D Текстуры №1 (Чт/Зп)

Таблица 213 - Описание полей PE: 2D Регистр Размера 2D Текстуры №1

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TXW	Чт/Зп	Ширина Текстуры	Определена ширина Текsturного изображения.. 0000: 1 0000: 2 ... 1010: 1024 1011: 2048 Иначе: установка запрещена
TXH	Чт/Зп	Высота Текстуры	Определен высота Текsturного изображения.. 0000: 1 0000: 2 ... 1010: 1024 1011: 2048 Иначе: установка запрещена

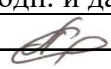
Примечание 1 Необходимо установить SPC регистр и SAT так, чтобы не превысить область размера Текстуры (SPC: Регистр UV Маски Текстуры №1).

Примечание 2 Этот регистр значимый только для режима, когда размер кратен степени двойки.
(PE: Регистр значимости 2D Текстуры №1, LAE = 0).

1.3.3.9.1.5.17 PE:Регистр Формата 2D Текстуры №1 (0x1D3)

Определен формат изображения текстуры для Текстуры №1

Начальное значение: 0x0000-0000

					ЮФКВ.431268.005РЭ			Лист
								271
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

31

8 7

0

zero

TXF[7:0]

Рисунок 196 - PE: 2D Регистр Формата 2D Текстуры №0(Чт/Зп)**Таблица 214 - Описание полей PE: 2D Регистра Формата 2D Текстуры №1**

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TXF	Чт/Зп	Формат Текстуры	Определен формат Текстуры.. 0x00(000_00_000): RGBA8888 0x20(001_00_000): RGB565 0x21(001_00_001): RGBA5551 0x22(001_00_010): RGBA4444 0x23(001_00_011): LA88 0x38(001_11_000): YUV422 0x40(010_00_000): A8 0x41(010_01_000): L8 0x48(010_01_000): 8бит Палитра 0x68(011_01_000): 4бит Палитра 0x70(011_01_000): LVQ#1 0x71(011_01_000): LVQ#2 0x72(011_01_000): LVQ#3 0x73(011_01_000): LVQ#4 0x74(011_01_000): LVQ#5 0x88(100_01_000): 2бит Палитра 0xA8(100_01_000): 1ит Палитра Иначе: установка запрещена Заметим для справки, что биты 7-5 соответствуют количеству данных для 1 texel, биты 4-3 – методу обработки данных и биты 2-0 – внутреннему типу данных

Примечание 1 YUV и LVQ форматы не поддерживаются Текстурным Устройством №1**1.3.3.3.9.1.5.18 PE:Регистр Выбора Цветовой Палитры 2D Текстуры №1 (0x1D4)**

Определяется Стартовый адрес LUT RAM для ссылки, когда выбирается Цветовая Палитра для текстуры №1.

Начальное значение: 0x0000-0000

31

8 7

1 0

zero

LTA[7:1]

zero

Рисунок 197 - PE: 2D Регистр Выбора Цветовой Палитры 2D Текстуры №1 (Чт/Зп)

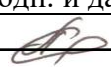
					ЮФКВ.431268.005РЭ			Лист
								272
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Таблица 215 - Описание полей PE: 2D Регистра Выбора Цветовой Палитры 2D Текстуры №1

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
LTA[7:1]	Чт/Зп	LUT адрес	Спецификация LUT RAM топ адреса 8 бит Палитра Топ адрес всегда 0 независимо от LTA установок 4 бит Палитра LTA[7:4] установка значима 2 бит Палитра LTA[7:2] установка значима 1 бит Палитра LTA[7:1] установка значима

1.3.3.3.9.1.5.19 PE:Регистр Размера Линейного Адреса 2D Текстуры №1 (0x1DB)

Определен размер текстурного буфера для Текстуры №1.Регистр значимый только, когда выбран режим линейной адресации текстуры.(Например; PE:2D Регистр Значимости Текстуры №0 LAE=1)

Начальное значение: 0x0000-0000

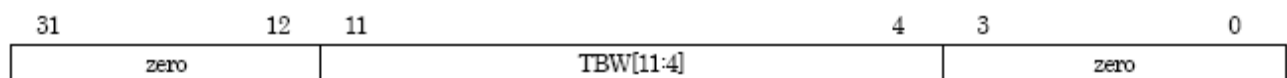


Рисунок 198 - PE: Регистр Размера Линейного Адреса 2D Текстуры №1 (Чт/Зп)

Таблица 216 - Описание полей PE: Регистра Размера Линейного Адреса 2D Текстуры №1

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TBW[11:4]	Чт/Зп	Ширина буфера Текстуры №0	Спецификация ширины текстурного буфера Установлен размер в U направлении Это возможно определить в 16 texel устройстве(младшие 4 бита всегда 0)

Примечание 1 Необходимо установить SPC регистр так, чтобы не превысить Размер области Текстуры
(SPC:UV Регистр маски Текстуры №1).

1.3.3.3.9.1.5.20 PE:Регистр Выборки 2D Текстуры (0x1E0)

Этот регистр только для тестовых целей.Запись другого, чем 0x0000-0000. Этот регистр выбирает выходные компоненты из Текстуры №0 и Текстуры №1 индивидуально

Начальное значение: 0x0000-0000

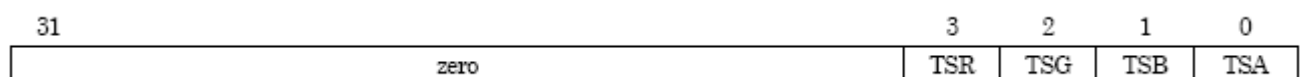


Рисунок 199 - PE: Регистр Выборки 2D Текстуры (Чт/Зп)

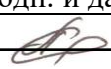
					ЮФКВ.431268.005РЭ			Лист
								273
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 217 - Описание полей PE: Регистра Выборки 2D Текстуры

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
TSR	Чт/Зп	Текстурная выборка Красный (Red)	Выборка R компонента текстуры .. 0: Текстура №0 1: Текстура №1
TSG	Чт/Зп	Текстурная выборка Зеленый (Green)	Выборка G компонента текстуры .. 0: Текстура №0 1: Текстура №1
TSB	Чт/Зп	Текстурная выборка Синий (Blue)	Выборка B компонента текстуры .. 0: Текстура №0 1: Текстура №1
TSA	Чт/Зп	Текстурная выборка Альфа	Выборка A компонента текстуры .. 0: Текстура №0 1: Текстура №1

1.3.3.3.9.1.6 BLU регистр

1.3.3.3.9.1.6.1 PE:Регистр Цветовой Маски (0x300)

Установка записи маски цветового буфера. Каждый компонент может быть определен независимо с маской. Маскируемый компонент не записывается в цветовой буфер.

Начальное значение: 0x0000-0000

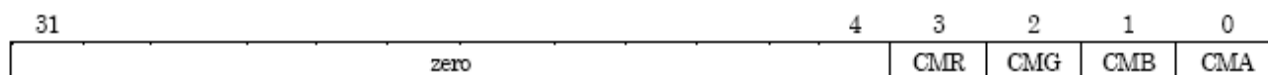


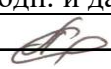
Рисунок 200 - PE: Регистр Цветовой Маски (Чт/Зп)

Таблица 218 - Описание полей PE: Регистра Цветовой Маски

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
CMR	Чт/Зп	Цветовая маска Красный (Red)	Спецификация R компонента маски 0: Маска незначима 1: Маска значима
CMG	Чт/Зп	Цветовая маска Зеленый (Green)	Спецификация G компонента маски .. 0: Маска незначима 1: Маска значима
CMB	Чт/Зп	Цветовая маска Синий (Blue)	Спецификация B компонента маски 0: Маска незначима 1: Маска значима
CMA	Чт/Зп	Цветовая маска Альфа	Спецификация A компонента маски 0: Маска незначима 1: Маска значима

Примечание 1 Запись маски также действительна, когда цветовой буфер обнуляется

Примечание 2 Когда YUV формат для цветового буфера выбран, функция записи маски не работает правильно и должно быть установлено 0x0000_0000 (функция незначимости маски)

					ЮФКВ.431268.005РЭ			Лист
								274
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

1.3.3.3.9.1.6.2 PE:Регистр Альтернативной Цветовой значимости (0x308)

Должен ли быть альтернативный цвет значимым/незначимым определяется компонентом. Когда альтернативный цвет значимый, цвет пикселей заменяется альтернативным цветом, определяемым в PE: Альтернативном цветовом регистре.

Начальное значение: 0x0000-0000

31	4	3	2	1	0
zero	ARE	AGE	ABE	AAE	

Рисунок 201 - PE: Регистр Альтернативной Цветовой значимости (Чт/Зп)

Таблица 219 - Описание полей PE: Регистра Альтернативной Цветовой значимости

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
ARE	Чт/Зп	Альтернативная значимость Красного (Red)	Спецификация значимости/незначимости R компонента альтернативного цвета 0: R компонент альтернативного цвета незначим 1: R компонент альтернативного цвета значим
AGE	Чт/Зп	Альтернативная значимость Зеленого (Green)	Спецификация значимости/незначимости G компонента альтернативного цвета 0: G компонент альтернативного цвета незначим 1: G компонент альтернативного цвета значим
ABE	Чт/Зп	Альтернативная значимость Синего (Blue)	Спецификация значимости/незначимости B компонента альтернативного цвета 0: B компонент альтернативного цвета незначим 1: B компонент альтернативного цвета значим
AAE	Чт/Зп	Альтернативная значимость Альфа	Спецификация значимости/незначимости A компонента маски 0: Маска незначима 1: Маска значима

1.3.3.3.9.1.6.3 PE:Альтернативный Цветовой регистр (0x309)

Определен альтернативный цвет

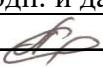
Начальное значение: 0x0000-0000

31	24	23	16	15	8	7	0
ACR[7:0]	ACG[7:0]	ACB[7:0]	ACA[7:0]				

Рисунок 202 - PE: Альтернативный Цветовой регистр (Чт/Зп)

Таблица 220 - Описание полей PE: Альтернативного Цветового регистра

ACR	Чт/Зп	Цветовая маска Красный (Red)	Спецификация R компонента маски 0: Маска незначима 1: Маска значима
ACG	Чт/Зп	Цветовая маска Зеленый (Green)	Спецификация G компонента маски .. 0: Маска незначима 1: Маска значима
ACB	Чт/Зп	Цветовая маска Синий (Blue)	Спецификация B компонента маски 0: Маска незначима 1: Маска значима
ACA	Чт/Зп	Цветовая маска Альфа	Спецификация A компонента маски 0: Маска незначима 1: Маска значима

					ЮФКВ.431268.005РЭ			Лист
								275
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.3.9.1.6.4 PE:Обнулить Цветовой регистр(0x310)

Определено Обнуление цвета для цветового буфера

[RGBA режим цветового буфера]

Когда цветовой режим цветового буфера RGBA (RGB565, RGBA5551, RGBA4444 или RGB8888), обнуление цвета должно быть определено в RGBA8888 формате.

Начальное значение: 0x0000-0000

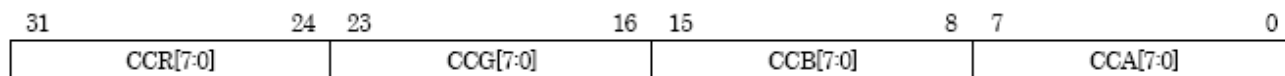


Рисунок 203 - PE: Обнулить Цветовой регистр (Чт/Зп)

Таблица 221 - Описание полей PE: Обнулить Цветовой регистр

CCR[7:0]	Чт/Зп	Обнулить цвет Красный (Red)	R компонент обнуления цвета
CCG[7:0]	Чт/Зп	Обнулить цвет Зеленый (Green)	G компонент обнуления цвета
CCB[7:0]	Чт/Зп	Обнулить цвет Синий (Blue)	B компонент обнуления цвета
CCA[7:0]	Чт/Зп	Обнулить цвет Альфа	A компонент обнуления цвета

[YUV режим цветового буфера]

Когда цветовой режим цветового буфера YUV422, обнуление цвета должно быть определено в YUV422 формате.

Начальное значение: 0x0000-0000

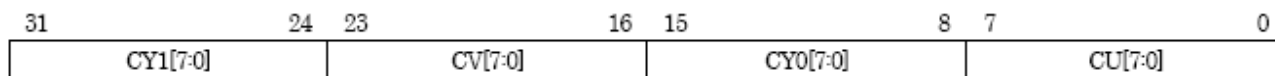


Рисунок 204 - PE: Обнулить Цветовой регистр (Чт/Зп)

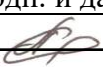
Таблица 222 - Описание полей PE: Обнулить Цветовой регистр

CY1	Чт/Зп	Обнулить цвет Y1	Y1 компонент обнуления цвета
CV	Чт/Зп	Обнулить цвет V	V компонент обнуления цвета
CY0	Чт/Зп	Обнулить цвет Y0	Y0 компонент обнуления цвета
CU	Чт/Зп	Обнулить цвет U	U компонент обнуления цвета

1.3.3.3.9.1.6.5 PE:Регистр обнуления LT Прямоугольника Цветового буфера (0x311)

Определена верхняя/левая граница области обнуления.

Начальное значение: 0x0000-0000

					ЮФКВ.431268.005РЭ			Лист
								276
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

31	27	26	16	15	11	10	0
zero	CRL[10:0]				zero	CRT[10:0]	

Рисунок 205 - РЕ: Регистр обнуления LT Прямоугольника Цветового буфера (Чт/Зп)

Таблица 223 - Описание полей РЕ: Регистра обнуления LT Прямоугольника Цветового буфера

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
CRL[10:0]	Чт/Зп	Обнулить прямоуг. Левый	Левая граница областиобнуления цветового буфера
CRT [10:0]	Чт/Зп	Обнулить прямоуг. Верхний	Верхняя граница областиобнуления цветового буфера

[RGBA режим цветового буфера]

Когда цветовой режим цветового буфера RGBA (RGB565, RGBA5551, RGBA4444 или RGB8888), нет ограничения по границе. CRL и CRTопределены пиксельным устройством.

[YUV422 режим цветового буфера]

Когда цветовой режим цветового буфера YUV422, CRL должно быть определено по четной пиксельной границе, потому что одно YUV устройство данных (32-х битовое) представляет 2 пикселя. (CRL[0] должно быть всегда 0)

1.3.3.3.9.1.6 РЕ:Регистр обнуления RB Прямоугольника Цветового буфера (0x312)

Определена правая/нижняя граница области обнуления.

Начальное значение: 0x0000-0000

31	27	26	16	15	11	10	0
zero	CRR[10:0]				zero	CRB[10:0]	

Рисунок 206 - РЕ: Регистр обнуления RB Прямоугольника Цветового буфера (Чт/Зп)

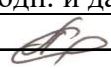
Таблица 224 - Описание полей RB: Прямоугольника Цветового буфера

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
CRR[10:0]	Чт/Зп	Обнулить прямоуг. Правый	Правая граница областиобнуления цветового буфера
CRB [10:0]	Чт/Зп	Обнулить прямоуг. Нижний	Нижняя граница областиобнуления цветового буфера

[RGBA режим цветового буфера]

Когда цветовой режим цветового буфера RGBA (RGB565, RGBA5551, RGBA4444 или RGB8888), нет ограничения по границе. CRR и CRB определены пиксельным устройством.

[YUV422 режим цветового буфера]

					ЮФКВ.431268.005РЭ			Лист
								277
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Когда цветовой режим цветового буфера YUV422, CRR должно быть определено по четной пиксельной границе, потому что одно YUV устройство данных (32-х битовое) представляет – пикселя. (CRR[0] должно быть всегда 1)

1.3.3.3.9.1.6.7 PE: Стартовый Регистр Обнуления Цветового буфера (0x313)

Запись CBC=1 вызывает старт Устройства Записи, чтобы обнулить цветовой буфер

Начальное значение: 0x0000-0000

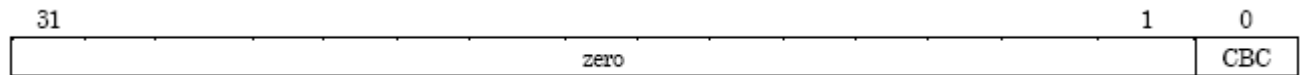


Рисунок 207 - PE: Стартовый Регистр Обнуления Цветового буфера (Чт/Зп)

Таблица 225 - Описание полей RB: Стартового Регистра Обнуления Цветового буфера

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
CBC	Зп	Обнуление Цветового Буфера	Старт обнуления цветового буфера. Обнуление цветового буфера выполняется записью 1 в этот бит 0 всегда возвращается при чтении

Когда обнуление цветового буфера начато этим регистром, требуется обнуление Flush цветового кэша(PE:Регистр Обнуления Flush Цветового Кэша CCF=1). Обнуление Flush цветового кэша выполняется автоматически, когда Буфер подкачивается. Следовательно, Обнуление Flush не требуется для обнуления немедленно после Авто Обнуления или Подкачки посредством установки Регистра Управления Кадрами.

1.3.3.3.9.1.6.8 PE: Регистр обнуления Цветового Кэша (0x318)

Запись CCF =1 вызывает стартобнуления цветового буфера

Начальное значение: 0x0000-0000

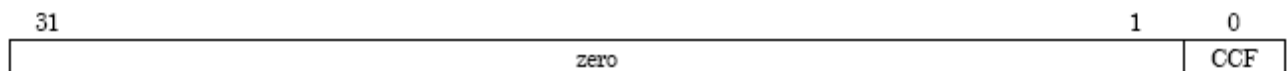


Рисунок 208 - PE: Регистр обнуления Цветового Кэша (Чт/Зп)

Таблица 226 - Описание полей PE: Регистра обнуления Цветового Кэша

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
CCF	Зп	Обнуление Цветового Кэша	Спецификация инвалидации данных цветового кэша. Данные в КЭШе нуются (Flushed) записью 1 в этот бит.0 всегда возвращается при чтении

1.3.3.3.9.1.6.9 PE: Регистр 2D Разрешения Смешивания (0x3C0)

Этот регистр определяет значимость/незначимость функции смешивания для Sprite отрисовки.

					ЮФКВ.431268.005РЭ			Лист
								278
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Начальное значение: 0x0000-0000

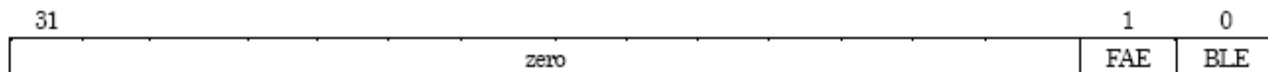


Рисунок 209 - PE: Регистр 2D Разрешения Смешивания (Чт/Зп)

Таблица 227 - Описание полей PE: Регистра 2D Разрешения Смешивания

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
FAE	Чт/Зп	Значимость Затухания	Определяет функцию Затухания 0: Затухание незначимо 1: Затухание значимо
BLE	Чт/Зп	Значимость Смешивания	Определяет функцию Смешивания 0: Смешивание незначимо 1: Смешивание значимо

[Функция Затухания]

Источник Альфа умножается на коэффициент, определяемый в PE: Регистре 2D Коэффициента постепенного затухания перед операцией смешивания, описанной ниже.

[Функция Смешивания]

Уравнения смешивания (ADD, SUBTRACT или REVERSE_SUBTRACT) определены в PE:2D Регистре уравнений Смешивания

Уравнения смешивания (ADD, SUBTRACT или REVERSE_SUBTRACT) определены в PE: Регистре 2D Уравнений Смешивания.. Уравнения Смешивания для RGB компонент и А компоненты определены отдельно. PE: CE Функция регистра 2D Смешивания определяет факторы для умножения Источника и Назначения Цвета.

$$\begin{aligned}
 \text{ADD:} & \quad C = C_s * S + C_d * D \\
 \text{SUBTRACT} & \quad C = C_s * S - C_d * D \\
 \text{REVERSE\_SUBTRACT} & \quad C = C_d * D - C_s * S
 \end{aligned}$$

Примечание:

C – результат Цветового смешивания. Cs – Источник цвета, Cd – Назначение цвета. S и D – факторы для умножения Источника цвета и Назначения цвета соответственно, они определены в PE: CE Регистре Функции Смешивания.

ADD – сложение,
SUBTRACT –вычитание,
REVERSE-SUBTRACT ! реверсивное вычитание

1.3.3.3.9.1.6.10PE: Регистр 2D Функции Смешивания (0x3C1)

Этот регистр олределяет факторы для умножения источника цветов и приемника цветов для функции смешивания для Sprite отрисовки.

Начальное значение: 0x0000-0000

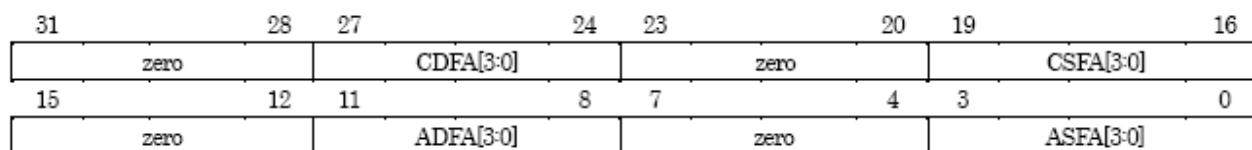


Рисунок 210 - PE: Регистр 2D Функции Смешивания (Чт/Зп)

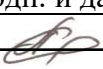
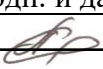
					ЮФКВ.431268.005РЭ			Лист
								279
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Таблица 228 - Описание полей PE: Регистра 2D Функции Смешивания

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращ. 0
CDFA	Чт/Зп	Фактор Назначения Цвета	Фактор назначения смешивания для RGB компонент 0x0: 0 (zero) 0x 1: 1 0x2: Источник Цвета 0x3: 1- Источник Цвета 0x4: Источник Альфа 0x5: 1- Источник Альфа 0x6: Назначение Альфа 0x7: 1- Назначение Альфа 0x 8: Константа Альфа 0x9: 1- Константа Альфа 0xA: Назначение Цвета 0xB: 1- Назначение Цвета 0xC: Константа Цвета 0xD: 1- Константа Цвета Else: Установка запрещена
CSFA	Чт/Зп	Фактор Источника Цвета о	Фактор источника смешивания для RGB компонент 0x0: 0 (zero) 0x 1: 1 0x2: Источник Цвета 0x3: 1- Источник Цвета 0x4: Источник Альфа 0x5: 1- Источник Альфа 0x6: Назначение Альфа 0x7: 1- Назначение Альфа 0x 8: Константа Альфа 0x9: 1- Константа Альфа 0xA: Назначение Цвета 0xB: 1- Назначение Цвета 0xC: Константа Цвета 0xD: 1- Константа Цвета Else: Установка запрещена
ADFA	Чт/Зп	Фактор Назначения Цвета	Фактор назначения смешивания для A(альфа) компонент 0x0: 0 (zero) 0x 1: 1 0x2: Источник Цвета 0x3: 1- Источник Цвета 0x4: Источник Альфа 0x5: 1- Источник Альфа 0x6: Назначение Альфа 0x7: 1- Назначение Альфа 0x 8: Константа Альфа 0x9: 1- Константа Альфа 0xA: Назначение Цвета 0xB: 1- Назначение Цвета 0xC: Константа Цвета 0xD: 1- Константа Цвета Else: Установка запрещена

					ЮФКВ.431268.005РЭ			Лист
								280
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Продолжение Таблица 228

ASFA	Чт/Зп	Фактор Источника Цвета о	Фактор источника смешивания для А(альфа) компонент 0x0: 0 (zero) 0x 1: 1 0x2: Источник Цвета 0x3: 1- Источник Цвета 0x4: Источник Альфа 0x5: 1- Источник Альфа 0x6: Назначение Альфа 0x7: 1- Назначение Альфа 0x 8: Константа Альфа 0x9: 1- Константа Альфа 0xA: Назначение Цвета 0xB: 1- Назначение Цвета 0xC: Константа Цвета 0xD: 1- Константа Цвета Else: Установка запрещена

1.3.3.3.9.1.6.11PE: Регистр 2D Уравнения Смешивания (0x3C2)

Этот регистр определяет уравнения смешивания функции смешивания для Sprite отрисовки.

Начальное значение: 0x0000-0000

31	18	17	16	15	2	1	0
zero	CEMD[1:0]	zero	AEMD[1:0]				

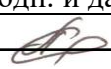
Рисунок 211 - PE: Регистр 2D Уравнения Смешивания (Чт/Зп)

Таблица 229 - Описание полей PE: Регистра 2D Уравнения Смешивания

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
CEMD	Чт/Зп	Режим уравнений смешивания	Определяет уравнение смешивания для RGB компонент 00: ADD 01: SUBTRACT 10: REVERSE_SUBTRACT Иначе: установка запрещенао
AEMD	Чт/Зп	Режим Alpha уравнений смешивания	Определяет уравнение смешивания для А (Alpha) компонент 00: ADD 01: SUBTRACT 10: REVERSE_SUBTRACT Иначе: установка запрещенао

1.3.3.3.9.1.6.12PE: Регистр 2D Источника Констант Цветового буфера (0x3C3)

Определены компоненты источника цветовой константы для функции смешивания Устройства Sprite. Установочные значения указываются, когда цветовая константа или константа альфа определены как фактор смешивания источника PE: Регистром 2D Функции Смешивания.

					ЮФКВ.431268.005РЭ			Лист
								281
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Начальное значение: 0x0000-0000

31	24	23	16	15	8	7	0
CSR[7:0]				CSG[7:0]		CSA[7:0]	

Определен коэффициент затухания для функции затухания.

Начальное значение: 0x0000-0000

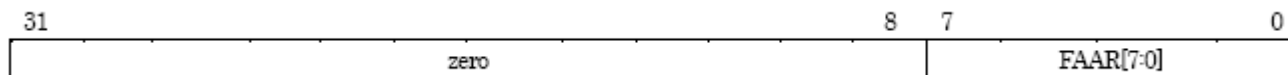


Рисунок 214 - PE: CE Регистр 2D Коэффициента постепенного Затухания (Чт/Зп)

Таблица 232 - Описание полей PE: Регистра 2D Коэффициента постепенного Затухания

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
FAAR	Чт/Зп	Коэффициент постепенного затухания	Определен коэффициент постепенного затухания. На установочное значение ссылаются для функции затухания.

[Функция затухания]

Когда функция затухания значима (FAE =1 в PE: CE Регистр значимости Смешивания), следующая операция выполняется:

$$A.Src = A.Src * FAAR$$

Здесь приводится пример установок для Альфа смешивания с функцией затухания.

$$R.new = R.src * A.src * t + R.dst * (1 - A.src * t)$$

$$R.new = G.src * A.src * t + G.dst * (1 - A.src * t)$$

$$R.new = B.src * A.src * t + B.dst * (1 - A.src * t)$$

$$R.new = A.src * t + A.dst * (1 - A.src * t)$$

(Примечание: $t = FAAR$)

(7) PE:CE Регистр значимости смешивания = 0x0000_0003
(BLE=1, FAE=1)

(8) PE:CE Регистр значимости смешивания = 0x0504_0501
CDFA=0x5(1-SourceAlpha), CSFA=0x4(1-SourceAlpha)
ADFA=0x5(1-SourceAlpha), ASFA=0x1(ONE)

(9) PE:CE Регистр значимости смешивания = 0x0504_0501
CEMD= 00 (ADD), AEMD= 00(ADD)

(10) PE:CE Регистр источника цветовых констант Не имеет значения

(11) PE:CE Регистр назначения цветовых констант Не имеет значения

(12) PE:CE Регистр коэффициента затухания= 0x0000_00XX
FAAR=" Коэффициент затухания"

1.3.3.3.9.1.6.15PE: Регистр 2D Значимости Логической Операции (0x3C8)

Определена функция Логической Операции

Начальное значение: 0x0000-0000

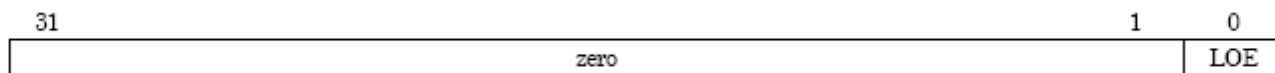


Рисунок 215 - PE:Регистр 2D Значимости Логической Операции (Чт/Зп)

					ЮФКВ.431268.005РЭ			Лист
								283
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Таблица 233 - Описание полей PE: 2D Значимости Логической Операции

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
LOE	Чт/Зп	Значимость Логической Операции	Спецификация значимости/незначимости Логической Операции. 0: Логическая Операция значима 1: Логическая Операция незначима

1.3.3.3.9.1.6.16PE:Регистр 2D Кода 3-х Операндной Логической Операции (0x3C9)

Определен код операции для использования в Логической Операции

Начальное значение: 0x0000-0000

31	8	7	0
zero			LOC[7:0]

Рисунок 216 - PE: Регистр 2D Кода 3-х Операндной Логической Операции (Чт/Зп)

Таблица 234 - Описание полей PE: Регистра 2D Кода 3-х Операндной Логической Операции

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
LOC[7:0]E	Чт/Зп	Код Логической Операции	Код 3-х . операндной логической операции LOC[7]: ~Pat & ~Src & ~Dst LOC[6]: ~Pat & ~Src & Dst LOC[5]: ~Pat & Src & ~Dst LOC[4]: ~Pat & Src & Dst LOC[3]: Pat & ~Src & ~Dst LOC[2]: Pat & ~Src & Dst LOC[1]: Pat & Src & ~Dst LOC[0]: Pat & Src & ~Dst

Примечание 1 Присваивания для источника Src(Source), назначения Dst(Destination) и образца Pat(Pattern) следующие

Src: Текстура №0

Dst: Цветовой буфер (невидимый буфер (back buffer))

Pat: Текстура №1

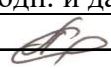
Примечание 2 Этот регистр задействован, когда функция Логической Операции значима(PE: Регистр 2D Логической Операции LOE=1).

Примечание 3 TLO бит в PE: 2D 3-х Операндном Управляющем регистре Логической Операции (см подпункт1.2.9.9.1.2.11) определяет 2-х операндный или 3-х операндный режим

TLO=0: 2-х операндная Логическая Операция

TLO=1: 3-х операндная Логическая Операция

Примечание 4 Что касается 2-х операндной Логической Операции, в добавление к установке TLO бита значение LOC должно быть установлено как LOC[7:4]= LOC[3:0] (Это 16 типов комбинаций0x00,0x11, ...0xFF)

					ЮФКВ.431268.005РЭ			Лист
								284
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Например, чтобы выполнить ~Src & Dst, установить LOC[7:4]=0x44

1.3.3.3.9.1.6.17PE: Регистр 2D Значимости Сглаживания (0x3D0)

Определена операция функции сглаживания

Начальное значение: 0x0000-0000

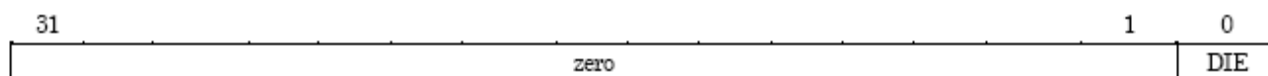


Рисунок 217 – PE: Регистр 2D Кода Значимости Сглаживания (Чт/Зп)

Таблица 235 - Описание полей PE: Регистра 2D Значимости Сглаживания

zero		Зарезервировано	Всегда должен записываться 0. При чтении возвращается 0
DIE	Чт/Зп	Значимость Сглаживания	Спецификация значимости/незначимости сглаживания. 0: Сглаживание незначимо 1: Сглаживание значимо

Примечание 1 Режим YUV422 не поддерживает сглаживание. Когда формат цветового буфера определен как YUV422 формат, Сглаживание должно быть незначимо. (DIE=0)

Более подробно графический контроллер описан в документе:
“GSHARKturbo2D, Functional Specification, Revision 1.0”.

					ЮФКВ.431268.005РЭ			Лист
								285
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.3.4 Устройство декодирования видео

1.3.3.4.1 Назначение видео декодера

Видео декодер “Multi-Standard High-Definition Video Decoder (MSVD-HD) выполняет мультиплексированное во времени декодирование множества потоков по различным стандартам с разрешением до 2048 x 2048 пикселей. Это существенно лучше, чем полностью программное решение. MSVD-HD – решение в реальном масштабе времени для двойного потока декодирования видео с высоким разрешением с одним ядром на низкой частоте синхросигнала. В настоящее время поддерживаются стандарты H-264, MPEG-1/2 и VC-1.

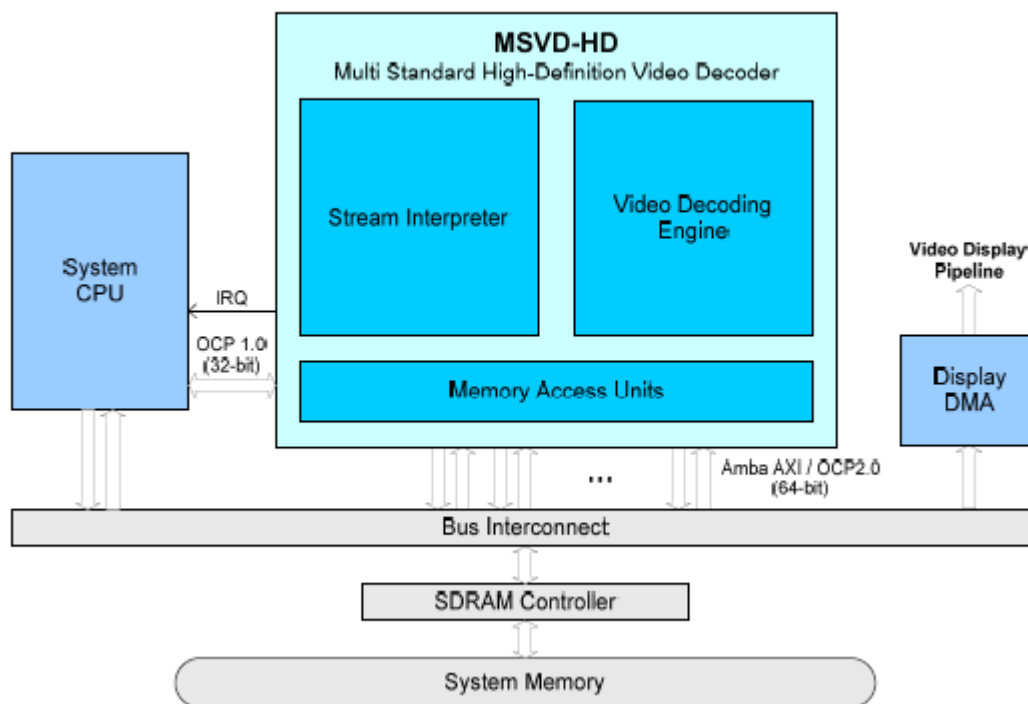


Рисунок 218 - Функциональное представление MSVD-HD

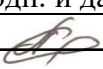
Декодирующая функциональность реализована как автономно работающий конвейер, состоящий из различных аппаратных блоков.(см. рисунок 107) Программный драйвер, работающий на внешнем контроллере (32-х разрядном процессоре общего назначения), выполняет начальную установку(setup) и общие управляющие задачи MSVD-HD читает входной поток из буфера, размещенного в системной памяти (SDRAM), и генерирует декодированное видео в YCbCr 4:2:0 формате. Выходные картинки запоминаются в буферной области декодированных картинок в системной памяти.

1.3.3.4.2 Характеристики и соответствие стандартам

Характеристики и стандарты

Поддерживаемые стандарты:

- o ITU-T H.264, ISO/IEC 14496-10 (Main and High Profile up to Level 4.2)

					ЮФКВ.431268.005РЭ			Лист
								286
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

- o SMPTE 421M VC-1 (Simple, Main and Advanced Profile @ Level 4)
- o ISO/IEC 11172-2 MPEG-1
- o ISO/IEC 13818-2 MPEG-2 (Main Profile @ High Level)
- Поддерживает все DVB, ATSC, HDTV, DVD, VCD разрешения, например, 1080i, 720p, D1
- Поддержка размера картинки от 48 x 32 пикселей до 2048 x 2048 пикселей
- Обнаружение ошибок и скрытие (concealment)
- Поддержка перемотки (Trick-mode)
- Обработка ES and PES потоков, выделение и обеспечение временных меток
- Видео декодер в составе Системы на кристалле (CoK) прототипирован на FPGA, включая взаимодействие с ASIC шиной и DDR2 SDRAM
 - o Проведена проверка производительности и сертификация для интеграции в CoK
- Проверен на Allegro H.264 сертификационном тестовом наборе
- 64-битовые порты к системе памяти, OCP 2.0 и AMBA AXI совместимость(compliant).

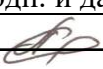
Производительность:

- Аппаратный, автономно работающий конвейер с декодированием, пропускная
- Пропускная способность 2 сэмпла (samples) на синхроимпульс
- Декодирование двойного потока до 1080i @ 30 кадров/сек @ 150 МГц частота синхроимпульсов ядра
- Декодирование одинарного потока до 1080p @ 60 кадров/сек @ 150 МГц частота синхроимпульсов ядра
- Мультиплексированное во времени многопоточное декодирование, возможны следующие комбинации:
 - o Два HD видео потока H.264, VC-1, MPEG-4, MPEG-2
 - o Один H.264 HD поток и четыре VC-1 SD потока
 - o Аппаратно поддерживаемое контекстное переключение между видео потоками (конфигурируется до 16 потоков)
 - o Аппаратура поддерживает контекстное переключение картинок и строк макроблоков
- MSVD-HD ядро и система памяти могут работать с различными частотами синхроимпульсов, пересечение доменов синхроимпульсов – часть MSVD-HD.

Ключевые преимущества

- Эффективное решение по площади поликремния
- Ультра низкая мощность на оптимизированном не использующем процессор HDL проекте (designe)
- Реальные черты многопоточного декодирования:
 - o HD производительность двухпоточковой обработки.
 - o Множество потоков (до 16 аппаратно, минимальная программная поддержка)
 - Приложения могут быть предварительно программно просматриваемыми (program preview), возможно уменьшенное и упрощенное растровое изображение для множества потоков (thumbnail streams)
 - o Одновременное мультипоточное и мультистандартное декодирование
 - Например, один HD H.264 и один HD MPEG-2 поток

1.3.3.4.3 Функциональный обзор

					ЮФКВ.431268.005РЭ			Лист
								287
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

MSVD-HD – оптимизированное решение для применений видео декодирования. MSVD-HD основано на архитектуре, которая использует конвейер и параллелизм на различных уровнях. Блок-схема MSVD-HD показана на рисунке 57. MSVD-HD состоит из аппаратной части и программной части. Аппаратная часть состоит из двух основных блоков Поточкового Анализатора

(Stream Interpreter(SI)) и Устройства Декодирования Мульти-стандартного Видео (Multi-standard Video Decoding Engine (MVDE)). Для достижения максимальной производительности все части, изображенные на Рисунок 219, работают параллельно.

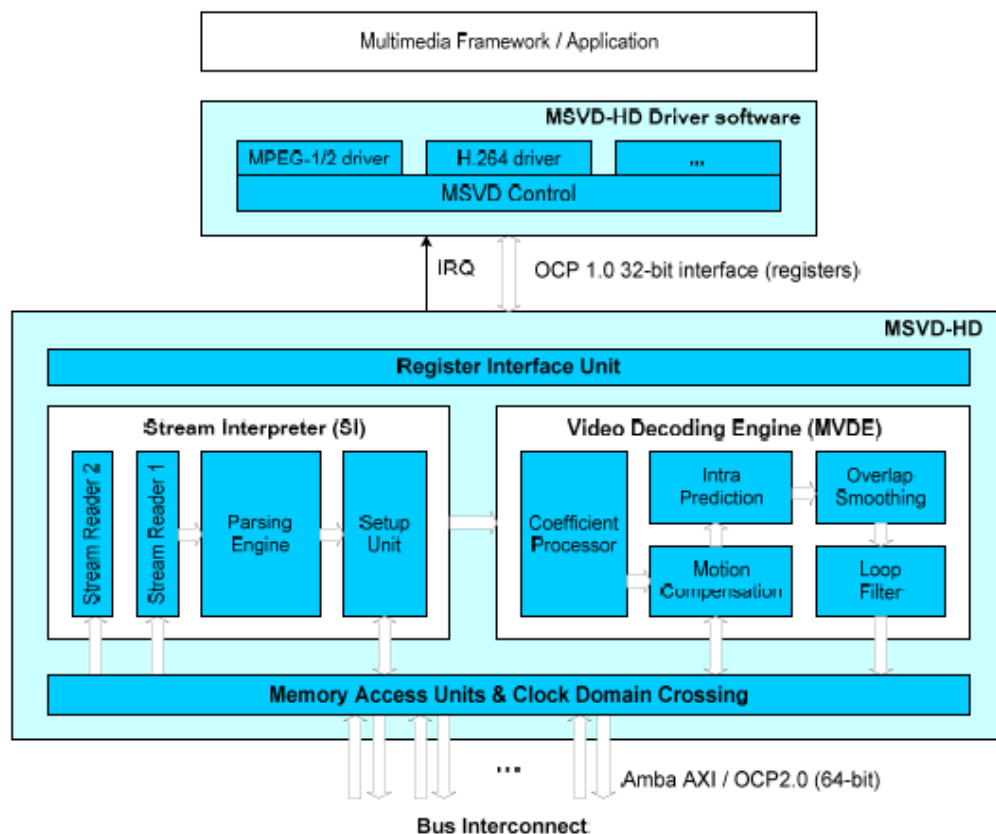


Рисунок 219– Блок-схема MSVD-HD

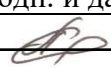
1.3.3.4.4 MSVD-HD

1.3.3.4.4.1 Поточковый анализатор (Stream Interpreter)

Поточковый анализатор (Stream Interpreter (SI)) состоит из двух блоков: Синтаксический Анализатор (Parsing Engine) и (Устройство Установки) Setup Unit. Кроме того, SI содержит два Устройства Чтения Потока(Stream Reader) и управляющий модуль. SI отвечает за синтаксический анализ потока, энтропийное декодирование и реконструкцию информации макроблока. Реконструированные данные макроблока и параметры (например, коэффициенты, вектора движения и макроблочные дескрипторы) передаются в MVDE.

Синтаксический Анализатор (Parsing Engine)

Все синтаксические элементы битового потока анализируются синтаксическим анализатором.

					ЮФКВ.431268.005РЭ			Лист
								288
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Проанализированные элементы записываются в структуру данных, которая зависит от обрабатываемого видео стандарта. В случае обнаружения ошибок в битовом потоке Синтаксический Анализатор инициирует меры скрытия (concealment) ошибок и заканчивает декодирование в ближайшей точке синхронизации. Для процесса скрытия различные режимы могут быть выбраны.

Синтаксический Анализатор состоит из нескольких блоков, которым выделены определенные задачи процесса синтаксического анализа битового потока. Набор низкоуровневых потоковых синтаксических анализаторов для различных видео стандартов присутствует для анализа битового потока от уровня картинки до уровня региона (slice).

Устройство Чтения Потока 1 получает битовый поток из системной памяти, обеспечивает функции сдвига и выравнивания и другие выделенные функции, требуемые для PES синтаксического анализа (Packetized Elementary Stream – пакетный элементарный поток) и выделения для NAL(Network abstraction Layer) устройства (для H.264).

Синтаксический Анализатор содержит набор энтропийных декодеров для декодирования синтаксических элементов для различных стандартов. CAVLC и CABAC декодеры используются для декодирования потоков H.264. Основанные на таблицах декодеры переменной длины пригодны для декодирования MPEG-1/2/4 и VC-1 потоков.

Устройство Установки (Setup Unit)

Устройство Установки в основном состоит из трех устройств, которые вычисляют данные макроблока из предсказанных значений. Эти устройства следующие –устройство предсказания векторов движения, устройство установки для интра предсказания(intra prediction), устройство установки для деблочного фильтра(loop filter). Эти устройства решают все временные и пространственные зависимости и вычисляют все данные, необходимые MVDE модулю. Эти данные форматируются и предоставляются MVDE Контекстному Компоновщику (Context Composer), который также размещен в Устройстве Установки.

1.3.3.4.2 Устройство мульти-стандартного видео декодирования

Устройство мульти-стандартного видео декодирования (Multi-Standard Video Decoding Engine(MVDE)) реконструирует макроблоки выполнением инверсного квантования, инверсного преобразования, компенсации движения и деблочной фильтрации в соответствии с информацией на макроблок, задаваемой Потоковым Анализатором (Stream Interpreter).

Обработка макроблоков внутри MVDE выполняется на автономно функционирующем конвейере. Конвейер обрабатывает несколько макроблоков по ступеням непрерывно.

Модули обрабатывающего конвейера разработаны для различных задач , таких как компенсация движения, преобразования и фильтрация и могут обрабатывать до 16 сэмплов (sample) за цикл .Степень параллелизма трактов данных выбрана таким образом, чтобы обеспечить оптимальную пропускную способность для различных видео стандартов.

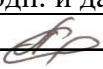
Декодированная картинка данных (YCbCr 4:2:0 формат) записывается в память устройством доступа к памяти, соединенным с деблочным фильтром. Промежуточные данные, необходимые для обработки также хранятся во внешней памяти. Несколько Устройств Доступа к Памяти используются для чтения и записи промежуточных данных.

Все блоки декодера соответствуют всем поддерживаемым стандартам и используют интенсивное разделение ресурсов. MVDE составлен из следующих пяти модулей:

Модуль Процессора Коэффициентов (Coefficient Processor Module), Модуль Компенсации движения (Motion Compensation Module), Модуль Интра Предсказаний (Intra Prediction Module), Модуль Сглаживания с Перекрытием (Overlap Smoothing Module) и Модуль Деблочного фильтра (Loop Filter Module).

Процессор Коэффициентов

Модуль Процессора Коэффициентов (Coefficient Processor Module) выполняет задачи AC/DC предсказания, сканирования, инверсное квантования и инверсного преобразования. В

					ЮФКВ.431268.005РЭ			Лист
								289
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

зависимости от видео стандарта инверсное преобразование вычисляется как одиночное целочисленное преобразование или в комбинации с инверсным преобразованием Адамара DC- коэффициентов.

Компенсация движения

Модуль Компенсации движения (Motion Compensation Module) выполняет предсказание с компенсацией движения, включая фильтрацию данных ссылочной картинке. Оба интерполирующих фильтра полу-пиксельный и четверть-пиксельный изготовлены для различных стандартов также как предсказание в предписанном режиме (direct mode) для всех уровней

Н.264. Интенсивность компенсации и диапазон уменьшения также поддерживаются, как требуется для VC-1 стандарта.

Интра предсказания

Модуль Интра Предсказаний (Intra Prediction Module) используется только в случае Н.264 для интра макроблоков. В других случаях Модуль Интра Предсказаний переключен в режим обхода (bypass mode). Стандарт Н.264 определяет различные режимы интра предсказания для блоков различного размера. Предсказание для 4 x 4 и 8 x 8 включает девять различных режимов каждое, в то время как для 16 x 16 и предсказание для цветоразностного блока включает четыре различных режима каждое.

Сглаживание с Перекрытием

Фильтр Сглаживание с Перекрытием (Overlap Smoothing) применяется только для VC-1 декодирования. Операция фильтрации выполняется с использованием 4-входового (4-tap) фильтра через границы двух соседних 8 x 8 интра блоков. Если обрабатываются другие стандарты Модуль Сглаживание с Перекрытием переключается в режим обхода.

Деблочный фильтр

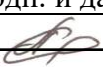
Модуль Деблочный фильтр (Loop Filter Module) для сглаживания “блочности” видео данных применяется для VC-1 и Н.264 стандартов. Модуль Деблочный фильтр может быть переключен в режим обхода.

1.3.3.4.4.3 Устройства доступа к памяти

Процессорные модули MSVD-HD соединяются с подсистемой внешней памяти через Устройства доступа к памяти (**Memory Access Units**). Устройства доступа к памяти принимают запросы передачи на запись и на чтение от модулей и передают эти запросы к подсистеме внешней памяти. Используется несколько различных устройств доступа к памяти с адаптированными схемами передачи, оптимизированными к требованиям обрабатывающих модулей. Устройства доступа к памяти обеспечивают однонаправленные каналы (с шириной данных 64 разряда) для связи с AMBA AXI или OCP 2.0 совместимыми системами памяти.

Связанная попарно очередь команд и потоковая схема данных подходят для использования канала с высокой пропускной способностью даже для контроллеров памяти, которые имеют

высокую начальную задержку. Образец доступа к памяти оптимизирован к поведению современных SDRAM технологий (например, DDR2). Преобразование доменов синхросигналов разрешает операцию MSVD-HD и подсистемы памяти с различными частотами синхросигналов. Частота подсистемы памяти может быть выше или равна частоте синхроимпульсов ядра MSVD-HD.

					ЮФКВ.431268.005РЭ			Лист
								290
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

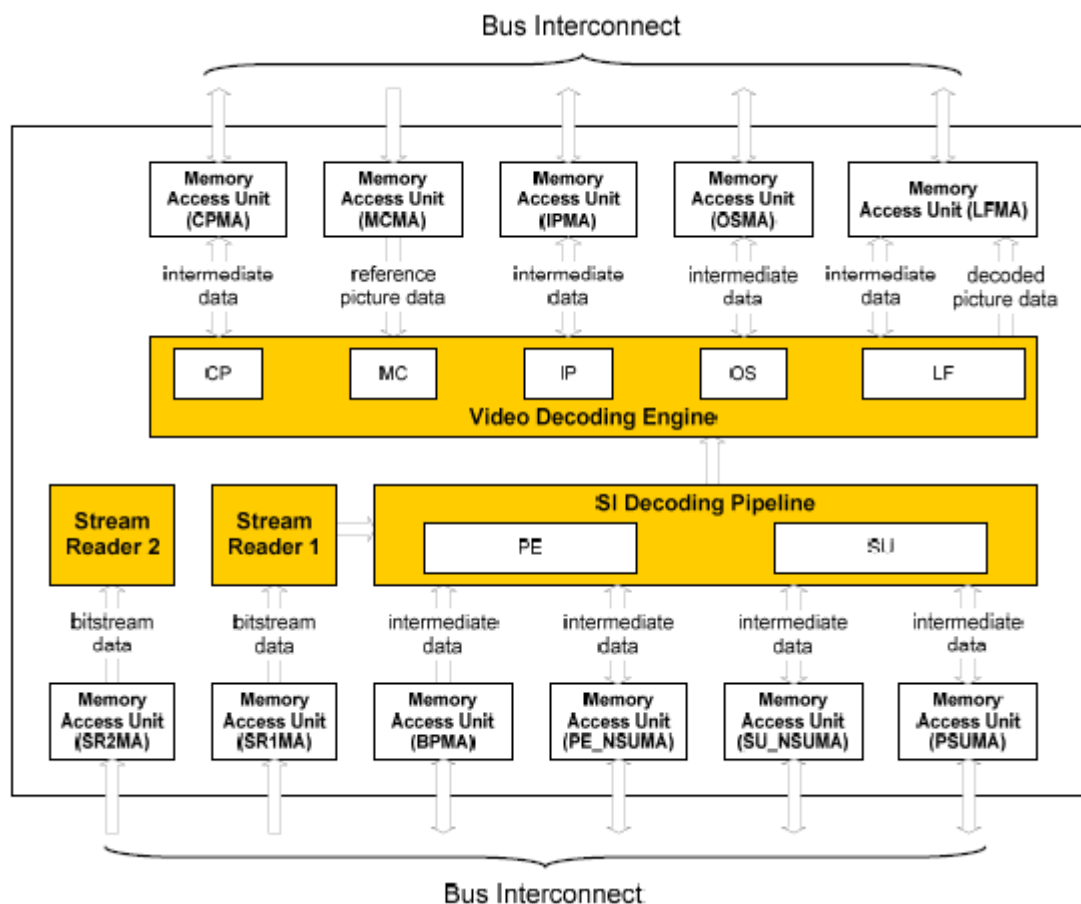


Рисунок 220 – Модули и Устройства доступа к памяти (Memory Access Units) MSVD-HD

1.3.3.4.4 Интерфейсы

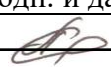
Таблица 236 – Тип доступа в описании регистров

Доступ	Обозначение
rw	Регистр считывается и записывается(его значение изменяется только при доступе по записи)
w	Только запись, чтение возвращает 0
r	Только чтение , запись не дает эффекта, бит может быть изменен аппаратно
rwh	Бит записывается и читается и его значение может быть изменено аппаратно

					ЮФКВ.431268.005РЭ			Лист
								291
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

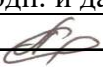
Таблица 237 – Описание регистров MSVD-HD

Имя	Доступ	Описание
VD_CLC	rwh	Управление синхроимпульсами
VD_ID	r	Идентификатор версии
VD_IMSC	rw	Маска прерываний
VD_RIS	r	Статус строки прерываний
VD_MIS	r	Маскируемый статус прерываний
VD_ICR	w	Обнуление статуса прерываний
VD_ISR	w	Установка статуса прерываний
VDSR_CMD	w	Регистр команд SR
VDSR_STAT	r	Обработанный статус SR
VDSR_PES_HDR_DATA	r	Данные заголовка PES
VDSR_PTS_L	r	Временная метка представления
VDSR_DTS_L	r	Декодированная временная метка
VDSR_SEARCH_RANGE	rw	Искать диапазон для поиска команд
VDSR_SEARCH_PATTERN_1	rw	Искать образец номер 1
VDSR_SEARCH_MASK_1	rw	Искать маску номер 1
VDSR_CFG	rw	Конфигурация SR
VDSR_STR_BUF_BA	rw	Базовый адрес потокового буфера
VDSR_STR_BUF_SIZE	rw	Размер потокового буфера
VDSR_STR_BUF_BLEN	r	Размер блока потокового буфера
VDSR_STR_BUF_THRESH	rw	Порог потокового буфера
VDSR_STR_OFFS	rwh	Смещение (offset) потока
VDSR_STR_OFFS_END	rw	Конец смещения (offset) потока
VDSR_STR_BUF_RDPTR	r	Указатель чтения смещения потока
VDSR_SEARCH_PATTERN_2	rw	Искать образец номер 2
VDSR_SEARCH_MASK_2	rw	Искать маску номер 2
VDSR_PARSE_STAT	rwh	Провести синтаксический анализ статуса SR
VDSR_GET_BITS	r	Данные потока с пост-инкрементным битовым указателем
VDSR_SHOW_BITS	r	Данные потока, битовый указатель не менялся
VDSR_FLUSH_SHOW	r	Данные потока с пре-инкрементным битовым указателем
VDSR_SHOW_ALIGNED	r	Данные потока от границы следующего байта
VDSR_SHOW_ALIGNED_EM	rw	Данные потока с эмулированными байтами от границы следующего байта
VDSI_CMD	w	Регистр команд SI
VDSI_STAT	r	Регистр статуса SI
VDSI_ERROR_STAT	r	Регистр ошибки статуса SI
VDSI_CFG	rw	Конфигурация SI
VDSI_DMA_LIST0_AD	rw	Начальный адрес листа 0 внутренней конфигурации DMA
VDSI_DMA_LIST1_AD	rw	Начальный адрес листа 1 внутренней конфигурации DMA
VDSI_DMA_LIST2_AD	rw	Начальный адрес листа 2 внутренней конфигурации DMA

					ЮФКВ.431268.005РЭ			Лист
								292
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение Таблица 237.

Имя	Доступ	Описание
VDSI_CONCEAL_CFG	rw	Скрытая конфигурация
VDSI_CONCEAL_CNT	r	Скрытый счетчик
VDSI_FIFO_ERROR	rw	SI_FF_FIFO ошибка
VDSI_CFG_DATA[k]	rw	MSVD_HD установочные данные(к параметров, зависящих от видео стандарта)
VDMV_CMD	w	Регистр команд MVDE
VDMV_STAT	r	Обрабатываемый статус MVDE
VDMV_CP_ERROR	r	Статус ошибки MVDE
VDMV_DELAY_TRASH	rw	Порог для определения задержки
VDMV_NCYC_AVG_MB	rw	Среднее число циклов на макроблок
VDMV_DELAY_STAT	r	Статус задержки обработки

					ЮФКВ.431268.005РЭ			Лист
								293
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.3.4.4.1 Протоколы и форматы данных

Все интерфейсы MSVD-HD работают (процессорный системный интерфейс, интерфейс считывателя потока и картинки интерфейсов данных) в формате big endian. Адресное условие для big endian порядка следования битов показано на Рисунок 221.

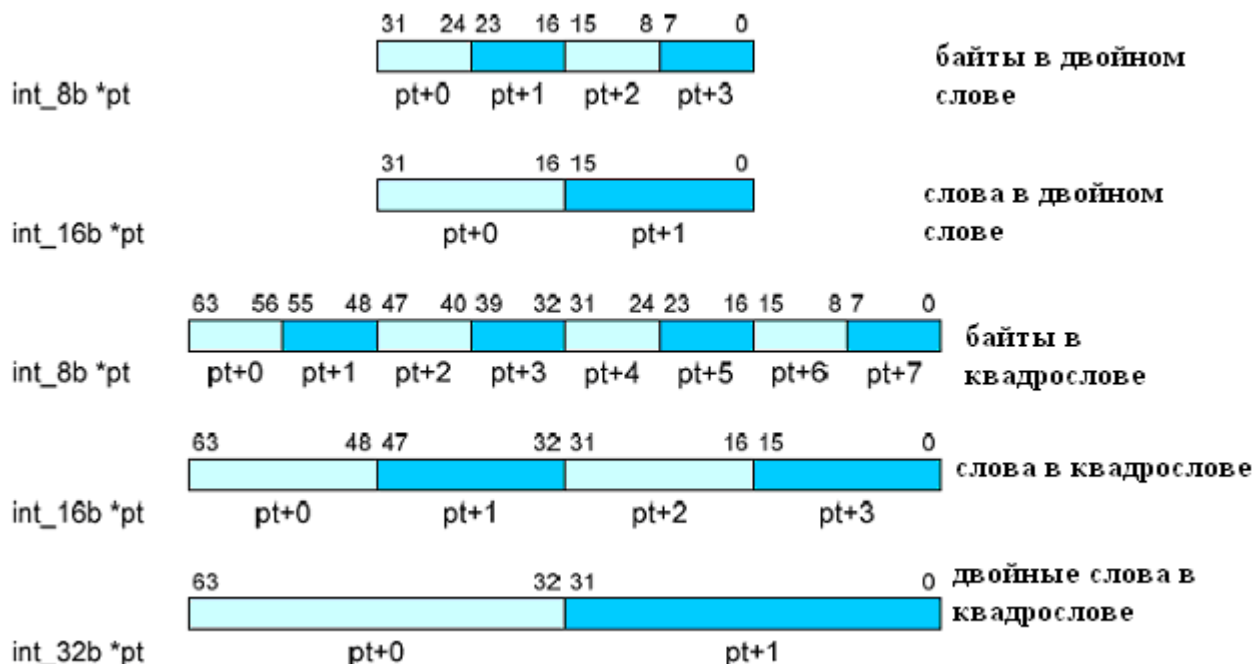


Рисунок 221 – Эндианность данных MSVD-HD

1.3.3.4.4.2 MSVD-HD аппаратный интерфейс

1.3.3.4.4.2.1 Команды MSVD-HD и прерывания

Команды MSVD-HD описаны в Таблица 238. Команды используют регистры команд SR, SI или MVDE. Любая команда подтверждается немедленно. Флаг занятости **cmd_busy** в соответствующем статус-регистре установлен в 1, когда начинается выполнение команды. Когда выполнение команды завершено, **cmd_busy** установлен в “0” и генерируется команда готовности прерывания.

Таблица 238 - Команды MSVD-HD

Команда	Описание
Команды общего назначения (применяются отдельно к SR1, SR2,SI и MVDE)	
Программное обнуление	Обнуляет внутренние состояния и заканчивает команды поиска. Перед этой командой будет применена команда “приостановить передачи по шине”, чтобы избежать подвешивания ОСР интерфейса.
приостановить передачи по шине	Работающие групповые пересылки данных на ОСР интерфейсах устройств доступа к памяти заканчиваются. Никакие новые передачи данных не начинаются. После этой команды команда программное обнуление может быть применена. Эта команда используется также для подготовки к отключению синхроимпульсов.

Продолжение Таблица 238

					ЮФКВ.431268.005РЭ			Лист
								294
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Команда					Описание				
Команды общего назначения (применяются отдельно к SR1, SR2,SI и MVDE)									
освободить передачи по шине					Приостановленные групповые пересылки данных на ОСР интерфейсах устройств доступа к памяти освобождаются. Эта команда используется для того, чтобы продолжить обработку после того, как как включатся синхроимпульсы.				
Команды для управления MSVD									
Декодировать до точки возврата					Начинает декодирование до возврата к следующей точке: H4: конец региона (slice) или num строк обработанного макроблока (в зависимости от того, какое условие наступит первым); M1,M2,V1: конец картинки или num строк обработанного макроблока (в зависимости от того, какое условие наступит первым)				
Скрыть num макроблоков					Начинает скрывание (обрабатывается num макроблоков)				
Удалить num макроблоков					Синтаксически анализирует цифровой поток битов без генерации выходных данных (обрабатывается num макроблоков)				
Остановить декодирование					Останавливает обработку после того как декодирование или скрывание текущего макроблока завершено Примечание 1: Эта команда не будет действовать, если MSVD-HD в начальной фазе. Примечание 2 Чтобы закончить операцию, SI и MVDE должны быть ре-инициализированы.				
Команды для Считывателя Потока									
Байтовое выравнивание					Устанавливает указатель цифрового битового потока на следующую выровненную по границе байта позицию. Эта команда не действует, если указатель битового потока уже побайтно выровнен.				
Искать код старта					Начинает поиск 24-битового кода старта(0x000001) Промежуточные данные от приостановленной команды поиска обнуляются. Если указатель битового потока не выровнен побайтно, выравнивание до байта выполняется до поиска старта. Команда заканчивается в случае следующих событий: - Найден код старта. - search_range достигнут. - str_offs_end достигнут и str_offs_end_en = 1.				
Искать образец					Начинает поиск .одного или двух 32-битных образцов (в зависимости от search_mode) Промежуточные данные от приостановленной команды поиска обнуляются. Если указатель битового потока не выровнен побайтно, выравнивание до байта выполняется до поиска старта. Окончание поиска управляется тем же самым образом, как окончание команды поиска кода старта.				

					ЮФКВ.431268.005РЭ					Лист
										295
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11			18212-1					

Продолжение Таблица 238

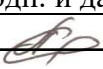
Команда	Описание
Команды для Считывателя Потока	
Продолжить	Продолжает команду поиска после того, как поиск был приостановлен. Выполняющаяся команда поиска не задействована. Продолжает также приостановленный доступ к SR буферу от Синтаксического Анализатора (Parsing Engine) Если выдана после достижения порога <i>str_buf_thresh</i> и перед тем как блок буфера был считан полностью, эта команда включает замену на следующий буфер видео потока без приостанавливания обработки считываемых данных. Эта команда не действует до тех пор пока <i>str_buf_thresh</i> не был достигнут.
Загрузить SRбуфер	Считает, что SRбуфер пустым и заполняет SRбуфер считываемыми данными из буфера видео потока, используя установки VDSR_STR_BUF_BA и VDSR_STR_OFFS . Эта команда используется после того как буфер видео потока был заполнен или переключения контекста.

Прерывания MSVD-HD даются в таблице 73. MSVD-HD содержит два Stream Readers (SR1 и SR2) SR1 имеет один интерфейс битового потока для доступа к данным, который используется системным процессором. SR2 оснащен двумя интерфейсами для битового потока для доступа к данным, один интерфейс – для системного процессора и один интерфейс для Синтаксического Анализатора (Parsing Engine).

1.3.3.4.4.2.2 Прерывания MSVD-HD

Таблица 239 – Прерывания MSVD-HD

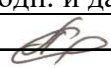
Прерывание	Описание
Прерывания SR1 и SR2	
Достигнут конец смещения	Прерывание происходит, если позиция бита, которая задается в VDSR_STR_OFFS_END достигнута
Конец смещения пропущен	Прерывание происходит, если позиция бита, которая задается в VDSR_STR_OFFS_END не была достигнута точно.
Считать ошибку из SR буфера	Прерывание происходит, если последние биты были считаны из SR буфера, независимо от того какой интерфейс используется для битового потока для доступа к данным.. В этом случае доступ из системного процессора (чтение данных, например, с <i>get_bits</i>) всегда подтверждается и возвращает значение добавляя нули к последним битам SR буфера. Работающая команда “искать образец” или “искать код старта” или доступ от “Синтаксического Анализатора”(Parsing Engine) приостанавливается Примечание: Прерывание не происходит в течение нормальной операции.

					ЮФКВ.431268.005РЭ			Лист
								296
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Продолжение Таблица 239

Прерывание	Описание
Прерывания SR1 и SR2	
Потоковый буфер блока пуст	Это прерывание происходит, если было считано SR из буфера видео потока во внешнюю память количество данных, которое равно VDSR_STR_DUF_BLEN и если не было получено ни одной команды “Продолжить во время чтения блока данных.”
Порог потокового буфера	Это прерывание происходит, если было считано SR из буфера видео потока во внешнюю память количество данных, которое равно VDSR_STR_DUF_THRESH. В это время буфер в SR содержит достаточное количество данных для доступа в битовое окно(например, с get_bits)
Блок потокового буфера изменился	Это прерывание происходит, когда операция чтения данных меняется с одного блока буфера видео потока на следующий блок.
TS выделен	Это прерывание происходит, если PES заголовок был найден и если этот PES заголовок содержал PTS или DTS данные. Данные - временных метки выделяются и задаются в VDSR_PTS_L, VDSR_DTS_L и VDSR_PES_HEADER данных.
PES заголовок найден	Это прерывание происходит, если PES заголовок был найден и удален из потока. Поиск и удаление PES заголовка активируется psra_en и VDSR_CFG.
код старта найден	Это прерывание происходит, если код старта найден и удален из потока. Это происходит, когда третий байт кода старта (равный 0x01) исключен из буфера выравнивания(например, доступ с get_bits). Примечание. Прерывание предназначено для параллельного поиска кода старта, не для команды “искать код старта”. Последняя заканчивает с прерыванием “команда готова”.

Более подробно устройство описано в приложении В

					ЮФКВ.431268.005РЭ			Лист
								297
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.3.5 Контроллер HDMI передатчика

1.3.3.5.1 Список поддерживаемых функций

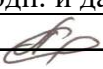
Данный блок поддерживает следующие функции:

- удобный HDMI 1.2 и DVI 1.0 передатчик;
- настраиваемый видео интерфейс, поддерживающий DVD и HD MPEG декодеры:
 - 24-bit RGB/YCbCr 4:4:4,
 - 16/20/24-bit YCbCr 4:2:2,
 - 8/10/12-bit YCbCr 4:2:2 (ITU.601 и 656),
- YCbCr в RGB преобразование,
- YCbCr 4:2:2 в YCbCr 4:4:4 преобразование,
- ВТА-Т1004 входной формат видео,
- Делитель или умножитель входной частоты (входящие частоты на 0.5x, 2x, 4x);
- интерфейс высококачественно звука:
 - четыре I²S входа поддерживают Dolby Digital, DVD-Audio (2-канальный 192 МГц, 8-канальный 96 МГц),
 - S/PDIF вход поддерживает PCM, Dolby Digital, DTS (32-192 МГц);
 - IEC60958 или IEC61937 совместимость,
 - программируемая адресация канала I²S,
 - 2:1 и 4:1 десемплирование для управления аудио потоками 96 МГц и 192 МГц;
- интерфейс Мастер I²C для DDC соединения упрощает размещение и понижает стоимость;
- встроенный HDCP для защиты аудио и видео содержимого;
- мониторинг подключений;
- программируемый генератор разрешения данных и синхронизации,
- гибкое управление питанием.

1.3.3.5.2 Архитектура

1.3.3.5.2.1 Функциональная схема верхнего уровня

HDMI передатчик является законченным решением для передачи HDMI-совместимых аудио и видео данных. Специальные возможности по обработке аудио и видео данных внутри передатчика создают прекрасную возможность легкой и дешевой совместимости с устройствами бытовой техникой. На Рисунок 222 изображена схема основных блоков устройств.

					ЮФКВ.431268.005РЭ			Лист
								298
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

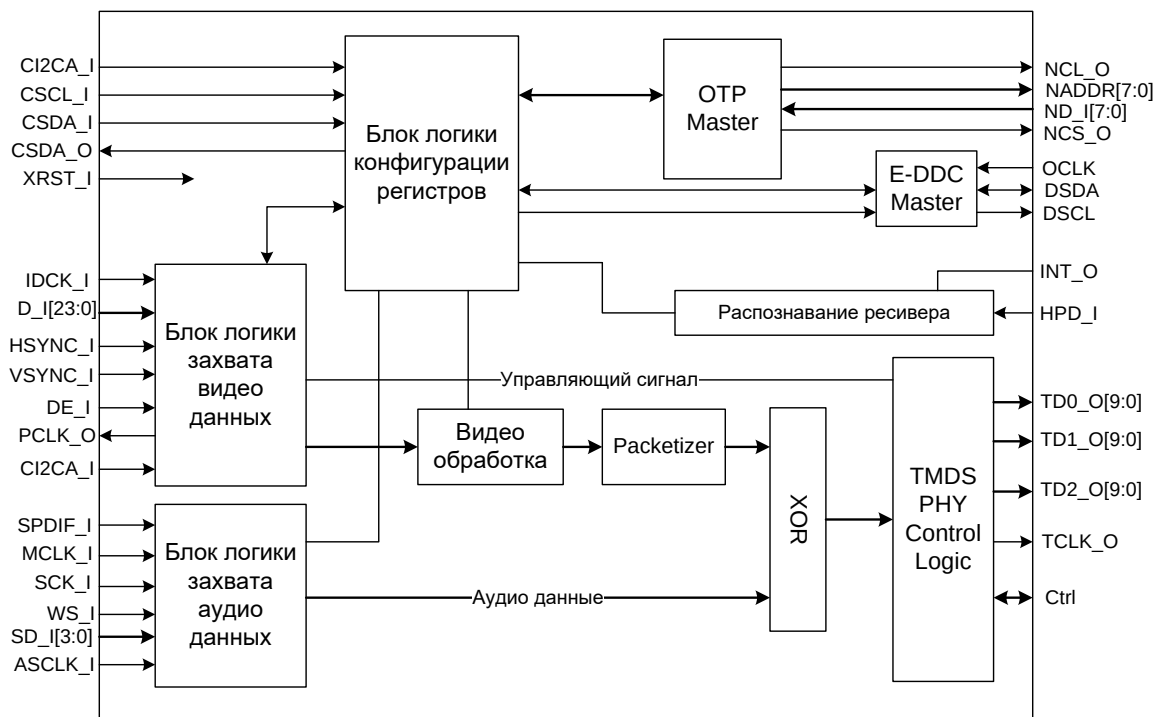
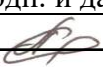


Рисунок 222 – Основные блоки устройства HDMI передатчика

1.3.3.5.2.2 Входные видео данные и преобразование

1.3.3.5.2.2.1 Видео обработка

На Рисунок 223 изображены этапы видео обработки. Каждый из блоков может быть заблокирован путем выбора соответствующих битов регистра. Входные сигналы HSYNC и VSYNC являются обязательными, за исключением встроенных режимов синхронизации. Входной сигнал DE является опциональным и может генерироваться с помощью импульсов HSYNC и VSYNC.

					ЮФКВ.431268.005РЭ			Лист
								299
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

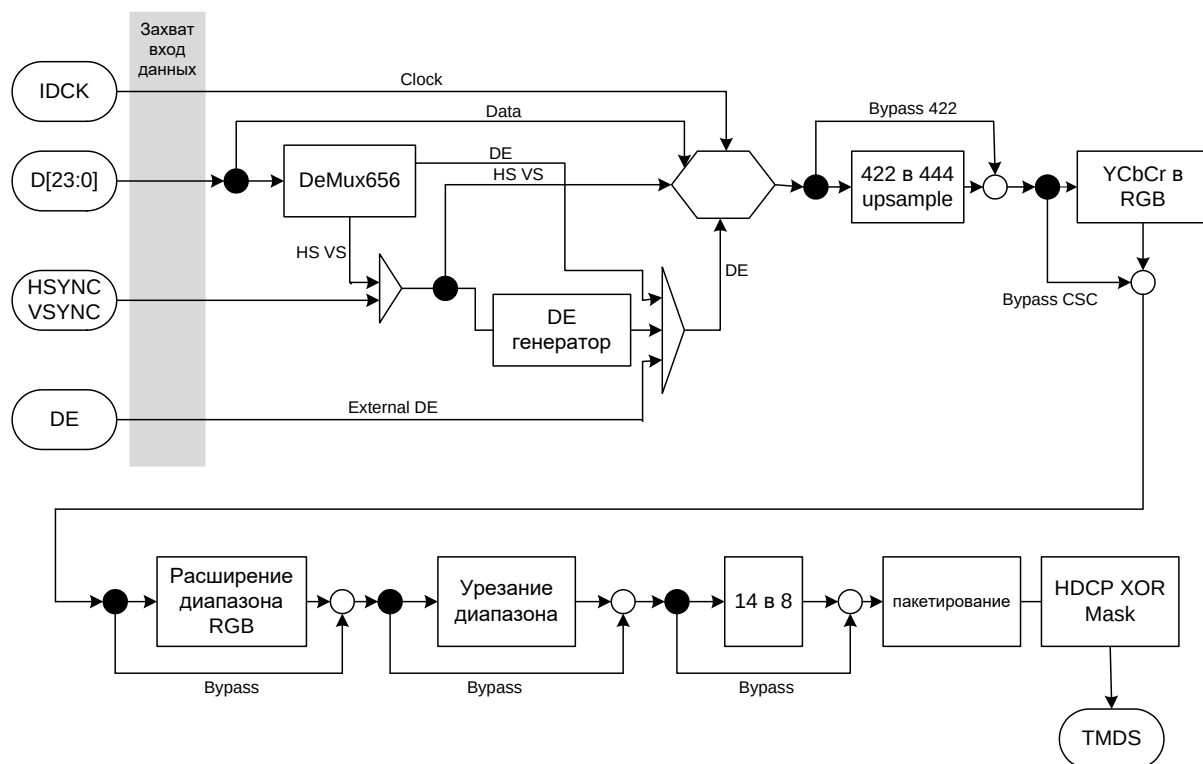


Рисунок 223 – Схема видео обработки данных

1.3.3.5.2.2.2 Делитель/умножитель входной частоты

Входная частота пикселя может быть умножена на 0.5, 1, 2 или 4. Входные видео форматы, которые используют коэффициент 2 (такой как, например, YC MUX режим), могут быть переданы по HDMI соединению с коэффициентом 1, аналогично с 1 в 2, 1 в 4 и 2 в 4.

1.3.3.5.2.2.3 Захват видео данных

Логика захвата видео данных в потоке несжатого цифрового видео занимает от 8 до 24 бита в ширину.

Данный интерфейс содержит три 8-битных канала, которые могут быть настроены на различные видео форматы (табл. 1). Они обеспечивают прямое соединение с главными AV процессорами. Настройки регистров формируют ширину шины, формат (8/10/12/16/20/24 бита) и подъем/падение на краю фиксации. Соответствующие регистры должны быть настроены для описания того, какой формат подается на вход HDMI передатчик. Данная информация проходит по HDMI в CEA-861B AVI пакетах (Active Video Information). HDMI передатчик так же поддерживает dual-edge clocking, используя 12 функциональных ног.

Форматы Common Video Input.

В Таблица 240 приведены форматы входного видео, поддерживаемые HDMI передатчиком.

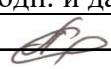
					ЮФКВ.431268.005РЭ			Лист
								300
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 240 – Пример входных видео форматов

Цветовое пространство	Видео формат	Входные каналы	Ширина шины	HSYNC/ VSYNC	480i	VGA/480p	XGA	720p	1080i	SXGA	1080p	UXGA	Примечание
RGB	4:4:4	3	24	Разд	27	25/27	65	74,25	74,25	108	148,5	162	
		1,5	12	Разд	27	25/27	65	74,25	74,25				3
YCbCr	4:4:4	3	14	Разд	27	27		74,25	74,25		148,5		
		1,5	12	Разд	27	27		74,25	74,25				3
	4:2:2	2	16/20/24	разд	27	27		74,25			148,5		
				встр	27	27		74,25			148,5		4
		1	8/10/12	Разд	27	54		148,5					
				Встр	27	54		148,5					4
			8/10/12	ВТА- T1004		54							4,6

Примечания:

- шина с шириной 8, 10, или 12 бит использует 1 канал. С шириной 16, 20 или 24 width с последовательностями данных 4:2:2 – использует 2 канала,
- latching edge является программируемым,
- данные форматы используют dual-edge clocking (FUJITSU HDMI TX PHY не поддерживает dual-edge clocking),
- если встроенные сигналы синхронизации являются входными, то сигнал DE генерируется изнутри из SAV/EAV последовательностей; встроенные сигналы синхронизации используют 656 SAV/EAV последовательности FF, 00, 00, XY,
- формат 480i должен подавать на частоте 27 МГц,
- 480i must be input at 27МГц, используя pixel replication (повторение пикселей),
- формат ВТА-T1004 определен для одноканальной шины с зашифрованными сигналами синхронизации.

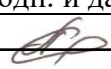
1.3.3.5.2.4 Декодирование встроенных сигналов синхронизации

HDMI передатчик может создавать сигнал DE, HSYNC и VSYNC из кодов SAV и EAV, содержащих 656 видео поток.

1.3.3.5.2.5 Data Enable (DE) генератор

HDMI передатчик содержит логику для создания DE сигнала из входящих сигналов HSYNC, VSYNC и clock. Регистры запрограммированы, чтобы получить сигнал DE, который определит размер активного региона экрана. Эта функция полезна при подключении к MPEG декодерам, которые не обеспечивают конкретных выходных DE сигналов.

1.3.3.5.2.6 Re-sampling

					ЮФКВ.431268.005РЭ			Лист
								301
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Re-sampling (up-sampling) блоки осуществляют преобразование данных из 4:2:2 в 4:4:4 для передачи через HDMI.

1.3.3.5.2.2.7 Преобразователи цветового пространства (CSC)

Два преобразователя цветового пространства (YCbCr в RGB) могут взаимодействовать различными видео форматами для обеспечения полной обратной совместимости с DVI 1.0 интерфейсом. CSC могут быть настроены для выполнения преобразований стандартной четкости в соответствии с ITU.601 или высокой четкости (ITU.709) путем установки соответствующих регистров.

YCbCr to RGB

YCbCr→RGB цветовой конвертор применим только к MPEG декодерам с RGB входами.

Конвертация из YCbCr в RGB может быть выполнена в с стандартном разрешении (ITU.601) или высоком разрешении (ITU.709). Формулы преобразований приведены в таблице 34.

Таблица 241 – YCbCr-to-RGB Color Space Conversion Formula

	Преобразование	YCbCr входная цветовая гамма
YCbCr 16-235 Input to RGB 16-235 Output	601	$R' = Y + 1.371(Cr - 128)$ $G' = Y - 0.698(Cr - 128) - 0.336(Cb - 128)$ $B' = Y + 1.732(Cb - 128)$
	709	$R' = Y + 1.540(Cr - 128)$ $G' = Y - 0.459(Cr - 128) - 0.183(Cb - 128)$ $B' = Y + 1.816(Cb - 128)$
YCbCr 16-235 Input to RGB 0-255 Output	601	$R' = 1.164((Y - 16) + 1.371(Cr - 128))$ $G' = 1.164((Y - 16) - 0.698(Cr - 128) - 0.336(Cb - 128))$ $B' = 1.164((Y - 16) + 1.732(Cb - 128))$
	709	$R' = 1.164((Y - 16) + 1.540(Cr - 128))$ $G' = 1.164((Y - 16) - 0.459(Cr - 128) - 0.183(Cb - 128))$ $B' = 1.164((Y - 16) + 1.816(Cb - 128))$

1.3.3.5.2.2.8 Цветовой диапазон масштабирования

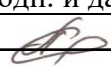
HDMI передатчик может выполнять масштабирование ограниченного цветового диапазона до полноразмерного с помощью блоков расширения спектра. При этом диапазон увеличивается из 16-235 до 0-255 для каждого видео канала. В связке с конвертором входной диапазон для конвертации каналов Cb и Cr составляет 16-240. Масштабирование является линейным.

1.3.3.5.2.2.9 Ограничение цветового пространства.

Блок ограничения цветового пространства (clipping) ограничивает значения выходного видео до 16-235 для RGB видео, а также до 16-240 для Cb и Cr каналов.

HDCP Encryption Engine/XOR Mask

HDCP encryption engine содержит всю необходимую логику для шифрования входящих аудио и видео данных, а также для поддержки HDCP Authentication и HDCP Repeater Check. Процесс шифрования полностью контролируется системой микроконтроллер/микропроцессор с помощью набора последовательностей регистров чтения и записи. Запрограммированные HDCP ключи и значения вариатора ключа (KSV) хранятся во внешней памяти и используются для шифрования. Конечное вычисленное значение применяется к XOR mask во время каждого такта для кодирования аудио/видео данных в базисе пиксель-к-пикселю.

					ЮФКВ.431268.005РЭ			Лист
								302
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

TMDS Digital Core.

TMDS digital core осуществляет 8-10 битное TMDS шифрование аудио/видео данных из HDCP XOR mask. Данные на выходе разделяются в 3 различных TMDS потока вместе с TMDS тактовым сигналом. Регистр, привязанный к EXT_SWING, используется для управления TMDS амплитудой.

1.3.3.5.2.3 Логика захвата аудио данных.

HDMI передатчик поддерживает цифровое аудио через S/PDIF, четыре I²S входа или восемь однобитовых аудио входов.

1.3.3.5.2.3.1 S/PDIF

S/PDIF поток может нести 2-канальные несжатые PCM данные (IEC 60958) или сжатый поток битов для мультисканальных форматов (IEC 61937). Логика захвата аудио данных формирует аудио данные в виде пакетов в соответствии с HDMI спецификацией. S/PDIF вход поддерживает частоту сэмпирования аудио от 32 до 192 кГц. Разделенный master clock вход (MCLK) когерентен входу S/PDIF и необходим для фиксирования времени запросов. Когерентен – означает, что MCLK и S/PDIF должны создаваться одним источником тактового сигнала. Обычно это достигается при использовании начального MCLK для вывода строба S/PDIF из чипа источника.

1.3.3.5.2.3.2 I²S

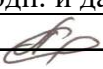
Четыре I²S входа делают возможным передачу DVD-audio или декодированного Dolby Digital на A/V ресиверы или современные дисплеи. Интерфейс поддерживает до 8 каналов с частотой 192 кГц. Порты I²S должны быть когерентны с MCLK. Сэмплирование аудиоданных может быть уменьшено в 2 или 4 раза. Это позволяет с помощью HDMI соединить шину аудио данных с аудио ЦАП с высоким сэмпированием, в то время как аудио уменьшенной частотой сэмпирования для дисплеев поддерживающих только низкие частоты сэмпирования. Предусмотрена конвертация из 192 в 48 кГц, 176.4 в 44.1 кГц, 96 в 48 и 88.2 в 44.1 кГц. Частота сэмпирования аудио может быть понижена только до 2х канального аудио. Соответствующие регистры должны быть конфигурированы для описания формата аудио на входе в HDMI передатчик. Информация проходит по HDMI в CEA-861B audio Info (AI) пакетах. MCLK частоты поддерживают различные частоты аудио сэмпирования, как показано в табл.

Таблица 242 – Поддерживаемые MCLK частоты

Fs	Частота сэмпирования аудио, Fs						
	Частоты, поддерживаемые I ² S и S/PDIF						
Fs	32 кГц	44.1 кГц	48кГц	88.2 кГц	96 кГц	176.4 кГц	192 кГц
128	4.096 МГц	5.645 МГц	6.144 МГц	11.29 МГц	12.288 МГц	22.579 МГц	24.576 МГц
192	6.144 МГц	8.467 МГц	9.216 МГц	16.934 МГц	18.432 МГц	33.868 МГц	36.864 МГц
256	8.192 МГц	11.29 МГц	12.288 МГц	22.579 МГц	24.576 МГц	45.158 МГц	49.152 МГц
384	12.288 МГц	16.934 МГц	18.432 МГц	33.864 МГц	36.864 МГц	67.737 МГц	73.728 МГц
512	16.384 МГц	22.579 МГц	24.576 МГц	45.158 МГц	49.152 МГц		
768	24.576 МГц	33.869 МГц	36.864 МГц	67.738 МГц	73.728 МГц		
1024	32.768 МГц	45.158 МГц	49.152 МГц				
1152	36.864 МГц	50.803 МГц	55.296 МГц				

1.3.3.5.2.4 HDCP Key ROM

Для HDMI передатчика требуются набор HDCP ключей. Для этого изготовителю системы необходимо приобрести их у Digital-Content LLC. Покупатели должны подписать HDCP лицензионное соглашение (www.digital-cp.com).

					ЮФКВ.431268.005РЭ			Лист
								303
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

1.3.3.5.2.5 Interrupt Out

Порт INT выдает сигнал прерывания микроконтроллера в HDMI передатчике в случаях:

- Monitor Detect (из HPD входа)
- VSYNC (для синхронизации микроконтроллера с вертикальным таймингом)
- Ошибка аудио формата
- DDC FIFO status
- HDCP ошибка аутентификации.

1.3.3.5.2.6 Управление и Конфигурация

Все функции HDMI передатчика управляются и отслеживаются I²C регистрами, как показано в Таблица 243. Адрес устройства может быть заменен с CI2CA_I портом. Нужно отметить, что уровень на CI2CA_I порте не фиксируется внутри и не должен быть изменен вследствие любых I²C операций.

Таблица 243 – Управление I2C адресом с помощью CI2CA_I порта

	CI2CA_I = High	CI2CA_I = Low
Первый адрес устройства	0x76	0x72
Второй адрес устройства	0x7E	0x7A

1.3.3.5.2.6.1 Registers/Configuration Logic

Регистровый блок включает все регистры, необходимые для конфигурирования и управления данным HDMI передатчиком. Эти регистры служат для осуществления HDCP аутентификации, обработки аудио/видео форматов, формирования CEA-861B инфо-пакета и управления выключением.

1.3.3.5.2.6.2 Slave I²C интерфейс

Интерфейс I²C контроллера на данном HDMI передатчике (порты CSCL_I, CSDA_I и CSDA_O) является Slave интерфейсом с частотой работы до 400 кГц. Эта шина данных используется для конфигурирования HDMI передатчика путем чтения и записи необходимых регистров.

1.3.3.5.2.7 DDC Master I2C интерфейс

HDMI передатчик включает в себя master I²C порт для прямого подключения к HDMI кабелю. DDC чтение и запись осуществляется путем чтения и записи в регистры в HDMI передатчике. Блок Master DDC поддерживает I²C транзакции, использующие спецификацию VESA Enhanced Display Data Channel Standard и поддерживает I²C транзакцию записи, необходимую для HDCP. Блок Master DDC соответствует стандартному режиму, согласно I²C спецификации (100 кГц) и поддерживает режим slave clock stretching, необходимый для EDDC.

Временные диаграммы работы интерфейса показаны на Рисунок 224.

S = start

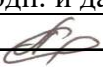
S_r = restart

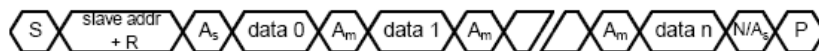
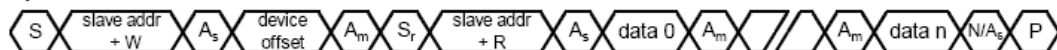
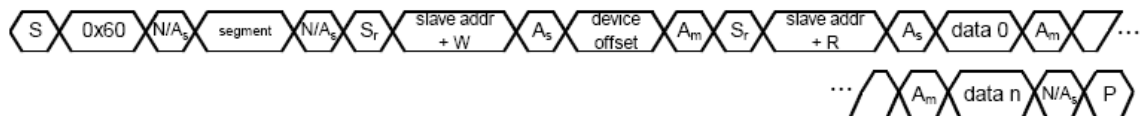
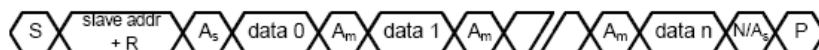
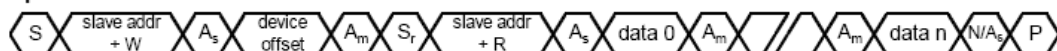
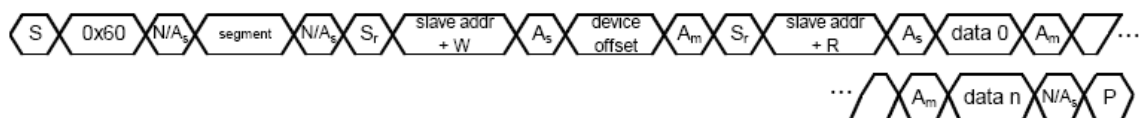
A_s = slave acknowledge

A_m = master acknowledge

N = no ack

P = stop

					ЮФКВ.431268.005РЭ			Лист
								304
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

Current Read**Sequential Read****Enhanced DDC Read****Sequential Write****Current Read****Sequential Read****Enhanced DDC Read****Sequential Write****Рисунок 224 - Поддерживаемые транзакции Master I2C**

Описание регистров контроллера HDMI передатчика приведено в Таблица 244.

Таблица 244 – Описание регистров контроллера HDMI передатчика

HDMI 1.2 Transmitter F_HDMITX1P2_L		
0x00-0x0E	Base	Device identification and general programming.
0x0F-0x31	HDCP processes.	HDCP authentication and other
0x32-0x6F	Video DE,	Sync Decoder and Encoder.
0x70-0x7F	Interrupt	Interrupt processing.
0xEC-0xFF	DDC	Mastering DDC Bus.
0xF8-0xFF	ROM	Status of HDCP keys in ROM.
0x00-0x3D	Audio	Audio features and translations. 31
0x3E-0xFE	CEA-861B	Support for InfoFrame Packets.

Более подробно устройство HDMI контроллера описано в документе: "HDMI 1.2 Transmitter F_HDMITX1P2_L Datasheet, Version 1.5a".

1.3.3.6 Универсальный цифровой процессор сигналов NMC3

1.3.3.6.1 Процессорная система NMU в составе СБИС ДЦТС

					ЮФКВ.431268.005РЭ			Лист
								305
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

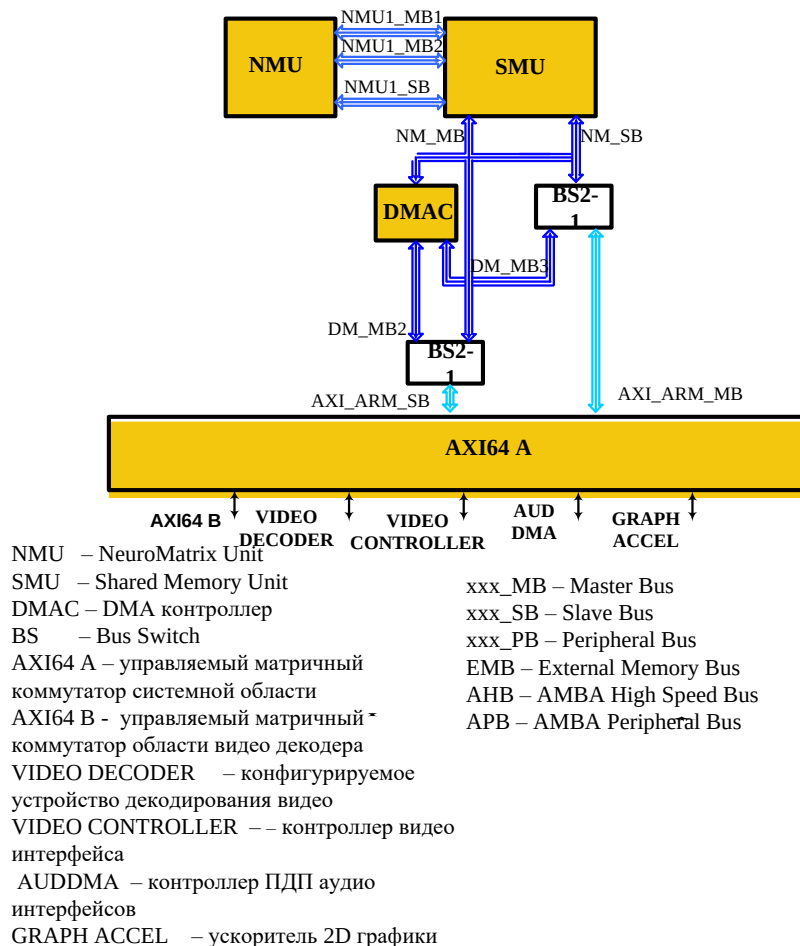


Рисунок 225 – Процессорная система NMU на базе ядра NeuroMatrix Core 3 в составе СБИС ДЦТС для устройств подсистемы “multimedia”.

Подключение NMU в состав СБИС ДЦТС для устройств подсистемы “multimedia” показано на Рисунок 225

NMU (NeuroMatrix Unit) - процессорная система, которая состоит из DSP ядра NeuroMatrix Core 3, памяти объемом 4 Мбит, развитой шинной структуры с набором коммутаторов, а также периферийных устройств. Более подробно процессорная система NMU описана в разделе 4 документа “Микросхема интегральная ЦУПП РЭ ЮФКВ 431268.004РЭ”. Все узлы системы NMU работают на частоте 324 МГц.

SMU (Shared Memory Unit) – система общей памяти объемом 4 Мбит, доступная для памяти системы “multimedia” и NMU. Все узлы системы SMU работают на частоте 324 МГц.

DMAC (DMA Controller) – контроллер ПДП, обеспечивающий обмен между подсистемой "multimedia" и NMU, обмен память – память. Контроллер управляется процессорной системой NMU.

BS (Bus Switch) – шинный коммутатор.

NMU1_MB1– 64-разрядная шина обмена данными между NMU1 и SMU. Инициатор обмена - NMU1. Частота работы шины - 324 МГц.

NMU1_SB - 64-разрядная шина обмена данными между SMU и NMU1. Инициатор обмена – SMU, который транслирует запросы во внутреннюю память NMU1 от AXI 64B, DMAC. Частота работы шины - 324 МГц.

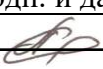
					ЮФКВ.431268.005РЭ			Лист
								306
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

NM_MB - 64-разрядная шина обмена данными между NMU1, DMAC или AXI. Инициатор обмена –NMU1. Частота работы шины - 324 МГц.

NM_SB - 64-разрядная шина обмена данными между NMU1, DMAC или AXI. Инициатор обмена - AXI. Частота работы шины - 324 МГц.

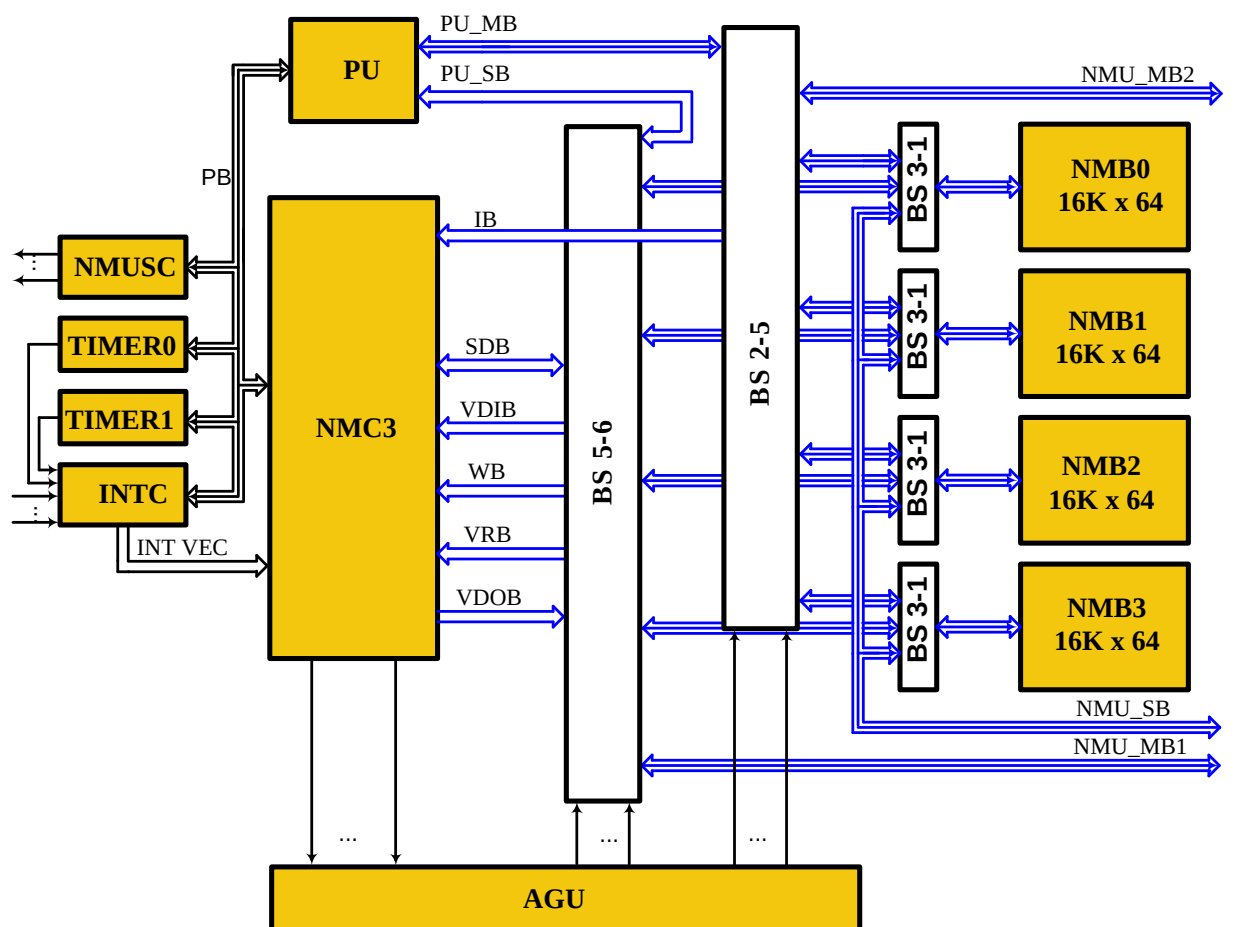
AXI_ARM_MB – 64-разрядная шина обмена данными между AXI и SMU. Инициатор обмена – AXI. Частота работы шины - 162 МГц.

AXI_ARM_SB – 64-разрядная шина обмена данными между SMU и AXI. Инициатор обмена – SMU. Частота работы шины - 162 МГц.

					ЮФКВ.431268.005РЭ			Лист
								307
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.6.2 Структурная схема процессорной системы NMU на базе DSP ядра NeuroMatrix Core3

Структурная схема процессорной системы на базе DSP ядра NeuroMatrix Core 3 (NMC3) приведена ниже (см.Рисунок 226).



NMC3 – Neuro Matrix Core 3
INTC – Interrupt Controller
NMUSC – NMU System Controller
PU – Permutation Unit
AGU – Address Generator Unit
BS – Bus switch
NMB – Neuro Matrix Memory Bank 16K x 64

PB – Peripheral Bus
SDB – Scalar Data Bus
VDIB – Vector Data Input Bus
VDOB – Vector Data Output Bus
WB – Weight Bus
VRB – Vector Register Bus
xxx_MB – Master Bus
xxx_SB – Slave Bus

Рисунок 226 – Структурная схема процессорной системы на базе DSP ядра NeuroMatrix Core 3

Процессорная система на базе DSP ядра NeuroMatrix Core 3 работает на частоте 324 МГц и содержит следующие функциональные узлы:

NMC3 (NeuroMatrix Core 3) – DSP ядро NeuroMatrix Core 3, которое представляет собой ядро высокопроизводительного векторно-матричного процессора с оригинальной

					ЮФКВ.431268.005РЭ			Лист
								308
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	14.11.11		18212-1					

динамической суперскалярной параллельной архитектурой и сверхбольшими словами команд. Обмен ядра с внешним миром осуществляется с помощью шести 64-разрядных

шин: команд (IB), скалярных данных (SDB), векторных входных данных (VDIB), весов (WB), векторного регистра (VRB) и векторных выходных данных (VDOB). Описание ядра NMC3 находится в отдельном документе: “СФ - БЛОК NMC3 Техническое описание ЮФКВ.431282.006ТО”.

NMUSC (NMU System Controller) – системный контроллер процессорной системы NMU.

Данный контроллер содержит программно-доступный со стороны NMC3 периферийный регистр, который выполняет функции управления прерываниями другим процессорным системам NMU и ARM и осуществляет вывод на внешние выходы тестовых сигналов.

INTC (Interrupt Controller) – контроллер прерываний, который формирует запрос для NMC3 на одно из следующих внешних прерываний:

- высокоприоритетное и низкоприоритетное от процессорной системы NMU;
- высокоприоритетное и низкоприоритетное от процессорной системы ARM;
- одно прерывание от блока DMAC;
- одно прерывание от блока PU;
- одно прерывание от блока TIMER0;
- одно прерывание от блока TIMER1;

а также соответствующий ему адрес-вектор прерывания (INT VEC).

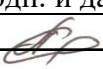
TIMER0 и TIMER1 – два интервальных 32-разрядных таймера.

Таймеры идентичны по функциям, независимы друг от друга и предназначены для отсчета задаваемых интервалов времени для ядра NMC3. Каждый таймер содержит 32-разрядный счетчик, осуществляющий отсчет временных интервалов. Данный счетчик состоит из рабочего и теневого регистров.

Каждый из таймеров может работать как в непрерывном режиме, так и в режиме однократного запуска. Интервал счета таймера задается программно. В качестве сигнала счета выступает тактовый сигнал процессора. По достижении нулевого значения таймер формирует сигнал прерывания, который может быть обработан блоком прерываний стандартным образом.

PU (Permutation Unit) – блок упаковки/распаковки векторов данных. Данный блок выступает в роли сопроцессора для NMC3, и его задачей является преобразование потоковых данных в такой формат, который более удобен для обработки в NMC3 (распаковка) или для хранения в памяти (упаковка). Соответственно, применение блока PU позволяет резко повысить эффективность ядра NMC3 на таких задачах, как корреляция или фильтрация, при этом хранить коэффициенты для той же корреляции или фильтрации, а также результаты обработки в компактном виде. Блок PU аппаратно поддерживает следующие операции:

- Распаковка входного вектора в выходной с элементами заданной большей разрядности (до 64 разрядов), чем в исходном векторе, с возможностью распространения знака или нуля внутри элемента.
- Упаковка входного вектора в выходной с элементами заданной меньшей разрядности (до 1 разряда), чем в исходном векторе, с возможностью выбора любых необходимых разрядов (соседних) внутри элементов с отбрасыванием остальных.
- Преобразование входного вектора в диагональную матрицу (может использоваться для ускорения скалярного произведения векторов в ядре NMC3).
- Запись элементов входного вектора в столбцы выходной матрицы или обратное этому преобразование.

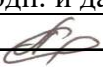
					ЮФКВ.431268.005РЭ			Лист
								309
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

- Доступ к векторам, хранящимся в памяти, с адресацией (начальным смещением) до элемента этих векторов (вплоть до 1 разряда).
- Возможность работы с блоками данных в памяти как с циклическими буферами (вычисление адреса данных по модулю заданного числа).

AGU (Address Generator Unit) – блок адресных генераторов, который получает запрос на обмен данными с памятью от ядра NMC3 (начальный и конечный адрес, смещение, число обращений) и затем сам формирует адреса, освобождая от этого процессор. Благодаря 6 шинам ядра NMC3 и наличию в блоке 6 адресных генераторов, возможно осуществлять до шести операций ввода-вывода за один такт.

BS (Bus Switch) – шинный коммутатор.

NMB (NeuroMatrix Memory Bank) - банк памяти объёмом 16К×64, который может адресоваться до 32- или 64-разрядного слова.

					ЮФКВ.431268.005РЭ			Лист
								310
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

1.3.3.6.2.1 Интервальные таймеры TIMER0 и TIMER1

Таймеры идентичны по функциям, независимы друг от друга и предназначены для отсчета интервалов времени для ядра NMC3. Таймер содержит 32-разрядный счетчик, осуществляющий отсчет временных интервалов. Данный счетчик состоит из рабочего и теневого 32-х разрядных регистров (см. *Рисунок 227*).

Таймер может работать как в непрерывном режиме, так и в режиме однократного запуска. Интервал счета таймера задается программно. В качестве сигнала счета выступает тактовый сигнал процессора. По достижении нулевого значения таймер формирует сигнал прерывания.

Таймер имеет следующие программно доступные регистры: рабочий регистр счетчика TMR_CNTw(доступен на чтение), теневого регистр счетчика TMR_CNTs (доступен на запись), регистр состояния TMR_MODE(доступен на запись и на чтение).

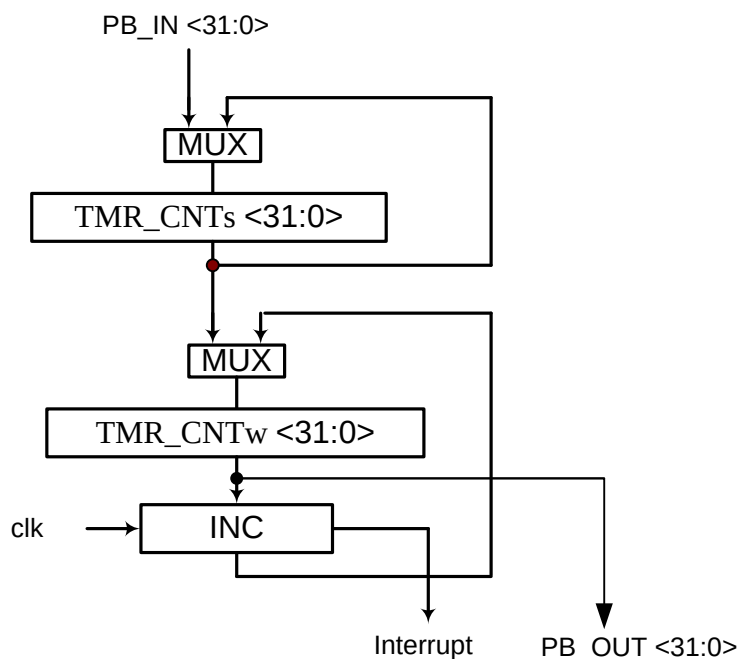


Рисунок 227 – Структурная схема таймера.

Теневой и рабочий регистр счетчика имеют одинаковый формат, см. рисунок 121.

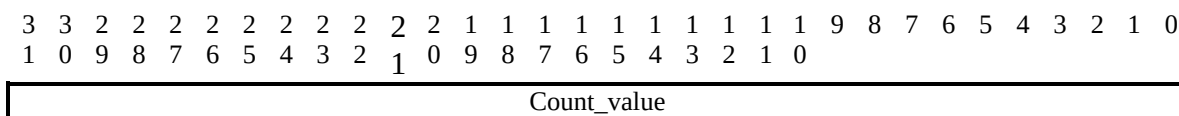


Рисунок 228 – Регистр счетчика

Поле **Count_value** (разряды 31-0) задает интервал счета.

Регистр состояния управляет режимом работы и запуском таймера.

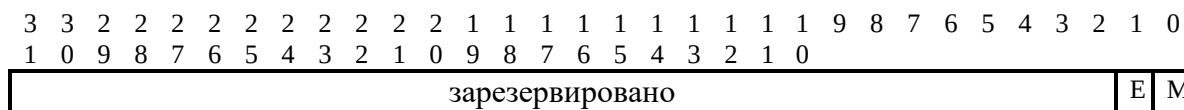


Рисунок 229 – Формат регистра состояния.

					ЮФКВ.431268.005РЭ				Лист
									311
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1					

0-й разряд (**М**) задает режим работы таймера:

0 – режим однократного запуска;

1 – режим многократного запуска.

1-й разряд (**Е**) разрешает или запрещает работу таймера:

0 – таймер не работает;

1 – таймер работает.

В теневой регистр счетчика программно записывается значение, которое одновременно переписывается в рабочий регистр. После запуска таймера рабочий регистр счетчика будет инкрементироваться каждый процессорный такт. Когда рабочий регистр счетчика будет иметь значение 0h, происходит выдача прерывания и в рабочий регистр счетчика переписывается значение теневого регистра. Если таймер работает в режиме однократного запуска, то бит **Е** в регистре состояния сбросится в 0 и таймер остановится. Иначе таймер продолжит свою работу. В процессе работы программно можно прочитать рабочий регистр счетчика, а так же остановить таймер, записав 0 в поле **Е** регистра состояния. Если после этого снова в поле **Е** записать 1, то таймер продолжит отсчет с того значения, на котором произошел останов. Таким образом, чтобы отсчитываемый временной интервал составлял:

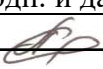
1 такт надо записать значение FFFF_FFFFh в теневой регистр счетчика;

2 такта надо записать значение FFFF_FFFEh в теневой регистр счетчика;

.....

п тактов надо записать значение “-п” в дополнительном коде в теневой регистр счетчика.

Максимальный временной интервал 2^{32} процессорных такта, для этого надо записать значение 0000_0000h в теневой регистр счетчика.

					ЮФКВ.431268.005РЭ			Лист
								312
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.6.2.2 Системный контроллер процессорной системы NMU (NMCSC)

Контроллер управляет запросами на прерывание к процессорной системе **ARMU** и другой процессорной системе **NMU**, контролирует выходы тестового порта и содержит номер процессорной системы **NMU**. Контроллер содержит программно-доступный со стороны ядра **NMC3** периферийный регистр **NMCSCR**, который доступен на чтение и запись по адресу периферийного регистра 110111b (pr7) в регистровом окне 0.

3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0										
Зарезервировано																					TD		N	A	A	N	N				
																							M	R	R	M	M				
																							B	M	M	U	U				
																							R	U	U	L	H				
																							L	H							

Рисунок 230 – Формат регистра **NMCSCR**.

0-й разряд (**NMUH**) - запрос на высокоприоритетное прерывание другой процессорной системе **NMU**. Запись единицы в данный разряд вызовет высокоприоритетное прерывание в контроллере прерываний (**INTC**) другой системы **NMU**. Сброс данного разряда происходит автоматически.

1-й разряд (**NMUL**) - запрос на низкоприоритетное прерывание другой процессорной системе **NMU**. Запись единицы в данный разряд вызовет низкоприоритетное прерывание в контроллере прерываний (**INTC**) другой системы **NMU**. Сброс данного разряда происходит автоматически.

2-й разряд (**ARMUH**) - запрос на высокоприоритетное прерывание процессорной системе **ARMU**. Запись единицы в данный разряд вызовет высокоприоритетное прерывание в системном контроллере (**ARMSC**) системы **ARMU**. Сброс данного разряда происходит автоматически.

3-й разряд (**ARMUL**) - запрос на низкоприоритетное прерывание процессорной системе **ARMU**. Запись единицы в данный разряд вызовет низкоприоритетное прерывание в системном контроллере (**ARMSC**) системы **ARMU**. Сброс данного разряда происходит автоматически.

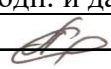
4-й разряд (**NMBR**) определяет номер процессорной системы **NMU**. Данный разряд доступен только для чтения:

0 – для процессорной системы **NMU1**;

1 – для процессорной системы **NMU2**;

Попытка записи в данный разряд 0 или 1 не оказывает никакого влияния на его значение.

Поле **TD** (8-5 разряды) является тестовым портом. Значение, записанное в данное поле, будет через два такта после записи выдано на внешние выходы микросхемы: на внешние выходы микросхемы **TD3 – TD0** для процессорной системы **NMU1**; на внешние выходы микросхемы **TD7 – TD4** для процессорной системы **NMU2**.

					ЮФКВ.431268.005РЭ				Лист
									313
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1						

1.3.3.6.2.3 Контроллер прерываний (INTC)

Контроллер прерываний формирует запрос для ядра NMC3 на одно из следующих внешних прерываний:

- высокоприоритетное и низкоприоритетное от процессорной системы NMU;
- высокоприоритетное и низкоприоритетное от процессорной системы ARMU;
- одно прерывание от блока DMAC;
- одно прерывание от блока TIMER0;
- одно прерывание от блока TIMER1.

Контроллер прерываний формирует соответствующий запросу адрес-вектор прерывания (INTV).

Запросы на прерывания приходят на входы блока INTC IRQ[15:0], см. рисунок 124. По положительному фронту запроса устанавливается соответствующий бит в регистре запросов **IRR**. Далее на пути сигнала стоит регистр маски **IMR**. Значение 0 в соответствующем бите разрешает прохождение сигнала, а значение 1 блокирует. Далее схема приоритетов **Priority Unit** выбирает запрос с наибольшим приоритетом, формирует запрос на прерывания для ядра NMC3 и соответствующий ему адрес-вектор прерывания. Приоритет запросов фиксированный: IRQ0 имеет наивысший приоритет, IRQ15 - наименее приоритетный запрос.

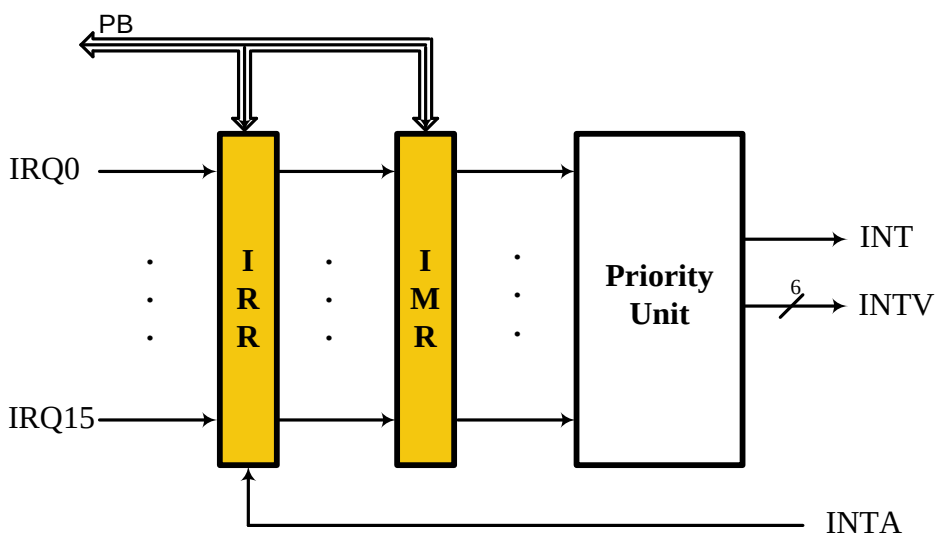
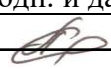


Рисунок 231 – Структура контроллера прерываний

Если сигнал **INTA** имеет активный уровень, то считается, что процессорное ядро **NMC3** зафиксировало прерывание, и соответствующий бит регистра **IRR** сбрасывается. Если сигнал **INTA** имеет неактивный уровень, то запрос на прерывание **INT** будет стоять до прихода сигнала **INTA**. При этом адрес-вектор **INTV** на выходе блока **INTC** не фиксируется, т.е. если на вход **IRQx** поступит более приоритетное прерывание, то адрес-вектор изменится и будет соответствовать более приоритетному прерыванию.

					ЮФКВ.431268.005РЭ			Лист
								314
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Регистр запросов **IRR** доступен на чтение и побитовую установку/сброс, регистр маски **IMR** доступен на чтение и запись со стороны ядра **NMC3** по периферийной шине. Коды периферийных регистров приведены ниже (см. **Таблица 245**).

Таблица 245 - Коды для обращения к регистрам блока INTC

Код регистра	Регистр - источник	Регистр - приемник
	Регистровое окно 0	
110100	IMR	IMR
110101	IRR	IRRreset
110110	IRR	IRRset

Формат регистра IRR приведен ниже (см. Рисунок 232). Единица в соответствующем разряде означает запрос на прерывание.

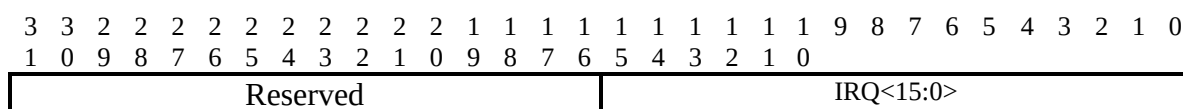


Рисунок 232 - Формат регистра IRR

Формат регистра IMR приведен ниже (см. Рисунок 233). Единица в соответствующем разряде означает маскирование запроса (запрос не проходит), 0 - запрос не маскируется (запрос проходит).

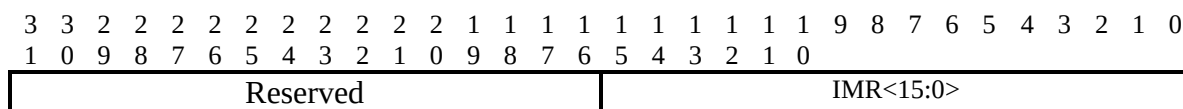


Рисунок 233 - Формат регистра IMR

Список прерываний, которые подаются на входы запросов IRQ, и соответствующий им адрес-вектор, приведен ниже (см Таблица 246 - Список внешних прерываний на входах IRQ блока INTC).

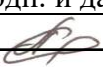
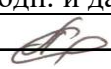
					ЮФКВ.431268.005РЭ				Лист
									315
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
18212-2	 14.11.11		18212-1						

Таблица 246 - Список внешних прерываний на входах IRQ блока INTC

№ входа	источник	Адрес вектор		Описание
		bin	hex	
IRQ0	INT_ARMH_IN	1000_0000b	80h	Высокоприоритетное прерывание от ARMU
IRQ1	INT_NMUH_IN	1000_1000b	88h	Высокоприоритетное прерывание от другой процессорной системы NMU
IRQ2	INT_TIMER0	1001_0000b	90h	Прерывание от таймера 0
IRQ3	INT_MS_ITMR	1001_1000b	98h	Прерывание от интервального таймера по ms-метке
IRQ4	INT_DSPPU_CH	1010_0000b	A0h	Прерывание от каналов DSPPU
IRQ5	INT_AUX_ITMR	1010_1000b	A8h	Прерывание от интервального таймера по дополнительному временному интервалу
IRQ6	INT_DMAC	1011_0000b	B0h	Прерывания от блока DMAC
IRQ7	INT_TIMER1	1011_1000b	B8h	Прерывание от таймера 1
IRQ8	INT_DSPPU_PRG	1100_0000b	C0h	Прерывание по неправильному программированию блока DSPPU
IRQ9	INT_ARML_IN	1100_1000b	C8h	Низкоприоритетное прерывание от ARMU
IRQ10	INT_NMUL_IN	1101_0000b	D0h	Низкоприоритетное прерывание от другой процессорной системы NMU
IRQ11	INT_PU	1101_1000b	D8h	Прерывание по окончанию работы упаковщика
IRQ12	INT_STRB_ITMR	1110_0000b	E0h	Прерывание от интервального таймера по началу выдачи программного строба
IRQ13	INT_DSPPU_HRD	1110_1000b	E8h	Прерывание об аппаратном сбое в блоке DSPPU
IRQ14	Резерв	1111_0000b	F0h	
IRQ15	резерв	1111_1000b	F8h	

					ЮФКВ.431268.005РЭ			Лист
								316
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.3.6.2.4 PU (Permutation Unit) – блок упаковки/распаковки векторов данных

Для преобразования потоков данных в формат, удобный для обработки в NMC3 или для хранения в памяти, потоки данных в первом случае распаковываются, а во втором – упаковываются. Этим занимается устройство упаковки/распаковки потоков данных PU (Permutation Unit). Использование PU позволяет резко повысить эффективность NMC3 на таких задачах, как корреляция и фильтрация, при этом хранить коэффициенты для корреляции и фильтрации, а также результаты обработки в компактном виде.

Устройство выполняет распаковку и упаковку потоков данных, при этом элемент входных и выходных данных может иметь размер от 1 до 64 разрядов, результаты могут выдаваться как начиная с младших элементов, так и со старших. Предусмотрено преобразование матрицы в вектор и распаковка вектора с преобразованием в матрицу.

Блок PU может получать данные от ядра NMC3 или самостоятельно формировать адрес для обращения в память за данными или для записи результата.

Настройка блока осуществляется ядром NMC3 путем записи конфигурационных регистров PU.

1.3.3.6.2.4.1 Аппаратно поддерживаемые операции

Блок PU обрабатывает длинные последовательности двоичных данных. Элементы данных в последовательности имеют одинаковый размер в диапазоне от 1 до 64 бит. Каждая последовательность данных хранится упакованной в 64-х разрядных словах, размещаемых в последовательных ячейках памяти.

Блок PU выполняет обмен с памятью 64-х разрядными машинными словами.

Обрабатываемые данные могут восприниматься как числа в дополнительном коде или простые наборы бит. Последовательности данных могут образовывать вектора и/или матрицы.

Вектор представляет собой несколько последовательных данных.

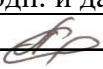
Матрица – массив (несколько) векторов.

Упаковка входных данных с возможностью выбора любых необходимых разрядов с отбрасыванием остальных.

При упаковке настраиваются следующие параметры:

- X – величина, на которую сначала надо сдвинуть весь поток данных ($63 \geq X \geq 0$);
- N – разрядность входных неупакованных данных (Возможные значения N : 2, 4, 8, 16, 32, 64);
- XS – количество разрядов от начала данного (самого младшего разряда) до первого упаковываемого разряда;
- M – разрядность выходных упакованных данных ($N > M$. Возможные значения M : 2, 4, 8, 16, 32, 64);
- Использовать при упаковке насыщение или нет. При этом числа считаются как числа представленные в дополнительном коде. Если насыщение включено, и в старших отбрасываемых разрядах были значащие биты, то результатом операции насыщения будет максимальное положительное (011...1b) число или максимальное отрицательное (100...0b) число. Если же в старших отбрасываемых разрядах не было значащих бит, то насыщения не происходит.

Пример упаковки без насыщения, $N=16$, $M=8$, $XS=2$ представлен ниже, см. Рисунок 234.

					ЮФКВ.431268.005РЭ			Лист
								317
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

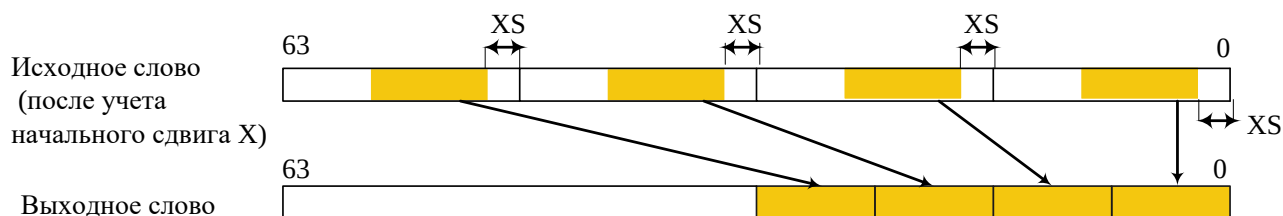


Рисунок 234 – Упаковка без насыщения

Упаковка в слова с одноразрядными данными

При данной операции входные данные должны быть либо “1”, либо “-1”. При этом единица в выходном слове кодирует значение “-1”, а ноль – “1”. При данной упаковке настраиваются следующие параметры:

- 1 N – разрядность входных неупакованных данных (Возможные значения N: 2, 4, 8, 16, 32, 64),
- 2 X – величина, на которую сначала надо сдвинуть весь поток данных, ($63 \geq X \geq 0$).

Пример упаковки в вектора с одноразрядными данными при N = 16 приведен ниже см

Рисунок 235

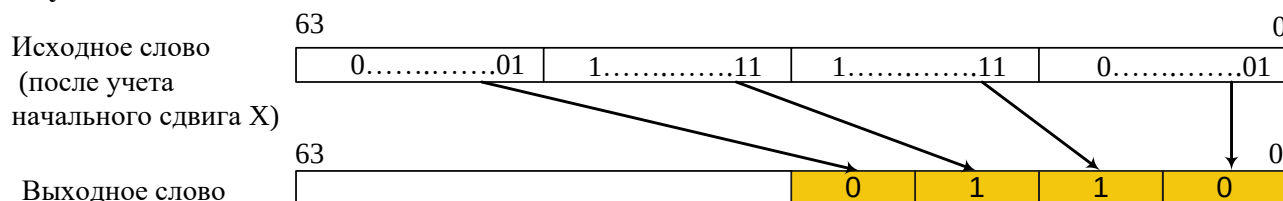


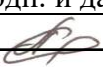
Рисунок 235 – Упаковка в вектора с одноразрядными данными

Распаковка.

Распаковка осуществляется распространением знакового разряда или нуля в старших разрядах до необходимой разрядности. При распаковке настраиваются следующие параметры:

- 2 X – величина, на которую сначала надо сдвинуть весь поток данных, ($63 \geq X \geq 0$),
- 3 N - разрядность входных упакованных данных (Возможные значения N: 2, 4, 8, 16, 32, 64);
- 4 M – разрядность выходных распакованных данных ($N \leq M$, возможные значения M: 2, 4, 8, 16, 32, 64),
- 5 Y – шаг, на который надо сдвинуть входной поток для получения очередного слова для дальнейшей обработки. Более подробно об объяснение данного параметра показано на рисунке ниже (см. Рисунок 236))
- 6 Распространять знаковый разряд или распространять ноль.

Пример распаковки для N = 8, M = 16, распространение нулем представлен ниже. (См Рисунок 236)

					ЮФКВ.431268.005РЭ			Лист
								318
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

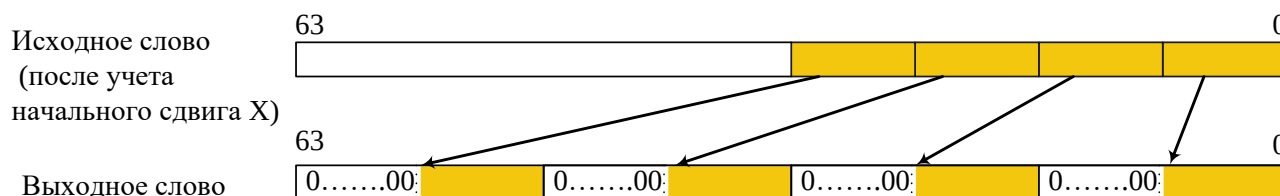


Рисунок 236 – Распаковка N=8, M=16, распространение нулем

Пример распаковки для $N = 8$, $M = 16$, распространение знаком представлен ниже, см. Рисунок 237.

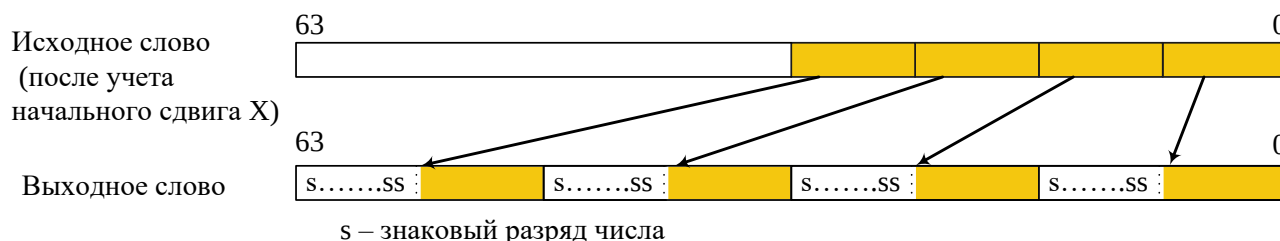


Рисунок 237 – Распаковка N=8, M=16, распространение знаком

Распаковка одноразрядных данных

При данной операции единица во входном слове кодирует значение – “-1”, а ноль – “1”
При данной распаковке настраиваются следующие параметры:

- 7 M – разрядность выходных неупакованных данных (Возможные значения M: 2, 4, 8, 16, 32, 64),
- 8 X – величина, на которую сначала надо сдвинуть весь поток данных, ($63 \geq X \geq 0$),
- 9 Y – шаг, на который надо сдвинуть входной поток для получения очередного слова для дальнейшей обработки ($64 \geq Y \geq 1$).

Пример распаковки входного слова одноразрядных данных с $M = 16$ представлен ниже, см. Рисунок 238.

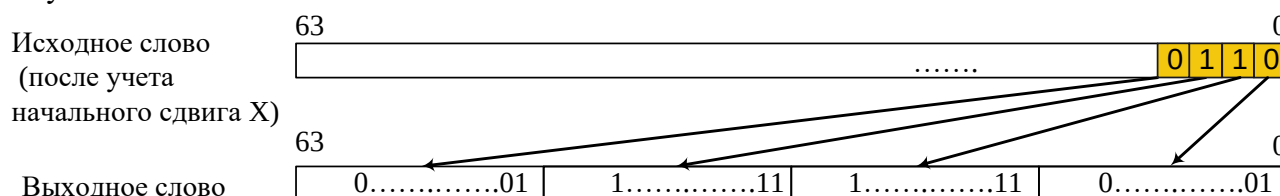


Рисунок 238 – Распаковка входного слова одноразрядных данных

Порядок выдачи данных в выходном слове

Результат может быть выдан, начиная с младших элементов или начиная со старших элементов в выходном слове (см. Рисунок 239 и Рисунок 240).

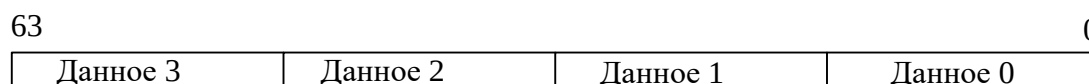


Рисунок 239 – Выдача слова, начиная с младших элементов

					ЮФКВ.431268.005РЭ			Лист
								319
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	14.11.11		18212-1					

Данное 0	Данное 1	Данное 2	Данное 3

Рисунок 240 – Выдача вектора, начиная со старших элементов

Операции с матрицами

Получение диагональной матрицы

С помощью RU можно из входного вектора получить матрицу, элементы матрицы можно расположить как в главной, так и в побочной диагонали. Ниже приведен пример для вектора из 4-х элементов, см. Рисунок 241. Данное действие выполняется вместе с режимом распаковки.

Входное слово	630			
	Данное 3	Данное 2	Данное 1	Данное 0
В выдаваемой матрице элементы находятся на главной диагонали	630			
	Данное 0			
		Данное 1		
			Данное 2	
				Данное 3
В выдаваемой матрице элементы находятся на побочной диагонали	630			
				Данное 0
			Данное 1	
		Данное 2		
	Данное 3			

Рисунок 241 – Получение диагональной матрицы

Преобразование диагональной матрицы в вектор. Данное действие является обратным к описанному выше действию.

Получение матрицы, в которой элементы находятся в определенном столбце

С помощью RU из слова, состоящего из элементов размером M, можно получить матрицу, в которой элементы исходного слова стоят в определенном столбце. При этом задается номер столбца, в котором будут размещаться элементы, см Рисунок 242. Данное действие выполняется вместе с режимом распаковки.

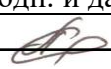
	63	0			
Входное слово		Данное 3	Данное 2	Данное 1	Данное 0
	63	0			
В выдаваемой матрице элементы в столбце				Данное 0	
				Данное 1	
				Данное 2	
				Данное 3	

Рисунок 242 – Размещение входного слова в первом столбце матрицы

Преобразование матрицы, в которой элементы находятся в определенном столбце, в вектор. Данное действие является обратным к описанному выше действию. Данное действие выполняется при помощи обычной упаковки с N=64.

1.3.3.6.2.4.2 Режимы и порядок работы RU

Блок RU может получать данные от ядра NMC3 по шине PU_SB или самостоятельно формировать адрес для обращения в память за данными по шине PU_MB. Для передачи данных от ядра NMC3 к RU в адресном пространстве NMC3 выделен специальный адрес 20001h. При записи данных по этому адресу скалярными или векторными командами данные

					ЮФКВ.431268.005РЭ			Лист
								320
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

будут переданы в блок PU для обработки. Запись скалярными командами должна производиться 64-х разрядными словами (регистровыми парами). Результат обработки может быть считан ядром NMC3 напрямую из блока PU по шине PU_SB или PU может самостоятельно формировать адрес для записи результата в память по шине PU_MB. Для чтения данных с выхода PU ядро NMC3 использует специально выделенный адрес 20000h. При чтении данных по этому адресу скалярными или векторными командами данные будут считаны из блока PU. Чтение скалярными командами должно производиться 64-х разрядными словами (регистровыми парами). Возможны следующие режимы работы блока PU:

- Блок PU получает данные от ядра NMC3 по шине PU_SB[63:0] и записывает результат обработки в память по шине PU_MB.
- Блок PU забирает данные из памяти по шине PU_MB[63:0] и передает данные по запросу от NMC3 по шине PU_SB[63:0].
- Блок PU получает данные по шине PU_SB[63:0] и передает данные по запросу от NMC3 по шине PU_SB[63:0].
- Блок PU не работает.

Если PU настраивается таким образом, что самостоятельно читает или записывает данные (по шине PU_MB), то необходимо выделить область памяти, в которую он будет обращаться. Границы этой области сообщаются блоку PU через регистры PUR7 и PUR6; начальный (стартовый) адрес внутри области - через регистр PUR5. PU обращается последовательно по адресам в выделенной области и не может выйти за её границы - каждый раз, когда достигается старший адрес области, следующее обращение следует по младшему адресу области.

Предусмотрен следующий порядок работы с блоком PU:

- Настройка конфигурации путем записи в конфигурационные регистры PU процессорным ядром NMC3.
- Запуск блока PU.
- Передача и/или получение данных с помощью команд записи и/или чтения данных ядра NMC3. При этом количество читаемых и записываемых данных должно строго соответствовать заданным настройкам регистров CNT_IN и CNT_OUT.
- Обработка прерывания от устройства. После того, как блок PU заканчивает работу, происходит выдача прерывания. Это говорит о том что блок готов к настройке на обработку следующего пакета данных.

После системного сброса блок PU переходит в состояние “Блок PU не работает” и находится в этом состоянии до момента программного изменения поля, отвечающего за режим работы. После записи в это поле значения, отличного от 0, блок PU начинает работу в соответствии с тем режимом, который был записан, и прочими настройками, заданными в конфигурационных регистрах.

1.3.3.6.2.4.3 Конфигурационные регистры

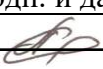
					ЮФКВ.431268.005РЭ			Лист
								321
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 247 – Коды регистров блока PU (периферийные регистры для NMC3)

Код регистра	Регистр - приемник
	Регистровое окно 1
110000	PUR0
110001	PUR1
111000	PUR2
111001	PUR3
111010	PUR4
111011	PUR5
111100	PUR6
111101	PUR7
111110	PUR8
111111	PUR9

Регистры блока **PU** доступны *только для записи* как периферийные регистры ядра **NMC3**. Коды регистров блока **PU** приведены выше, см. Таблица 174. Конфигурационные регистры можно разделить на три группы.

Первая группа регистров содержит код операции. Группа состоит из регистров PUR8, PUR9.

Вторая группа регистров PUR7, PUR6, PUR5, PUR4, PUR3 используется для организации счетчиков. Регистры содержат параметры для обращения в память – поля TOP, BOTTOM, FIRST, количество слов, которое нужно принять из процессора или из памяти – поле CNT_IN, количество слов, которое нужно выдать в память или в процессор – поле CNT_OUT.

Третья группа регистров PUR2, PUR1, PUR0 предназначена для экономии аппаратуры и упрощения реализации функциональных блоков. Регистры содержат используемые для разных целей маски. Если неправильно задать значения этих регистров, могут быть получены ошибочные данные.

Регистр PUR9 должен быть записан последним. Порядок записи остальных регистров не важен.

После сброса поле регистра PUR9, отвечающее за режим работы (MODE), принимает значение 0 (блок PU не работает), остальные поля и регистры после сброса не определены.

Структура конфигурационных регистров PU дана ниже.

Регистр PUR9. Регистр доступен на запись со стороны ядра NMC3. Для NMC3 регистр PUR9 является периферийным в регистровом окне 1 и доступен по адресу 111111b (pr15).

[illegible]

Рисунок 243 – Формат регистра PUR9

Поле **MODE** (разряды с 1 по 0) определяет режим работы PU:
00 – PU не работает

					ЮФКВ.431268.005РЭ	Лист
						322
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
18212-2		 14.11.11		18212-1		

01 – Входные данные поступают по шине PU_SB от процессорного ядра NMC3, выходные данные записываются в память по шине PU_MB. Адрес для записи результата вырабатывается блоком PU (PU_SB → PU_MB).

10 – Входные данные поступают по шине PU_MB. Адрес для чтения входных данных вырабатывается блоком PU, выходные данные выдаются на шину PU_SB, которые забирает процессорное ядро NMC3 (PU_MB → PU_SB).

11 – Входные данные поступают по шине PU_SB от процессорного ядра NMC3, выходные данные выдаются на шину PU_SB, которые забирает процессорное ядро NMC3 (PU_SB → PU_SB).

После того, как в поле MODE записано ненулевое значение, и до окончания работы блока (до прерывания от блока) все регистры устройства недоступны для записи.

2-й разряд (**PACK**) определяет режим работы PU распаковки или упаковки:

0 – распаковка,

1 – упаковка.

3-й разряд (**SE**) определяет режим расширения при распаковке:

0 – расширить нулем,

1 – расширить знаком.

4-й разряд (**SAT**) определяет режим насыщения при упаковке:

0 – насыщение выключено,

1 – насыщение включено.

5-й разряд (**BIT**) определяет тип распаковки/упаковки:

0 – обычная распаковка/упаковка,

1 – распаковка/упаковка битовых данных.

6-й разряд (**MSB**) определяет положение элементов в выходном векторе:

0 - выдача вектора, начиная с младших элементов

1 - выдача вектора, начиная со старших элементов

7-й разряд (**MATIN**) определяет тип данных на входе PU:

0 - на входе PU вектор данных,

1 – на входе PU матрица данных.

8-й разряд (**MATOUT**) определяет тип данных на выходе PU для распаковки. Для упаковки данный бит должен быть нулем.

0 - на выходе PU вектор данных,

1 – на выходе PU матрица данных.

9-й разряд (**DIAG**). Данное поле определяет тип матрицы на входе или выходе. Имеет значение:

0 – получение побочной диагонали,

1 – получение главной диагонали.

10-й разряд (**COL**). выдача столбца матрицы:

0 – нет преобразования данных в столбец матрицы,

1 – есть преобразование данных в столбец матрицы.

Поле **COLNUM** (16-11 разряды) - номер столбца матрицы, в который надо записать элементы; если в столбце больше одного разряда, то это номер младшего разряда столбца.

Поле **SHIFT** (22 - 17 разряды) определяет начальный сдвиг. При распаковке это величина X, при упаковке это сумма X+Xs

Поле **Xs** (28 - 23 разряды) – величина Xs при упаковке, при распаковке следует записать 0. Значение поля Xs не может быть больше значения поля SHIFT.

Возможные режимы работы устройства и соответствующие им настройки приведены ниже в Таблица 248. Все другие сочетания значений являются запрещенными.

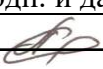
					ЮФКВ.431268.005РЭ			Лист
								323
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 248 – Список операций блока PU

Тип операции \ управляющее поле	PACK	BIT	MATIN	MATOUT	DIAG	COL
Распаковка/переупаковка	0	0/1	0	0	x*	x
Распаковка с получением элементов в главной диагонали матрицы	0	0/1	0	1	1	0
Распаковка с получением элементов в побочной диагонали матрицы	0	0/1	0	1	0	0
Распаковка с получением элементов в столбце матрицы	0	0/1	0	1	x	1
Преобразование матрицы с элементами в главной диагонали в вектор	0	0	1	0	1	0
Преобразование матрицы с элементами в побочной диагонали в вектор	0	0	1	0	0	0
Упаковка	1	0/1	0	0	x	x

* – значение поля не оказывает влияния на результат.

Регистр PUR8. Регистр доступен на запись со стороны ядра NMC3. Для NMC3 регистр PUR8 является периферийным в регистровом окне 1 и доступен по адресу 111110b (pr14)

3	3	2	2	2	2	2	2	2	2	2	2	1	1	1	1	1	1	1	1	1	1	9	8	7	6	5	4	3	2	1	0
1	0	9	8	7	6	5	4	3	2	1	0	9	8	7	6	5	4	3	2	1	0										
NPE					NPB					Y					MCODE					NCODE											

Рисунок 244 - Формат регистра PUR8

Поле **NCODE** (5 - 0 разряды). Задаёт разрядность входных данных, возможные значения поля NCODE:

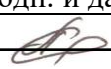
- 0 – разрядность входных данных 1 бит;
- 1 – разрядность входных данных 2 бит;
- 2 – разрядность входных данных 4 бит;
- 4 – разрядность входных данных 8 бит;
- 8 – разрядность входных данных 16 бит;
- 16 – разрядность входных данных 32 бит;
- 32 – разрядность входных данных 64 бит;

При подаче на вход одноразрядных элементов NCODE = 0 и BIT = 1.

Поле **MCODE** (11 - 6 разряды). Задаёт разрядность выходных данных, возможные значения поля MCODE:

- 0 – разрядность выходных данных 1 бит;
- 1 – разрядность выходных данных 2 бит;
- 2 – разрядность выходных данных 4 бит;
- 4 – разрядность выходных данных 8 бит;
- 8 – разрядность выходных данных 16 бит;
- 16 – разрядность выходных данных 32 бит;
- 32 – разрядность выходных данных 64 бит;

При выдаче одноразрядных элементов M = 0 и BIT = 1.

					ЮФКВ.431268.005РЭ				Лист
									324
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11		18212-1					

Поле **Y** (18 - 12 разряды). Шаг, на который надо сдвинуть входной поток для получения очередного слова для дальнейшей обработки, при распаковке $Y = m \cdot N$ где $m = 1, 2, \dots, 64/N$, в остальных случаях $Y = 64$. Значение поля **Y** не может быть равно 0.

Поле **NPB** (24 - 19 разряды). Значение, которое вычисляется следующим образом:
 при упаковке – $64 \cdot M/N$,
 при распаковке – $64 \cdot N/M$.

Поле **NPE** (31-25 разряды) Значение, которое вычисляется:
 при упаковке – N/M
 при распаковке – 0.

Регистр PUR7. Регистр доступен на запись со стороны ядра NMC3. Для NMC3 регистр PUR7 является периферийным в регистровом окне 1 и доступен по адресу 111101b (pr13)

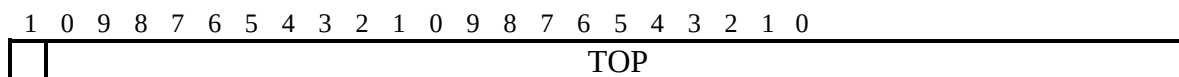


Рисунок 245 - Формат регистра PUR7

Поле **TOP** (30-0 разряды) содержит сдвинутое на один бит в сторону младшего разряда значение максимального адреса при обращении к памяти по шине PU_MB (т.е. разряды адреса с 31-го по 1-й). Нулевой разряд адреса считается равным 0.

Регистр PUR6. Регистр доступен на запись со стороны ядра NMC3. Для NMC3 регистр PUR6 является периферийным в регистровом окне 1 и доступен по адресу 111100b (pr12)

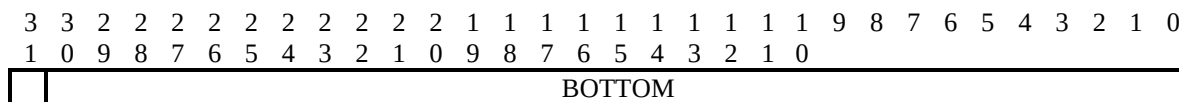


Рисунок 246 - Формат регистра PUR6

Поле **BOTTOM** (30-0 разряды) содержит сдвинутое на один бит в сторону младшего разряда значение минимального адреса при обращении к памяти по шине PU_MB (т.е. разряды адреса с 31-го по 1-й). Нулевой разряд адреса считается равным 0.

Регистр PUR5. Регистр доступен на запись со стороны ядра NMC3. Для NMC3 регистр PUR5 является периферийным в регистровом окне 1 и доступен по адресу 111011b (pr11)

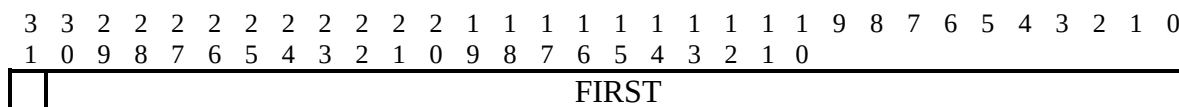
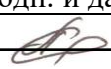


Рисунок 247 - Формат регистра PUR5

Поле **FIRST** (30-0 разряды) содержит сдвинутое на один бит в сторону младшего разряда значение первого адреса при обращении к памяти по шине PU_MB (т.е. разряды адреса с 31-го по 1-й). Нулевой разряд адреса считается равным 0. Ограничение: $BOTTOM \leq FIRST \leq TOP$. Адреса генерируются, начиная с FIRST, каждый следующий адрес получается путем инкрементирования, в случае достижения TOP следующий адрес – BOTTOM.

Регистр PUR4. Регистр доступен на запись со стороны ядра NMC3. Для NMC3 регистр PUR4 является периферийным в регистровом окне 1 и доступен по адресу 111010b (pr10)

					ЮФКВ.431268.005РЭ				Лист
									325
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1						

3 3 2 2 2 2 2 2 2 2 2 2 1 1 1 1 1 1 1 1 1 1 9 8 7 6 5 4 3 2 1 0
1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0

CNT_IN

Рисунок 248 - Формат регистра PUR4

Поле **CNT_IN** (31-0 разряды) содержит количество входных 64-х разрядных слов, которое должно выдать ядро **NMC3** на шину **PU_SB** (для режима **MODE = 01, 11**) или которое блок **PU** должен считать из памяти по шине **PU_MB** (для режима **MODE = 10**).

Регистр PUR3. Регистр доступен на запись со стороны ядра **NMC3**. Для **NMC3** регистр **PUR3** является периферийным в регистровом окне 1 и доступен по адресу 111001b (pr9)

3 3 2 2 2 2 2 2 2 2 2 2 1 1 1 1 1 1 1 1 1 1 9 8 7 6 5 4 3 2 1 0
1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0

CNT_OUT

Рисунок 249 - Формат регистра PUR3

Поле **CNT_OUT** (31-0 разряды) содержит количество выходных слов, которое должен выдать блок **PU** на шину **PU_SB** для ядра **NMC3** (для режима **MODE = 10, 11**) или на шину **PU_MB** для записи в память (для режима **MODE = 01**). После выдачи количества слов, определяемого полем **CNT_OUT**, блок **PU** заканчивает обработку пакета и выдает прерывание ядру **NMC3**. После этого можно производить настройку и запуск для обработки следующего пакета данных.

Между полями **CNT_IN** и **CNT_OUT** есть соотношение при упаковке:

если поле **SHIFT** регистра **PUR9 = 0**, то $CNT\_IN = CNT\_OUT * N/M$

если поле **SHIFT** регистра **PUR9 > 0**, то $CNT\_IN = CNT\_OUT * N/M + 1$

Если соотношения не выполнены, то возможна некорректная работа блока **PU**. Например, всегда присылать лишнее слово нельзя, так как при достижении числа уже выданных устройством слов величины **CNT_OUT** вырабатывается сигнал прерывания, блок **PU** останавливается, принимает новые значения в конфигурационные регистры, а дополнительное слово данных для предыдущей команды воспримется как первое слово данных для следующей команды.

Регистр PUR2. Регистр доступен на запись со стороны ядра **NMC3**. Для **NMC3** регистр **PUR2** является периферийным в регистровом окне 1 и доступен по адресу 111000b (pr8)

3 3 2 2 2 2 2 2 2 2 2 2 1 1 1 1 1 1 1 1 1 1 9 8 7 6 5 4 3 2 1 0
1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0

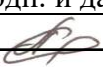
MASKS

Рисунок 250 - Формат регистра PUR2

Поле **MASKS** (31-0 разряды) содержит маску, которая при упаковке и распаковке имеет разное назначение. При упаковке в поле **MASKS** единица должна быть в самом старшем разряде каждого числа, в остальных разрядах должны быть нули, см. **Рисунок 251 - Формат маски MASKS при упаковке**.

31	2M-1	MM-1	0
10.....00	...	10.....00	10.....00

Рисунок 251 - Формат маски MASKS при упаковке

					ЮФКВ.431268.005РЭ			Лист
								326
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

При распаковке в поле **MASKS** единицы должны стоять в N младших разрядах каждого распаковываемого числа, нули в остальных разрядах, см. **Ошибка! Источник ссылки не найден.**

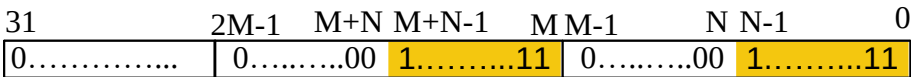


Рисунок 252 - Формат маски MASKS при распаковке

Регистры PUR1 и PUR0. Регистры доступны на запись для ядра NMC3. Для NMC3 регистры **PUR1** и **PUR0** являются периферийными в регистровом окне 1 и доступны по адресам 110001b (pr1), 110000b (pr0) соответственно.

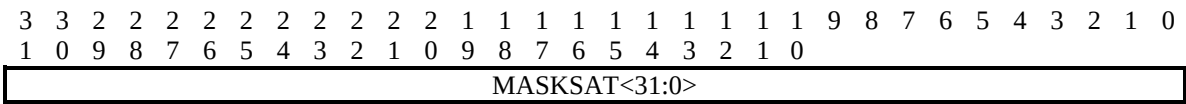


Рисунок 253 - Формат регистра PUR1

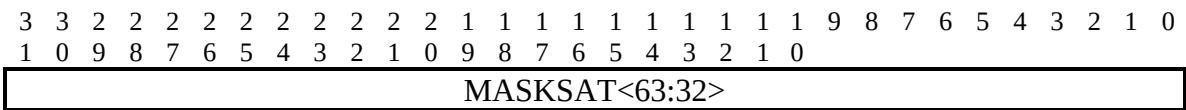


Рисунок 254 - Формат регистра PUR0

Регистр **PUR1** содержит младшую часть, а регистр **PUR0** старшую часть 64-х разрядного поля **MASKSAT<63:0>**. Данное поле используется при упаковке и при получении матрицы с элементами в столбце или диагонали. При всех других операциях данное поле не используется и может быть не инициализировано.

При упаковке в поле **MASKSAT<63:0>** содержится 64/N последовательно расположенных одинаковых частей. Каждая часть содержит N бит. M-1 младших разрядов этой части заполняются нулями, следующие N-M-Xs бит заполняются единицами и оставшиеся Xs+1 разрядов заполняются нулями, см. Рисунок 255

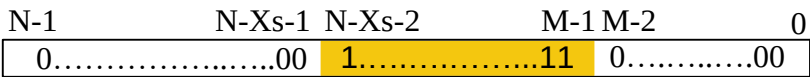


Рисунок 255 - Формат общей части для получения маски MASKSAT при упаковке

Оставшиеся разряды маски получаются путем дублирования этой общей части. Ниже приведен пример полученной маски с общей частью 000...111...000, см. Рисунок 256Рисунок 256

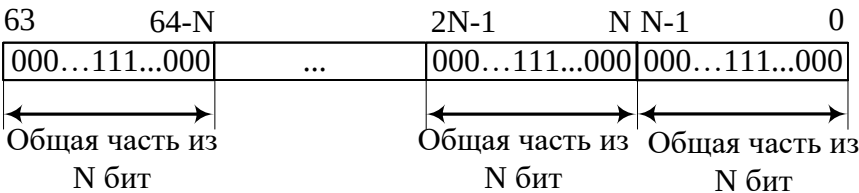


Рисунок 256 - Пример полученной маски MASKSAT при упаковке

При получении матрицы с элементами в столбце поле **MASKSAT<63:0>** содержит единицы в тех разрядах, где должен быть столбец матрицы с данными (см. Рисунок 256).

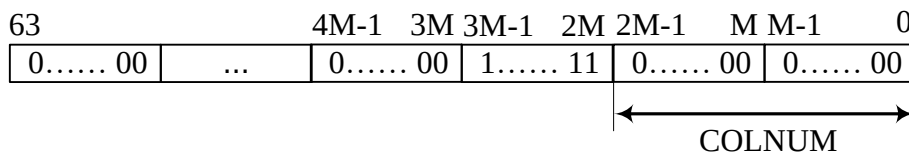


Рисунок 257 - Пример маски MASKSAT при получении матрицы с элементами в столбце

При получении матрицы с элементами в главной или побочной диагонали поле MASKSAT<63:0> содержит единицы в М младших разрядах, см. Рисунок 258

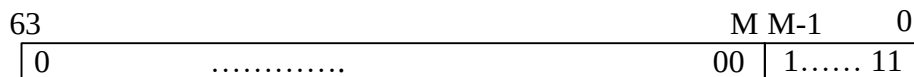


Рисунок 258 - Пример маски MASKSAT при получении матрицы с элементами в главной или побочной диагонали.

1.3.3.6.3 Список периферийных регистров для ядра NMC3

Список всех периферийных регистров для ядра NMC3 приведен в таблице ниже. (Таблица 249). Все другие сочетания значений являются запрещенными.

Таблица 249 – Список периферийных регистров для ядра NMC3

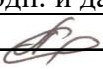
Код регистра	Регистровое окно 0		Регистровое окно 1	
	Регистр - источник	Регистр - приемник	Регистр - источник	Регистр - приемник
110000	TMR_CNT0	TMR_CNT0		PUR0
110001	TMR_CNT1	TMR_CNT1		PUR1
110010	TMR_MODE0	TMR_MODE0		
110011	TMR_MODE1	TMR_MODE1		
110100	IMR	IMR		
110101	IRR	IRRreset		
110110	IRR	IRRset		
110111	NMCSCR	NMCSCR		
111000				PUR2
111001				PUR3
111010				PUR4
111011				PUR5
111100				PUR6
111101				PUR7
111110				PUR8
111111				PUR9

1.3.3.6.4 Архитектура процессорного ядра NMC3

Технические характеристики ядра NMC3

Ядро NMC3 имеет следующие основные технические характеристики:

- диапазон программируемой разрядности данных - от 2 до 64 бит;
- разрядность команд - 32 и 64 бита;
- размер адресуемого пространства - 4Г x 32 бит;
- производительность (количество операций «умножение с накоплением», выполняемых за один такт)
 - 2 MAC для 32-разрядных данных,
 - 4 MAC для 16- разрядных данных,
 - 24 MAC для 8- разрядных данных,

					ЮФКВ.431268.005РЭ			Лист
								328
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

- 80 МАС для 4- разрядных данных,
- 224 МАС для 2- разрядных данных;
- 200 тыс. экв. вентиляей;
- 324 МГц (для 90 нм КМОП).

- степень интеграции
- тактовая частота

Ядро NMC3 представляет собой комплексную программно-аппаратную разработку, включая архитектуру ядра в целом и отдельных вычислительных устройств в частности, структурное описание ядра на языке, позволяющем осуществлять синтез ядра на библиотеках требуемой технологической базы, а также требования к эффективному размещению ядра на кристалле. Также непосредственной составляющей ядра NMC3 как законченного продукта являются требования и рекомендации по эффективному встраиванию ядра в систему на кристалле, а также программное обеспечение, позволяющее разрабатывать пользовательские программы, с максимальной эффективностью использующие возможность ядра.

Принципы построения ядра NMC3

Ядро NMC3 предполагает построение системы на кристалле в виде иерархической структуры: микропроцессорное ядро, одно или несколько, оболочка, встраивающая ядро в данную систему, периферийные устройства. Данное разбиение позволяет использовать отлаженное ядро в различных системах без изменений, при этом интеграция ядра в систему определяется оболочкой.

Ядро выполняет только основные вычислительные функции, и не зависит от того, как к нему организовано поступление данных. Это является задачей, решаемой оболочкой и периферией, что обеспечивает гибкость в использовании ядра в различных типах систем на кристалле независимо от используемых типов памяти и их объемов.

Ядро имеет пять входных и две выходных шины, что позволяет поддерживать до 6 одновременных доступов в память и достичь максимальной производительности при обработке потоков данных.

Применение ядра NMC3

Ядро NMC3 может применяться в качестве базового элемента при построении одно- и многопроцессорных систем на кристалле для цифровой обработки сигналов. Также ядро NMC3 может быть применено в качестве вспомогательного вычислителя в комплексных системах на кристалле под управлением ведущего процессора общего назначения или микроконтроллера.

Характерными областями применения ядра NMC3 являются:

Обработка изображений, включая, различные виды фильтрации и MPEG кодирование и декодирование.

Обработка радиолокационных сигналов, в том числе, различные виды цифровой фильтрации, преобразование Фурье, Адамара и прочее.

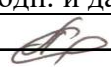
Высокопроизводительная коммутация сигналов.

Ядро может быть использовано как составная часть микропроцессорной системы на кристалле, выполненной по технологии заказных и полузаказных СБИС (ASIC и Gate Array), а также реализованной в виде ПЛИС достаточной емкости (FPGA).

Обязательным условием эффективного применения процессорного ядра в системе на кристалле является проектирование оболочки, осуществляющей интеграцию ядра в систему. Основные принципы построения оболочки и пример ее реализации приведены ниже.

Описание архитектуры ядра NMC3

В данном разделе приводится описание архитектуры ядра NMC3, включая его основные узлы, регистры конфигурации, системы команд и прерываний.

					ЮФКВ.431268.005РЭ			Лист
								329
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Состав ядра

Основными составными блоками ядра NMC3 являются: устройство обработки адресов и скаляров, устройство векторных вычислений, а также устройство управления. Процессорное ядро имеет в своем составе следующие шины: входную шину команд (**IB**), входную скалярную шину данных (**SDIB**), выходную скалярную шину данных (**SDOB**), входную шину векторных данных (**VDIB**), выходную шину векторных данных (**VDOB**), входную шину векторного регистра (**VRIB**), входную шину векторных весовых коэффициентов (**WB**), а также выходную шину адреса (**ADDR**), выходную шину смещения адреса (**BIAS**) и шину счетчика числа повторений векторной команды (**CNT**).

Схема ядра NMC3 представлена на рисунке, см. Рисунок 259.

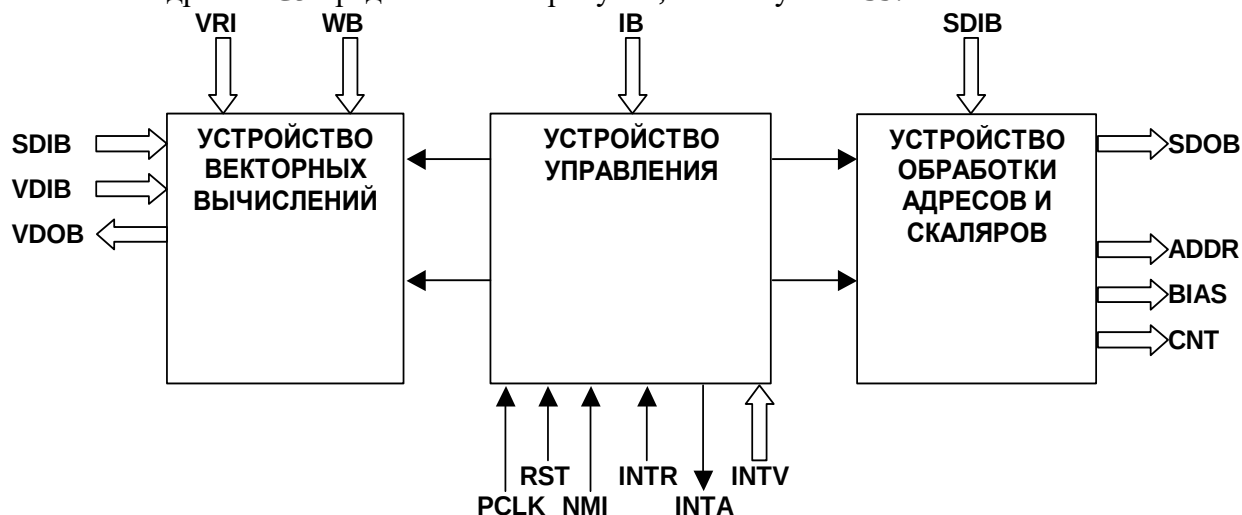


Рисунок 259 - Схема ядра NMC3

Архитектура основных блоков ядра

Ниже представлено описание архитектуры основных блоков ядра NMC3.

Устройство обработки адресов и скаляров.

Устройство обработки адресов и скаляров обеспечивает необходимые предварительные адресные вычисления и передачу адресов к внешним адресным генераторам, выполнение операций над скалярными операндами, хранение и модификацию программного счетчика PC.

Схема устройства приведена на рисунке (см. Рисунок 260).

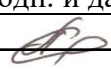
Ниже приводится описание основных составляющих устройства.

Регистры общего назначения GR0-GR7. Восемь 32-разрядных регистров общего назначения.

Адресные регистры AR0-AR7. Восемь 32-разрядных регистров адреса. Адресный регистр AR7 является также указателем системного стека SP.

Устройство скалярных вычислений ALU. Устройство выполняет логические и арифметические операции, операции шага 32-разрядного умножения над регистрами общего назначения. Результат операций также записывается в регистры общего назначения.

Устройство сдвига SHIFTER. Устройство выполняет операции сдвига над регистрами общего назначения. Результат операций также записывается в регистры общего назначения.

					ЮФКВ.431268.005РЭ			Лист
								330
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

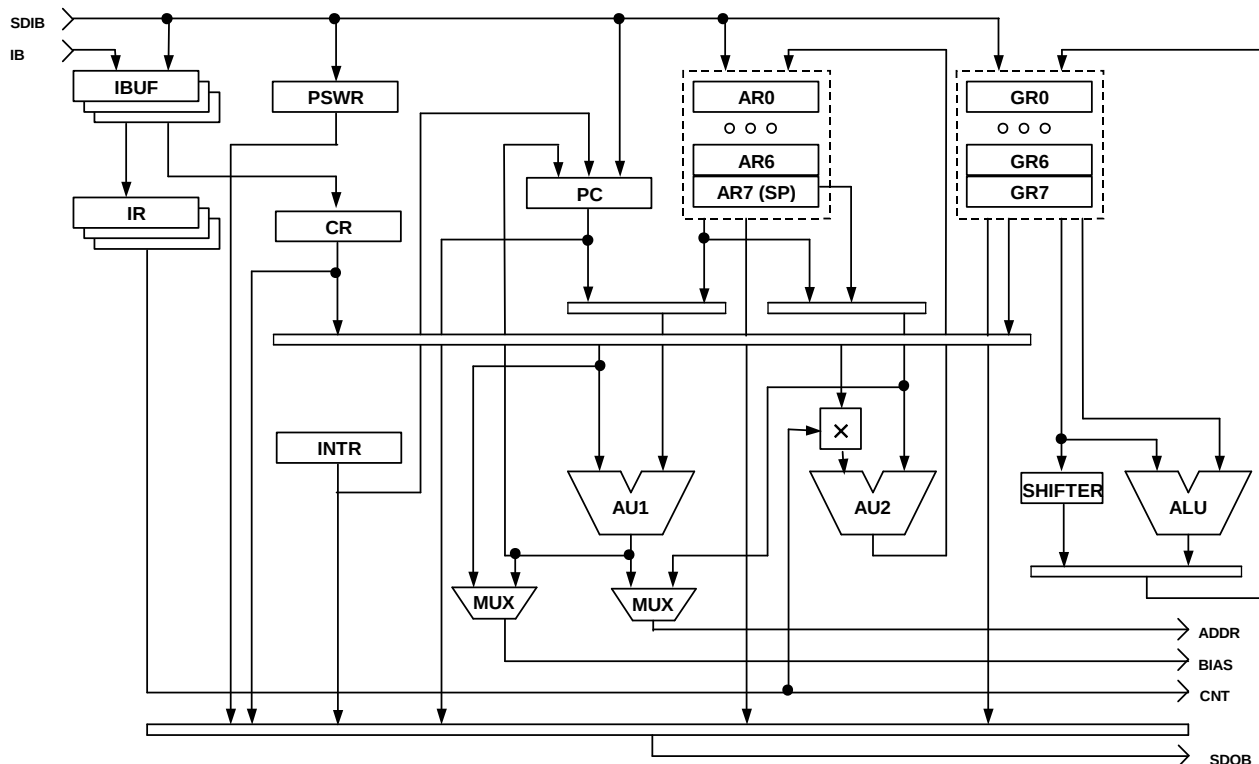


Рисунок 260 - Устройство обработки адресов и скаляров

Первое устройство адресных вычислений AU1. Данное устройство используется для формирования адреса для чтения из памяти/записи в память скалярных данных или первых векторных данных, а также для вычисления адреса перехода в командах условного перехода и перехода к подпрограммам. Оно использует в качестве операндов значение адресного регистра либо счетчика команд PC в качестве адреса и значение регистра общего назначения, либо непосредственную константу из команды в качестве смещения. Результат вычислений может быть выдан на внешнюю шину адреса или смещения адреса, а также быть записан в программном счетчике PC.

Второе устройство адресных вычислений AU2. Данное устройство используется для модификации адресных регистров при выполнении как скалярных, так и векторных команд. Оно использует в качестве операндов значение адресного регистра либо указателя стека в качестве адреса и значение регистра общего назначения в качестве смещения. В случае выполнения векторной команды смещение перед адресными вычислениями увеличивается в число раз, соответствующее числу повторений соответствующей векторной команды. Результат операции сохраняется в адресном регистре.

Программный счетчик PC. Показывает на адрес текущей команды, которая будет выполняться.

Буфер команд IBUF емкостью в 3 64-разрядных слова, **регистр константы CR**, **регистр слова состояния процессора PSWR**, а также конвейерные, программно недоступные **регистры команд IR** также являются составными частями устройства адресных и скалярных вычислений.

Устройство векторных вычислений.

Устройство векторных вычислений, или векторный сопроцессор – ключевой, наиболее производительный элемент ядра NMC3. Данное устройство предназначено для выполнения векторно-матричных операций над векторами программируемой разрядности.

					ЮФКВ.431268.005РЭ			Лист
								331
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		14.11.11		18212-1				

Схема устройства приведена на. Рисунок 261

Устройство векторных вычислений, иначе называемое векторным сопроцессором, имеет три входные шины: входную шину векторных данных, входную шину векторного регистра и входную шину весовых коэффициентов и одну выходную шину векторных данных. Допускается одновременное использование всех шин данных при выполнении нескольких независимых векторных операций.

Устройство векторных вычислений выполняет основную операцию вида:

$$R_i = F(Y_i + \sum W_{ij} \times X_{ij}), \text{ где } i = 1 \dots 32 - \text{ заданное число повторений векторной команды.}$$

W_i , R_i , Y_i , X_i - вектора данных с разрядностью от 1 до 64 разрядов, суммарной разрядностью 64 разряда.

То есть, $X_i = \{X_{ij}\}_{j=1}^M$, причем X_{ij} такие что, если $r(X_{ij})$ – разрядность X_{ij} ,

$$\text{то } 1 \leq r(X_{ij}) \leq 64 \text{ и } \sum_{j=1}^M r(X_{ij}) = 64$$

X_i называются векторами входных данных, Y_i – векторами смещений, R_i – векторами результата, W_i – векторами весовых коэффициентов.

Функция $F()$ – функция насыщения, либо пороговая функция вида представленного на Рисунок 261. Функция применяется для ограничения значащих цифр входных данных для избежания переполнения в процессе вычислений.

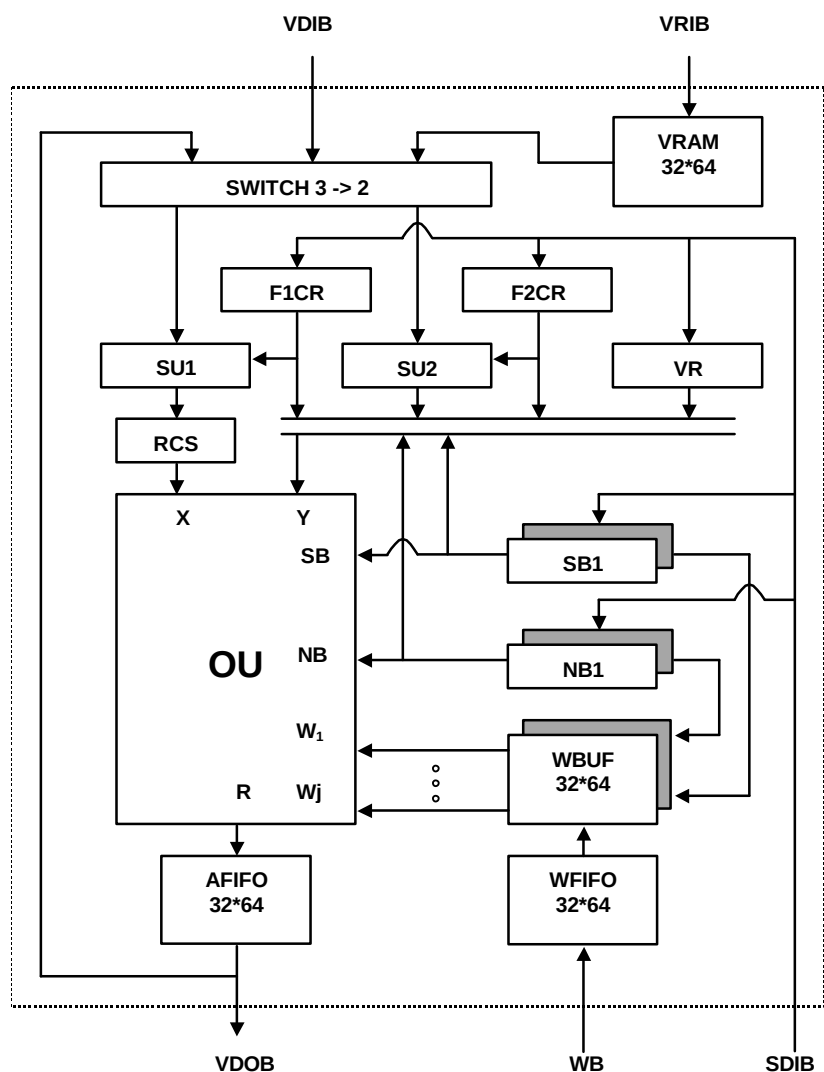


Рисунок 261 - Устройство векторных вычислений

					ЮФКВ.431268.005РЭ			Лист
								332
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	14.11.11		18212-1					

В состав устройства векторных вычислений входят следующие блоки:

Векторный регистр VRAM размером 32 64-разрядных слова для хранения одного из входных операндов.

Векторная память весовых коэффициентов WFIFO размером 32 64-разрядных слова для хранения предварительно загруженных весовых коэффициентов.

Теневая матрица памяти весовых коэффициентов WBUF размером 32 64-разрядных слова.

Основная (рабочая) матрица памяти весовых коэффициентов WOPER размером 32 64-разрядных слова.

Коммутатор входных данных SWITCH для выбора одного из трёх внешних источников данных – входной шины данных, выходной шины данных, либо векторного регистра - на вход каждого из операндов, либо подача на него нулевого значения.

Два устройства вычисления функции насыщения SU1, SU2, позволяющих ограничивать разрядность входных данных и их 64-разрядные регистры управления **F1CR** и **F2CR**.

Основное вычислительное устройство OU, выполняющее операцию вида, описанного выше. Кроме того, основное вычислительное устройство способно выполнять над векторами входных операндов X и Y арифметические и логические операции, не зависящие от значений векторов весовых коэффициентов W.

Векторная память результата AFIFO размером 32 64-разрядных слова.

Регистры границ нейронов NB1 и границ синапсов SB1 - 64-разрядные регистры, управляющие загрузкой теневой матрицы памяти весовых коэффициентов.

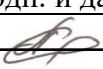
Регистры границ нейронов NB2 и границ синапсов SB2 - 64-разрядные регистры, процессом вычислений в основном вычислительном устройстве.

Регистр порога VR - 64-разрядный регистр, позволяющий к результату операции прибавить заданную константу.

Процесс вычислений осуществляется следующим образом. Загружаются регистры NB1 и SB1. В векторную память весовых коэффициентов загружается необходимое число векторов. Производится загрузка весовых коэффициентов в теневую матрицу памяти весовых коэффициентов под управлением NB1 и SB1. Число коэффициентов при этом соответствует числу элементов во входных векторах X. Загрузка производится за число процессорных тактов, соответствующее числу строк загружаемых элементов. Затем за один процессорный такт производится перезагрузка весовых коэффициентов из теневой матрицы коэффициентов в рабочую матрицу, а также содержимого регистров NB1 и SB1 в соответственно NB2 и SB2. После этого на входы X и Y операционного устройства подаются входные данные и над ними производится операция под управлением регистров NB2 и SB2. Результат сохраняется в векторной памяти результата. Векторная операция может выполняться от 1 до 32 раз подряд. До тех пор, пока результат из векторной памяти результатов не будет записан в память, либо использован в качестве входного операнда для следующей векторной операции, выполнение следующих векторных операций может быть приостановлено. Во время исполнения векторных вычислений содержимое теневой памяти весовых коэффициентов не используется и может обновляться на фоне основных вычислений.

Правильное сочетание векторных команд позволяет одновременно выполнять векторные вычисления над потоком данных, в том числе считывать входные данные из памяти и записывать результат в память, считывать новые весовые коэффициенты и загружать их в теневую матрицу памяти весовых коэффициентов. В этом случае достигается максимально возможная производительность ядра NMC3.

Устройство управления

					ЮФКВ.431268.005РЭ			Лист
								333
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Устройство управления является одним из ключевых блоков ядра NMC3, поскольку ядро представляет собой высокопроизводительное мультиконвейерное устройство с элементами динамической суперскалярной архитектуры. Устройство управления обеспечивает управление всеми конвейерами ядра и их синхронизацию между собой. Кроме того, устройство управления обеспечивает прием команд в буфер команд, их дешифрацию и распределение операций по соответствующим операционным конвейерам, управление переходами и переходами к подпрограммам и прерываниям и возврат из них. Обеспечивается исполнение векторных команд с заданными счетчиками повторений. Осуществляется контроль за всеми узлами и устройствами ядра NMC3.

Регистры управления и состояния

Ядро NMC3 содержит в своем составе регистры, управляющие функционированием ядра и отражающие его текущее состояние, а именно: **регистр слова состояния процессора PSWR** и **регистр запросов на прерывание INTR**.

Регистр слова состояния процессора содержит всю наиболее важную информацию о работе процессорного ядра. Данный регистр сохраняется в системном стеке при переходе к подпрограмме или прерыванию и восстанавливается при возврате из прерывания. Формат регистра PSWR представлен на Рисунок 262.

3 3 2 2 2 2 2 2 2 2 2 2 1 1 1 1 1 1 1 1 9 8 7 6 5 4 3 2 1 0
1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0

RESERVED																		ST	VRST	WIN	INT. MASKS				FLAGS				
[18:0]																		STEN	VRST	1:0	OV	IM	INT	STM	Y	N	Z	V	C

0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

Рисунок 262 - Формат регистра слова состояния процессора PSWR (32 разряда)

После системного сброса все разряды регистра слова состояния процессора содержат нули. Функциональное назначение разрядов регистра PSWR приведено ниже.

Разряды с 31 по 13 содержит служебную информацию, которая используется для работы аппаратной вершины системного стека, и программно недоступны. Остальные разряды регистра PSWR доступны программисту для чтения, записи, а также для поразрядной установки или поразрядного сброса).

12-й разряд (**ST_EN**) – разрешение работы аппаратной вершины системного стека. При установленном бите **ST_EN** работа аппаратной вершины системного стека разрешается, при сброшенном бите **ST_EN** работа аппаратной вершины запрещена.

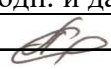
11-й разряд (**VRST**) – управление программным сбросом устройством векторных вычислений (очистка всех памятей данного устройства):

0 - нет сброса;

1 - есть сброс.

Поле **WIN** (10 и 9 разряды) определяет номер текущего регистрового окна. (См. описание распределения регистров по регистровым окнам.)

Поле **INTERRUPT MASKS** (разряды с 8 по 5) содержит маски на каждое прерывание: если какой либо бит маски равен единице, то соответствующее ему прерывание разрешено, если равен нулю - запрещено.

					ЮФКВ.431268.005РЭ				Лист
									334
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11		18212-1					

8-й разряд (**SPM**) - маска прерывания по переполнению при выполнении скалярной арифметической операции.

7-й разряд (**EIM**) - маска прерывания по запрещённой команде.

6-й разряд (**INM**) - маска внешнего относительно ядра NMC3 прерывания.

5-й разряд (**ST**) - маска пошагового прерывания.

Поле **FLAGS** (4 - 0 р.) содержит признаки, формируемые устройством обработки скаляров по результату скалярной операции:

4-й разряд (**Y**) - признак переноса, формируемый командами «Первый шаг умножения» и «Шаг умножения»;

3-й разряд (**N**) - признак знака;

2-й разряд (**Z**) - признак нуля;

1-й разряд (**V**) - признак переполнения;

0-й разряд (**C**) - признак переноса.

Регистр запросов на прерывание INTR содержит информацию о состоянии устройства векторных вычислений, а также хранит в себе запросы на прерывания, как внутренние, так и от внешних по отношению к ядру NMC3 устройств. Формат регистра INTR представлен на Рисунок 263

3 3 2 2 2 2 2 2 2 2 2 2 1 1 1 1 1 1 1 1 1 9 8 7 6 5 4 3 2 1 0
1 0 9 8 7 6 5 4 3 2 1 0 9 8 7 6 5 4 3 2 1 0

RESERVED										WF		VRAM_VAL				AFIFO_VAL				INT. REQUEST				INT. ADDRESS			
x	x	x	x	x	x	x	x	x	x	E	F	[4:0]				[4:0]				E	M	O	I	[5:0]			
										P	U									P	I	V	R				
										T	L									A							
										W	W																

x x x x x x x x x 1 0 X X X X X X X X X X X 0 0 0 0 0 x x x x x x

Рисунок 263 - Формат регистра запросов на прерывание INTR (32 разряда)

Регистр INTR программно доступен только на чтение и побитовый сброс. Функциональное назначение разрядов регистра INTR приведено ниже. Внизу на рисунке указано их состояние после системного сброса.

Разряды с 31-го по 23-й зарезервированы для использования в других версиях ядра NMC3 и в текущей версии не используются.

Поле **WF** (разряды с 22 по 21) содержит текущее состояние флагов WFIFO устройства векторных вычислений:

22-й разряд (**EMPTW**) - флаг очистки WFIFO:

0 - WFIFO содержит информацию;

1 - WFIFO пусто.

21-й разряд (**FULLW**) - флаг заполнения WFIFO:

0 - WFIFO не заполнено полностью;

1 - WFIFO полное.

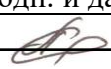
Поле **VRAM_VAL** (разряды с 20 по 16) говорит о том, сколько 64-разрядных слов должно быть в векторном регистре VRAM после того, как закончатся все векторные команды, на данный момент попавшие в конвейер ядра NMC3:

00000 - одно 64-разрядное число;

00001 - два 64-разрядных числа;

.....

11111 - тридцать два 64-разрядных числа.

					ЮФКВ.431268.005РЭ				Лист
									335
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11		18212-1					

Поле **AFIFO_VAL** (разряды с 15 по 10) говорит о том, сколько 64-разрядных слов должно быть в AFIFO после того, как закончатся все векторные команды, на данный момент попавшие в конвейер процессорного ядра:

Разряды с 15-го по 11-й показывают число записанных в AFIFO слов:

00000 - одно 64-разрядное число;

00001 - два 64-разрядных числа;

.....

11111 - тридцать два 64-разрядных числа.

10-й разряд (**EMPTA**) - признак пустоты AFIFO:

0 - AFIFO пусто;

1 - AFIFO не пусто, и число записанных в нем слов определяется разрядами 15 - 11.

Поле **INT. REQUEST** (с 9 по 6 разряды) содержит запросы на прерывание:

9-й разряд (**NMI**) - запрос на немаскируемое внешнее прерывание.

8-й разряд (**OVR**) - запрос на прерывание по переполнению при выполнении скалярной арифметической операции.

7-й разряд (**EIR**) - запрос на прерывание по запрещённой команде.

6-й разряд (**INR**) - запрос на внешнее прерывание.

Поле **INT. ADDRESS** (с 5 по 0 разряды) содержит адрес процедуры обработки текущего внешнего прерывания.

При возникновении запроса на прерывание в соответствующем бите регистра **INTR** устанавливается единица, которая сбрасывается, когда данный запрос начинает обслуживаться.

Регистровые окна

В ядре NMC3 определены 4 регистровых окна, обеспечивающих доступ к различным регистрам периферийных устройств системы на кристалле в целом, используя одни и те же коды регистра в команде в зависимости от выбора номера регистрового окна. Номер регистрового окна определяется установкой соответствующего поля в регистре слова состояния процессора PSWR. Для удобства программирования процессора регистры ядра NMC3 присутствуют во всех регистровых окнах и, таким образом, их кодировка не зависит от номера текущего регистрового окна.

Распределение регистров периферийных устройств системы на кристалле в регистровом пространстве и в соответствующих регистровых окнах определяется оболочкой ядра NMC3. Максимально возможное число периферийных регистров в системе – 64.

Ниже представлена кодировка регистров ядра и периферийных регистров в командах процессора NM6404 (1879BM2), построенного на базе NMC3. В данном случае используются только два регистровых окна.

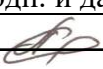
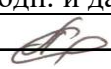
					ЮФКВ.431268.005РЭ			Лист
								336
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Таблица 250 - Кодировка регистров ядра и периферийных регистров в командах процессора NM6404 (1879BM2), построенного на базе NMC3

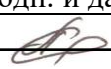
	Регистровое окно 0		Регистровое окно 1	
Код регистра	Регистр-источник	Регистр-приемник	Регистр-источник	Регистр-приемник
Регистры процессорного ядра NMC3				
0 0 0 0 0 0	GR0,AR0	GR0,AR0	GR0,AR0	GR0,AR0
0 0 0 0 0 1	GR1,AR1	GR1,AR1	GR1,AR1	GR1,AR1
0 0 0 0 1 0	GR2,AR2	GR2,AR2	GR2,AR2	GR2,AR2
0 0 0 0 1 1	GR3,AR3	GR3,AR3	GR3,AR3	GR3,AR3
0 0 0 1 0 0	GR4,AR4	GR4,AR4	GR4,AR4	GR4,AR4
0 0 0 1 0 1	GR5,AR5	GR5,AR5	GR5,AR5	GR5,AR5
0 0 0 1 1 0	GR6,AR6	GR6,AR6	GR6,AR6	GR6,AR6
0 0 0 1 1 1	GR7,AR7	GR7,AR7	GR7,AR7	GR7,AR7
0 0 1 0 0 0	-	NB	-	NB
0 0 1 0 0 1	-	SB	-	SB
0 0 1 0 1 0	-	F1CR	-	F1CR
0 0 1 0 1 1	-	F2CR	-	F2CR
0 0 1 1 0 0	-	VR	-	VR
0 0 1 1 0 1	-	PCRset	-	PCRset
0 0 1 1 1 0	-	PCRreset	-	PCRreset
0 0 1 1 1 1	PSWR,PC	PSWR,PC	PSWR,PC	PSWR,PC
0 1 0 0 0 0	AR0	AR0	AR0	AR0
0 1 0 0 0 1	AR1	AR1	AR1	AR1
0 1 0 0 1 0	AR2	AR2	AR2	AR2
0 1 0 0 1 1	AR3	AR3	AR3	AR3
0 1 0 1 0 0	AR4	AR4	AR4	AR4
0 1 0 1 0 1	AR5	AR5	AR5	AR5
0 1 0 1 1 0	AR6	AR6	AR6	AR6
0 1 0 1 1 1	AR7(SP)	AR7(SP)	AR7(SP)	AR7(SP)
0 1 1 0 0 0	GR0	GR0	GR0	GR0
0 1 1 0 0 1	GR1	GR1	GR1	GR1
0 1 1 0 1 0	GR2	GR2	GR2	GR2
0 1 1 0 1 1	GR3	GR3	GR3	GR3
0 1 1 1 0 0	GR4	GR4	GR4	GR4
0 1 1 1 0 1	GR5	GR5	GR5	GR5
0 1 1 1 1 0	GR6	GR6	GR6	GR6
0 1 1 1 1 1	GR7	GR7	GR7	GR7
1 0 0 0 0 0	-	NBL	-	NBL
1 0 0 0 0 1	-	SBL	-	SBL
1 0 0 0 1 0	-	F1CRL	-	F1CRL
1 0 0 0 1 1	-	F2CRL	-	F2CRL
1 0 0 1 0 0	-	VRL	-	VRL
1 0 0 1 0 1	PCR	PCR	PCR	PCR
1 0 0 1 1 0	INTR	INTRreset	INTR	INTRreset
1 0 0 1 1 1	PC	PC	PC	PC
1 0 1 0 0 0	-	NBH	-	NBH
1 0 1 0 0 1	-	SBH	-	SBH
1 0 1 0 1 0	-	F1CRH	-	F1CRH
1 0 1 0 1 1	-	F2CRH	-	F2CRH

					ЮФКВ.431268.005РЭ			Лист
								337
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

1 0 1 1 0 0	-	VRH	-	VRH
1 0 1 1 0 1	-	PSWRset	-	PSWRset
1 0 1 1 1 0	-	PSWRreset	-	PSWRreset
1 0 1 1 1 1	PSWR	PSWR	PSWR	PSWR
Периферийные регистры				
1 1 0 0 0 0	LEMA	LEMA	OCA0	OCA0
1 1 0 0 0 1	GEMA	GEMA	ICA0	ICA0
1 1 0 0 1 0	LIMA	LIMA	OCA1	OCA1
1 1 0 0 1 1	GIMA	GIMA	ICA1	ICA1
1 1 0 1 0 0	IOP	IOP	-	-
1 1 0 1 0 1	-	IOPset	-	-
1 1 0 1 1 0	-	IOPreset	-	-
1 1 0 1 1 1	IOPCR	IOPCR	GPA	GPA
1 1 1 0 0 0	DMAC0	DMAC0	OCC0	OCC0
1 1 1 0 0 1	DMAC1	DMAC1	ICC0	ICC0
1 1 1 0 1 0	T0	T0	OCC1	OCC1
1 1 1 0 1 1	T1	T1	ICC1	ICC1
1 1 1 1 0 0	IMR	IMR	-	LMCR0
1 1 1 1 0 1	-	IMRset	-	LMCR1
1 1 1 1 1 0	-	IMRreset	-	GMCR0
1 1 1 1 1 1	IRR	IRRreset	-	GMCR1

Таблица 251 - Обозначение регистров ядра и периферийных регистров в командах процессора NM6404 (1879BM2), построенного на базе NMC3, и их назначение

Обозначение регистров и их назначение	Разрядность
Регистры процессорного ядра NMC3	
GRi - регистр общего назначения i (i=0,...,7)	32
ARj - адресный регистр j (j=0,...,6)	32
SP(AR7) - указатель стека адресов возврата	32
PC - программный счетчик	32
PSWR - регистр слова состояния процессора	32
PSWRset - код для побитовой установки PSWR в единицу (псевдорегистр)	-
PSWRreset - код для побитового сброса PSWR в ноль (псевдорегистр)	-
INTR – регистр запросов на прерывание	32
INTRreset – код для побитового сброса INTR в ноль (псевдорегистр)	-
PCR - регистр управления периферией	32
PCRset - код для побитовой установки PCR в единицу (псевдорегистр)	-
PCRreset - код для побитового сброса PCR в ноль (псевдорегистр)	-
FiCR (H,L) - регистр управления функцией насыщения i (i=1,2) (старшая, младшая часть)	64(32)
VR(H,L) - регистр порога (старшая, младшая часть)	64(32)
NB(H,L) - i-й регистр границ нейронов (старшая, младшая часть)	64(32)
SB(H,L) - регистр границ синапсов (старшая, младшая часть)	64(32)
Периферийные регистры	
Ti – таймер i (i=0, 1)	32
IRR – регистр запросов на внешние прерывания	12
IRRreset – код для побитового сброса IRR в ноль (псевдорегистр)	-
IMR – регистр масок на внешние прерывания	12
IMRset – код для побитовой установки IMR в единицу (псевдорегистр)	-
IMRreset – код для побитового сброса IMR в ноль (псевдорегистр)	-

					ЮФКВ.431268.005РЭ			Лист
								338
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

GPA – регистр адреса гиперстраницы кеш команд	12
LMCRi - регистр i управления локальной внешней шиной (i=0, 1)	32
GMCRi - регистр i управления глобальной внешней шиной (i=0, 1)	32
LEMA - регистр адреса локальной внешней памяти каналов ПДП	32
GEMA - регистр адреса глобальной внешней памяти каналов ПДП	32
LIMA - регистр адреса локальной внутренней памяти каналов ПДП	14
GIMA - регистр адреса глобальной внутренней памяти каналов ПДП	14
DMACi – регистр управления i-м каналом ПДП (i=0, 1)	19
OCAi – регистр адреса канала вывода i-го коммуникационного порта (i=0, 1)	32
ICAi – регистр адреса канала ввода i-го коммуникационного порта (i=0, 1)	32
OCCi - счетчик канала вывода i-го коммуникационного порта (i=0, 1)	32
ICCi - счетчик канала ввода i-го коммуникационного порта (i=0, 1)	32
IOP – порт общего назначения	8
IOPset - код для побитовой установки IOP в единицу (псевдорегистр)	-
IOPreset - код для побитового сброса IOP в ноль (псевдорегистр)	-
IOPCR - регистр управления портом общего назначения	8

Система команд ядра

Ядро NMC3 работает с командами фиксированной длины по 32 или 64 разряда, которые можно разделить на 4 основные группы: векторные команды и команды скалярные - обработки операндов, управления и пересылки. Форматы команд ядра NMC3 и краткое их описание дано в **Приложении А**.

Система прерываний ядра

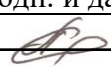
Система прерываний ядра NMC3 поддерживает как внутренние, так и внешние прерывания. Внутренними прерываниями являются: прерывание по переполнению при выполнении скалярных арифметических операций, прерывание по запрещённой векторной команде, отладочное пошаговое прерывание. Также поддерживается одно внешнее немаскируемое прерывание NMI и одно внешнее маскируемое прерывание с адрес-вектором, задаваемым внешними по отношению к ядру NMC3 устройствами. Прерывания имеют жестко определенный приоритет, а внутренние прерывания ядра также и фиксированные адрес-вектора прерываний. Все прерывания, за исключением немаскируемого NMI, маскируемые. Маски определяются путем программной установки или сброса соответствующего разряда регистра слова состояния процессора PSWR.

Прерывания представлены в табл в порядке уменьшения приоритета сверху вниз.

Таблица 252 - Прерывания ядра NMC3

№	Тип прерывания	Обозначение	Адрес-вектор
0	Немаскируемое внешнее прерывание	NMI	0 hex
1	Прерывание по переполнению при выполнении скалярных арифметических операций	OV	8 hex
2	Прерывание по запрещённой команде	EI	10 hex
3	Пошаговое прерывание	ST	18 hex
4	Внешнее прерывание	INT	20-78 hex *

Примечание: адрес-вектора прерывания от внешних устройств определяется внешней системой и передается в ядро по входной шине INTV.

					ЮФКВ.431268.005РЭ			Лист
								339
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Организация памяти ядра NMC3

Ядро NMC3 при обращении в память за данными использует 32-разрядный вычисляемый адрес, причём данные могут быть 32-х или 64-разрядные. Таким образом, доступное адресное пространство равно 16 Гбайт. Конкретная организация памяти задаётся оболочкой ядра, интегрирующей его в систему на кристалле.

Интеграция ядра в систему на кристалле

В данном разделе приводится информация, обеспечивающая корректное использование ядра NMC3 в составе различных систем на кристалле и максимальную его производительность.

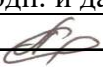
Иерархическая структура и топологическое представление ядра

Вычислительные устройства ядра NMC3 представляют из себя регулярные структуры одноразрядных вычислителей и являются узлами, производительность которых во многом определяется корректным размещением компонентов. Иерархическая структура ядра NMC3 полностью соответствует топологической структуре, то есть, каждый блок в иерархии соответствует определённому блоку топологии ядра.

Иерархическая структура ядра NMC3 представлена на **Рисунок 264**

Уровни иерархии				Описание
1	2	3	4	
NMC3				Процессорное ядро
	RISC			Устройство обработки адресов и скаляров
		AGU		Устройство обработки адресов
		RALU		Устройство обработки скаляров
	VU			Устройство обработки векторов
		VP64		Операционная часть устройства обработки векторов
		VRAM		Векторный регистр
		WFIFO		Векторная память весовых коэффициентов
		AFIFO		Векторная память результата
	CU			Устройство управления
		IBUF		Буфер команд
		PCU		Устройство управления операционными конвейерами
		ICU		Устройство управления прерываниями

Рисунок 264 - Иерархическая структура ядра NMC3

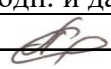
					ЮФКВ.431268.005РЭ			Лист
								340
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Внешние выводы ядра

Список внешних выводов ядра NMC3 представлен в таблице ниже.

Таблица 253 – Внешние выводы ядра NMC3

Обозначение	Тип вывода	Функциональное назначение
IB<63:0> IB_STRB IB_RDY	Входы Вход Выход	Входная шина команд Строб готовой команды для ядра Готовность приёма команды ядром
SDIB<63:0> SDIB_STRB SDIB_RDY	Входы Вход Выход	Входная шина скалярных данных Строб входных скалярных данных Готовность приёма входных скалярных данных
SDOB<63:0> SDOB_STRB SDOB_RDY	Выходы Выход Вход	Выходная шина скалярных данных Строб выходных скалярных данных Готовность приёма выходных скалярных данных
VDIB<63:0> VDIB_STRB VDIB_RDY	Входы Вход Выход	Входная шина векторных данных Строб входных векторных данных Готовность приёма входных векторных данных
VDOB<63:0> VDOB_STRB VDOB_RDY	Выходы Выход Вход	Выходная шина векторных данных Строб выходных векторных данных Готовность приёма выходных векторных данных
VRB<63:0> VRB_STRB VRB_RDY	Входы Вход Выход	Входная шина векторного регистра Строб входных данных для векторного регистра Готовность приёма данных для векторного регистра
WB<63:0> WB_STRB WB_RDY	Входы Вход Выход	Входная шина весовых коэффициентов Строб весовых коэффициентов Готовность приёма весовых коэффициентов
ADDR<31:0> BIAS<31:0> CNT<4:0> LADDR<37:0>	Выходы Выходы Выходы Выход	Выходная шина адреса Выходная шина смещения адреса Выходная шина счетчика векторных команд Последний адрес для команд векторных данных.
IOP<3:0> IOP_RDY	Выходы Вход	Тип запроса на ввод-вывод Готовность запроса на ввод-вывод
RSD<4:0>	Выходы	Код регистра источника/приемника при операциях вывода/вывода
NMI INT INTA INTV<5:0>	Вход Вход Выход Входы	Немаскируемое внешнее прерывание Вход внешнего прерывания Выход подтверждения внешнего прерывания Вход адрес-вектора внешнего прерывания
CLK RST	Вход Вход	Внешний тактовый сигнал Внешний синхронный системный сброс

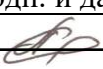
					ЮФКВ.431268.005РЭ			Лист
								341
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Ниже приведён возможный тип запроса на ввод-вывод от ядра, задаваемый на выводах IOP<3..0>.

Таблица 254 - Коды команд ввода-вывода ядра к системному интегратору

3 2 1 0	Команда	Вид операции
0 0 0 0	NOP	Нет операции
0 0 0 1	MOVE_DST	Пересылка из регистра ядра в регистр периферийного узла.
0 0 1 0	MOVE_SRC	Пересылка из регистра периферийного узла в регистр ядра.
0 0 1 1	MOVE_PC	Останов IAG.
0 1 0 0	WRITE_VDB	Запись в память по шине VDOB
0 1 0 1	READ_VDB	Чтение из памяти по шине VDIB
0 1 1 0	READ_VRB	Чтение из памяти по шине VRB
0 1 1 1	READ_WB	Чтение из памяти по шине WB
1 0 0 0	CALL	Переход. Запись в память по шине SDOB 64-разрядных данных Очистка буферов команд.
1 0 0 1	INT	Переход. Запись в память по шине SDOB 64-разрядных данных. Полная очистка буферов команд, включая отложенные команды.
1 0 1 0	WRITE_SDB64	Запись в память по шине SDOB 64-разрядных данных
1 0 1 1	WRITE_SDB32	Запись в память по шине SDOB 32-разрядных данных
1 1 0 0	JUMP	Переход. (Запись адреса в IAG и очистка буферов команд)
1 1 0 1	RET	Переход. Чтение из памяти по шине SDIB.
1 1 1 0	READ_SDB	Чтение из памяти по шине SDIB
1 1 1 1	READ_PC	Чтение из памяти по шине SDIB. Останов IAG

Более подробно об устройстве NMC3 можно узнать из документации: “NMC, введение в архитектуру”.

					ЮФКВ.431268.005РЭ			Лист
								342
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.7 Аудиоконтроллер

1.3.3.7.1 Описание и работа аудиоконтроллера

1.3.3.7.1.1 Назначение аудиоконтроллера

Аудиоконтроллер рассчитан на применение в составе СнК с системной шиной AMBA 3.0 (AXI) высокой степени интеграции и может использоваться в мультимедийных устройствах, предназначенных для воспроизведения звука.

Аудиоконтроллер реализует обмен данными между центральным процессором и внешним приемником цифровой звуковой информации по интерфейсам SPDIF или I2S. Аудиоконтроллер предназначен для вывода одноканального и многоканального (до 8-ми каналов при использовании интерфейса I2S) несжатого цифрового аудиосигнала и сжатого многоканального аудиосигнала (при использовании интерфейса SPDIF).

На вход аудиоконтроллера поступают массивы цифровых отсчетов аудиосигнала, которые преобразуются в последовательные битовые потоки в соответствии со спецификацией протокола I2S или SPDIF. Данные битовые потоки подаются на оконечные устройства, выводящие звук.

На Рисунок 265 представлена схема типового применения аудиоконтроллера.

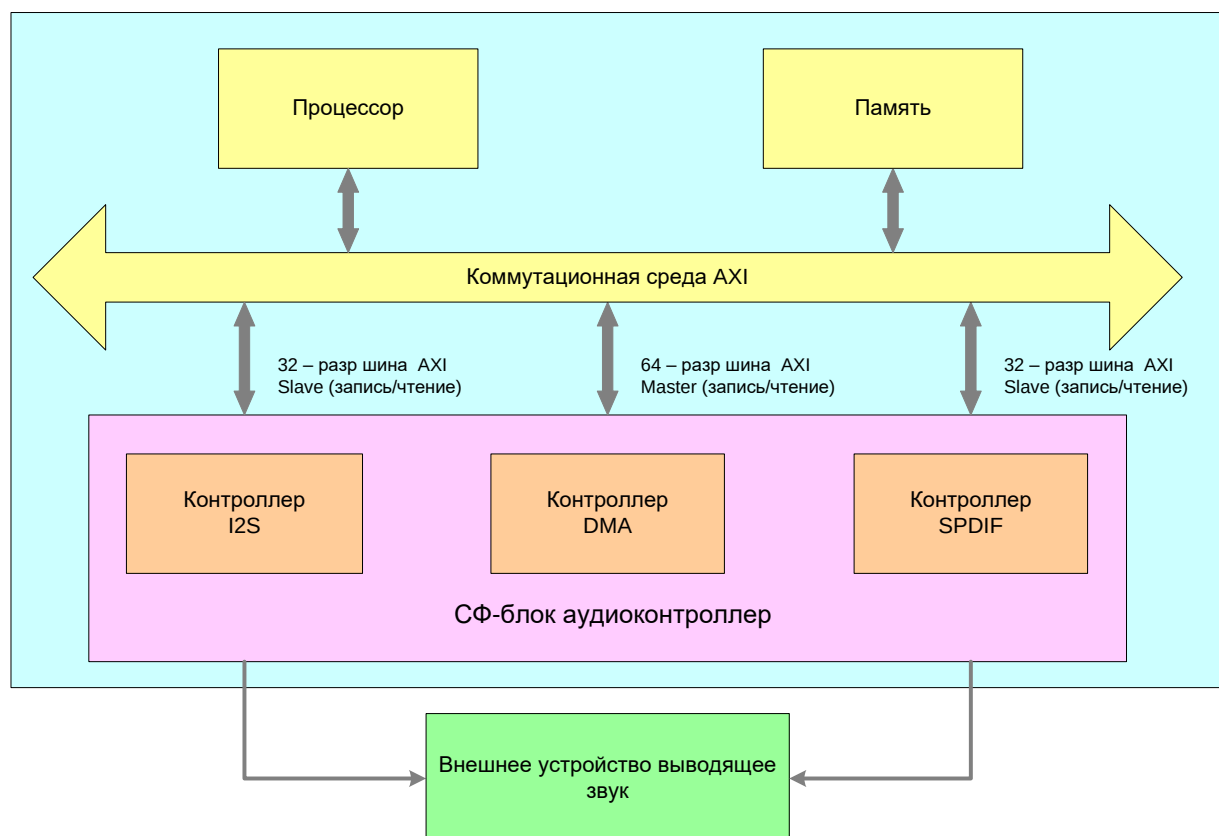
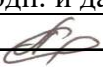


Рисунок 265 - Схема типового применения аудиоконтроллера

					ЮФКВ.431268.005РЭ			Лист
								343
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Контроллер обеспечивает передачу звуковых данных с частотами дискретизации от 22,05 КГц до 192 КГц. Частота передачи звука формируется на основе внешней звуковой частоты, которая наряду с системной синхронизацией поступает в звуковой контроллер от внешних программируемых генераторов синхросигналов.

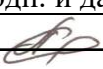
1.3.3.7.1.2 Технические характеристики аудиоконтроллера

- Поддерживаемая разрядность цифровых отсчетов аудиосигнала (кол-во разрядов):
 - 16;
 - 20;
 - 24;
- Формат представления цифровых отсчетов аудиосигнала:
 - bigendian
 - littleendian;
- Поддерживаемые стандартные частоты дискретизации звука (КГц):
 - 192;
 - 176,4;
 - 96;
 - 88,2;
 - 48;
 - 44,1;
 - 32;
 - 22,05.
- Системная шина данных AMBA AXI с разрядностью по адресам 32 бит, по данным 32 и 64 бита;
- Системная частота: от 50 МГц и выше (тестирование велось при 162 МГц);
- Входная звуковая частота: кратна 22,5792 МГц, либо кратна 24,576 МГц.

1.3.3.7.1.3 Структура аудиоконтроллера

Аудиоконтроллер структурно состоит из трех блоков:

- контроллер многоканального звука с интерфейсом I2S;
- контроллер цифрового звука с интерфейсом SPDIF;
- контроллер AUDIO_DMA для обеспечения аудиоконтроллера звуковыми данными.

					ЮФКВ.431268.005РЭ			Лист
								344
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

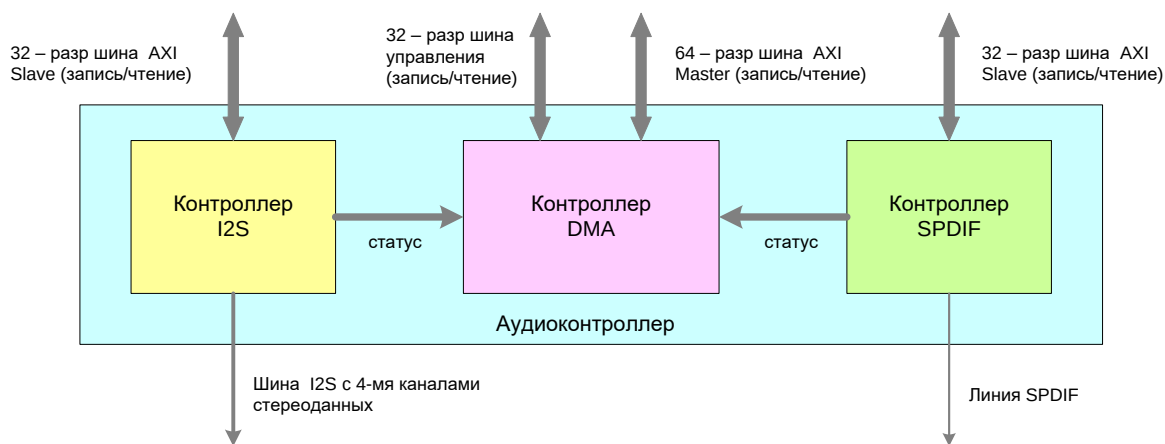


Рисунок 266 – Структурная схема аудиоконтроллера

Контроллер AUDIO_DMA читает по AXI шине 64-х разрядные данные из внешней памяти, преобразует их в 32-х разрядные данные и передает по AXI шине в один из звуковых контроллеров. Звуковые контроллеры I2S, SPDIF преобразуют получаемые данные в битовые потоки и передают их по соответствующему цифровому звуковому интерфейсу.

1.3.3.7.1.3.1 Контроллер многоканального звука с интерфейсом I2S

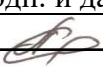
Контроллер многоканального звука с интерфейсом I2S (далее контроллер I2S) реализует интерфейс между центральным процессором и ЦАП с интерфейсом I2S, предназначенным для вывода аналогового многоканального аудиосигнала на звуковую аппаратуру.

На вход контроллера I2S поступают массивы цифровых отсчетов (далее, просто отсчеты) аудиосигнала разрядностью от 16 до 24 бит, которые преобразуются в последовательные битовые потоки в соответствии со спецификацией протокола I2S. Контроллер I2S способен принимать и преобразовывать массивы отсчетов для четырех стереоканалов одновременно, что позволяет поддерживать вывод многоканального звука вплоть до схемы 7.1.

Структурная схема контроллера I2S и схема его интеграции с центральным процессором представлена на Рисунок 267.

Входные данные поступают в контроллер I2S через интерфейсный модуль AXI-Slave. Интерфейсный модуль AXI-Slave осуществляет следующие действия:

- взаимодействие с коммутационной средой посредством транзакций записи и чтения в соответствии с протоколом AXI 1.0;
- дешифрация поступающей в ходе транзакции адресной информации;
- запись полученных в ходе транзакции данных в блок регистров или блок буферов цифровых отчетов аудиосигнала на основе дешифрованной адресной транзакции.

					ЮФКВ.431268.005РЭ			Лист
								345
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

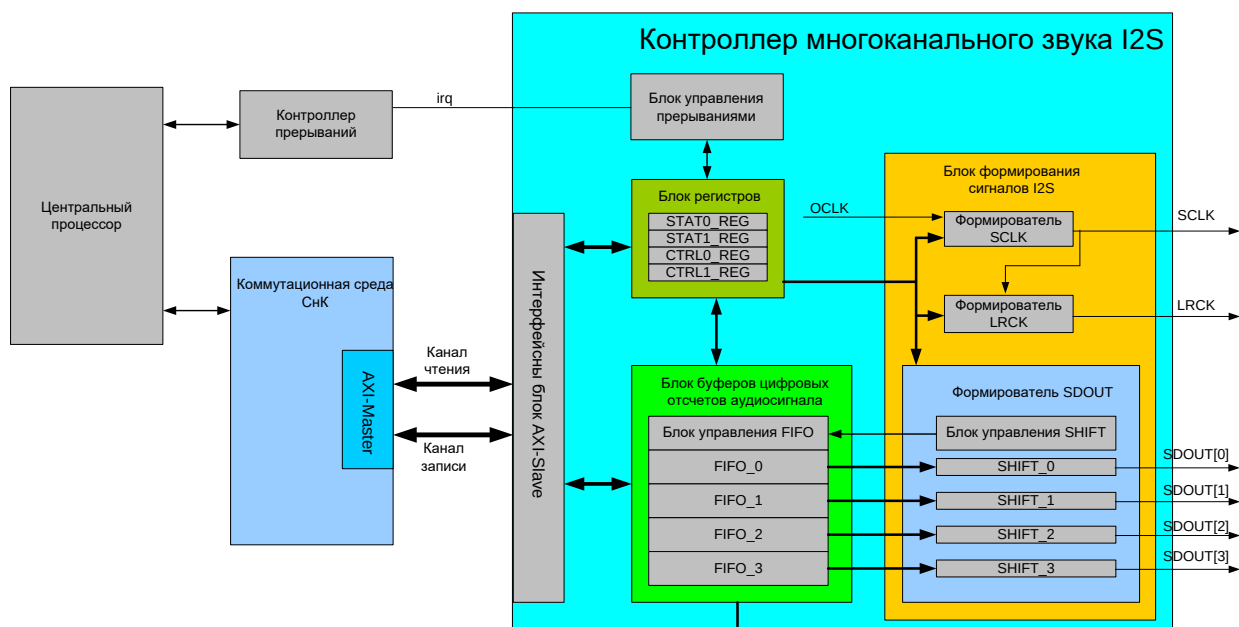


Рисунок 267 - Структурная схема контроллера I2S

Запись поступающего на вход контроллера I2S потока отсчетов производится в блок буферов цифровых отсчетов аудиосигнала.

Блок буферов цифровых отсчетов аудиосигнала представляет из себя набор из четырех программно доступных FIFO-буферов (FIFO_0, FIFO_1, FIFO_2, FIFO_3) и блока управления FIFO.

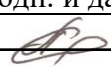
Каждый FIFO-буферов предназначен для промежуточного хранения массивов отсчетов одного стереоканала. Запись потока входных отсчетов в каждый FIFO-буфер ведется интерфейсным блоком AXI-Slave на основе дешифрованной адресной информации.

В случае, если контроллер I2S настраивается на работу в стереофоническом режиме, то используется только буфер FIFO_0. Если контроллер I2S настраивается на работу в многоканальном режиме (количество каналов превышает один), то используются остальные FIFO-буфера. Количество используемых FIFO-буферов зависит от количества выводимых каналов.

Блок управления FIFO управляет адресными счетчикам записи и чтения для каждого FIFO-буфера, а также отслеживает и информирует интерфейсный блок AXI-Slave и блок формирования сигналов I2S о статусе заполнения FIFO-буферов.

Блок формирования сигналов I2S реализует формирование сигналов SCLK, LRCK, SDOUT[3:0] в соответствии со спецификацией протокола I2S. Структурно, данный блок состоит из формирователя SCLK, формирователя LRCK и формирователя SDOUT.

Формирователь SCLK осуществляет генерацию сигнала SCLK требуемой частоты. Частота сигнала SCLK определяется частотой дискретизации исходного аудиосигнала (количество отсчетов в секунду) и разрядностью отсчетов. Генерация SCLK производится путем деления опорного интерфейсного синхросигнала OCLK на целый коэффициент, задаваемый драйвером через программирование конфигурационных регистров контроллера I2S.

					ЮФКВ.431268.005РЭ			Лист
								346
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Формирователь SDOUT предназначен для преобразования отсчетов из параллельного кода в последовательный для передачи по одноразрядным линиям шины SDOUT[3:0].

Преобразование отсчетов из параллельного кода в последовательный происходит при помощи четырех сдвиговых регистров SHIFT_0, SHIFT_1, SHIFT_2, SHIFT_3. Каждый сдвиговый регистр однозначно соответствует FIFO-буферу с таким же индексом в блоке буферов цифровых отсчетов аудиосигнала.

Загрузка отсчетов из FIFO-буферов в сдвиговые регистры, а также управление работой сдвиговых регистров, осуществляется блоком управления SHIFT. Выдача битов со сдвиговых регистров на линии шины SDOUT тактируется сигналом SCLK.

Формирователь LRCK осуществляет генерацию сигнала LRCK, который является признаком принадлежности передаваемых по шине SDOUT[3:0] отсчетов к левому или правому каналу. Генерация LRCK тактируется сигналом SCLK и производится на основе информации о разрядности отсчетов: сигнал LRCK удерживается в состоянии «1» или «0» строго n тактов сигнала SCLK, где n – разрядность передаваемых по линиям шины SDOUT[3:0] отсчетов.

1.3.3.7.1.3.2 Контроллер цифрового звука с интерфейсом SPDIF

Контроллер цифрового звука с интерфейсом SPDIF (далее контроллер SPDIF) реализует обмен данными между центральным процессором и внешним приемником цифровой звуковой информации по интерфейсу SPDIF. Контроллер предназначен для вывода одноканального и двухканального несжатого цифрового аудиосигнала и сжатого многоканального аудиосигнала.

На вход контроллера SPDIF поступает информация конфигурации аудиоканалов, пользовательские данные, массивы цифровых отсчетов аудиосигнала (далее, аудиосэмплы) разрядностью 16, 20 или 24 бита, которые преобразуются в последовательные битовые потоки в соответствии со стандартами IEC 60958 и IEC 61937 и выводятся наружу.

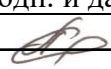
Структурная схема контроллера SPDIF представлена на Рисунок 268.

Входные данные поступают в контроллер SPDIF через интерфейсный модуль AXI-Slave. Интерфейсный модуль AXI-Slave осуществляет следующие действия:

- взаимодействие с коммутационной средой посредством транзакций записи и чтения в соответствии с протоколом AXI 1.0;
- дешифрация поступающей в ходе транзакции адресной информации;
- запись полученных в ходе транзакции данных в блок регистров, буферы статусной информации каналов, буфер пользовательских данных и буфер аудиосэмплов на основе дешифрованной адресной информации.

Буфер аудиосэмплов представляет собой программно доступный на запись FIFO-буфер и блок управления FIFO. FIFO-буфер предназначен для промежуточного совместного хранения аудиосэмплов левого и правого аудиоканалов. Запись потока звуковых отсчетов в FIFO-буфер ведется интерфейсным блоком AXI-Slave на основе дешифрованной адресной информации.

Блок управления FIFO управляет адресными счетчиками записи и чтения FIFO-буфера, а также передает информацию о статусе заполнения FIFO-буфера и ошибочных ситуациях в блок регистров. Схожее устройство имеют буферы статусной информации каналов и пользовательских данных.

					ЮФКВ.431268.005РЭ			Лист
								347
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

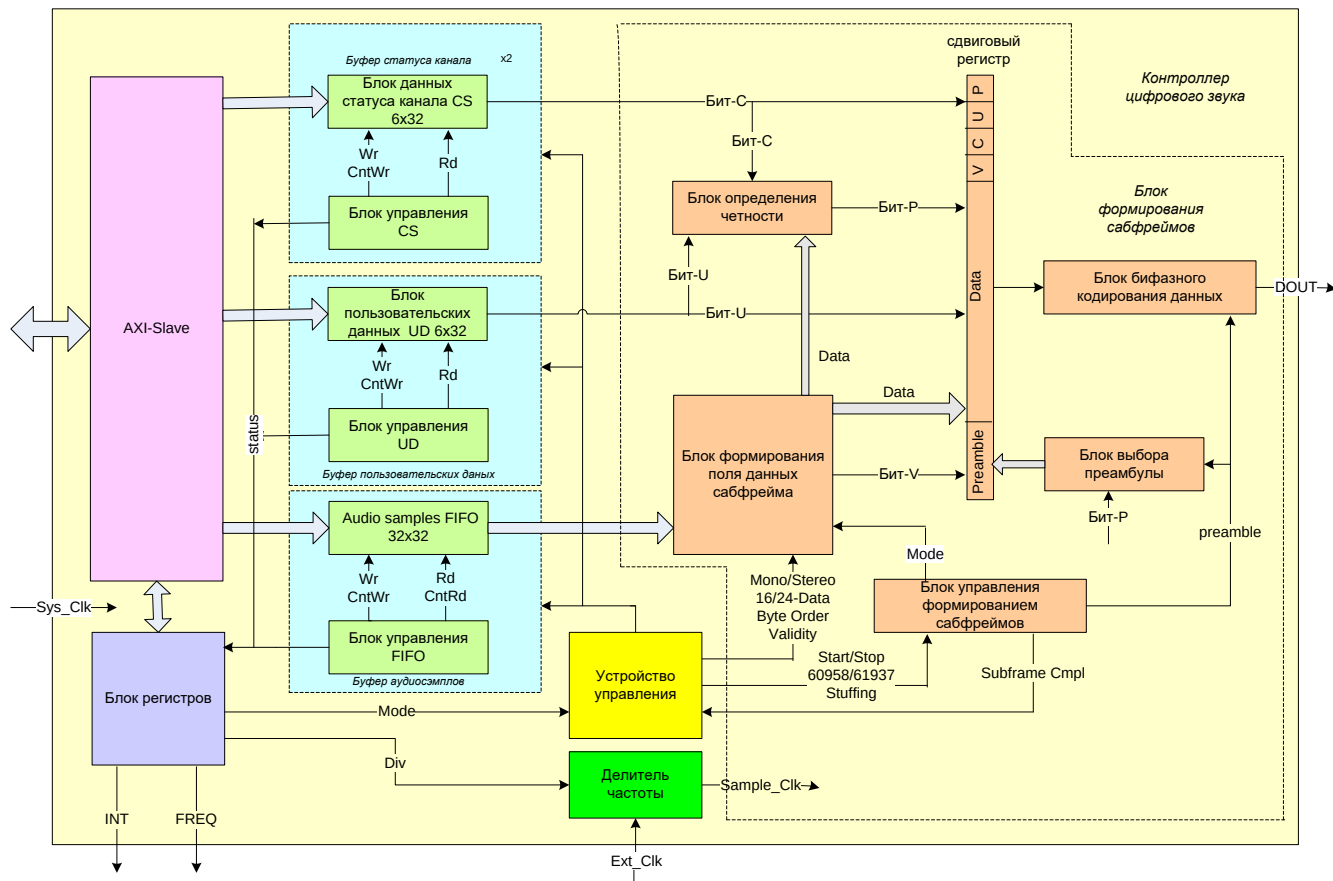


Рисунок 268 - Структурная схема контроллера SPDIF

Блок формирования сабфреймов предназначен для создания сабфреймов звуковых данных, которые затем побитно выдаются по интерфейсу SPDIF. Каждый сабфрейм состоит из:

- преамбулы, определением типа которой занимается блок выбора преамбулы;
- поля данных, которое заполняется информацией из буфера аудиосэмплов определенным образом, зависящим от режима работы. Порядок заполнения определяет блок формирования поля данных сабфрейма;
- битов статуса канала и пользовательских данных. Информация для этих полей побитно считывается из соответствующих буферов;
- бита контроля ошибки, определением которого занимается блок определения четности.

Блок управления формированием сабфрейма вырабатывает сигналы позволяющие выбрать и собрать в определенном порядке информацию, формирующую звуковой сабфрейм, и вывести ее наружу. Поскольку информация вовне передается по одnorазрядной линии DOUT, то для ее преобразования из параллельного кода в последовательный используется сдвиговый регистр, формирующий выходной побитовый поток данных, который перед выдачей наружу подвергается бифазному кодированию.

Устройство управления контроллера SPDIF следит за ходом передачи звуковой информации, выдавая сигналы структурирования данных – завершение вывода фреймов

					ЮФКВ.431268.005РЭ			Лист
								348
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

звуковой информации, блоков звуковой информации и пакетов сжатых звуковых данных. Так же устройство управления контроллера SPDIF вырабатывает по мере необходимости сигналы чтения данных из буферов CS, UD и audiosamples.

Скорость передачи битов выходного битового потока звуковой информации, определяется частотой работы блока формирования сабфреймов (sample_clk), которая в свою очередь формируется из внешней звуковой частоты, путем ее деления на целочисленный коэффициент, задаваемый в конфигурационных регистрах контроллера SPDIF.

Блок регистров содержит в себе программно доступные на запись и чтение конфигурационные регистры, а именно:

- регистр управления, предназначенный для настройки скорости передачи аудиоданных и задания режимов работы контроллера SPDIF;
- регистр состояния, в котором отображается текущее состояние контроллера SPDIF;
- регистр масок прерываний, позволяющий выбирать события, по которым производится выработка сигнала прерывания процессора;
- регистр параметров сжатого звука, для настройки передачи многоканального сжатого аудиосигнала.

1.3.3.7.1.3.3 Контроллер AUDIO_DMA

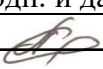
В связи с тем, что контроллеры звука стандартов I2S и S/PDIF, входящие в аудиоконтроллер, являются ведомыми устройствами на шине AXI, подачу аудио данных на них должно осуществлять внешнее устройство. При этом подача данных может осуществляться центральным процессором системы, однако данный вариант вызовет необходимость обработки процессором большого количества прерываний, а также высокой скорости реакции на прерывание. Если это не является проблемой, то контроллер AUDIO_DMA может быть исключен из состава аудиоконтроллера. В противном случае в систему вводится контроллер AUDIO_DMA, который будет самостоятельно обеспечивать загрузку данных в контроллеры звука по мере опустошения их буферов.

Данное решение позволяет снизить частоту возникновения прерываний к центральному процессору, так как в этом случае необходимо отслеживать не заполнение буферов в контроллерах звука, а обеспечивать переключение страниц в памяти, размеры которых значительно превышают размеры внутренних буферов контроллеров звука.

Другим путем уменьшения частоты прерываний без использования AUDIO_DMA контроллера в составе аудиоконтроллера является увеличение внутренней буферной памяти контроллеров звука, что влечет за собой увеличение занимаемой площади.

Контроллер AUDIO_DMA предназначен для обеспечения загрузки данных в контроллеры цифрового звука аудиоподсистемы. Контроллер AUDIO_DMA производит чтение данных из памяти, их буферизацию и запись данных в контроллер цифрового звука стандартов I2S и S/PDIF. Контроллер обеспечивает поддержку до четырех каналов чтения/записи данных, каждый из которых независимо конфигурируется для работы с собственным буфером как во внешней памяти, так и в контроллере звука.

При работе с SPDIF контроллером задействован только один (нулевой) канал контроллера AUDIO_DMA. При работе с I2S контроллером, в зависимости от канальности звука, задействуются до четырех каналов контроллера AUDIO_DMA.

					ЮФКВ.431268.005РЭ			Лист
								349
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

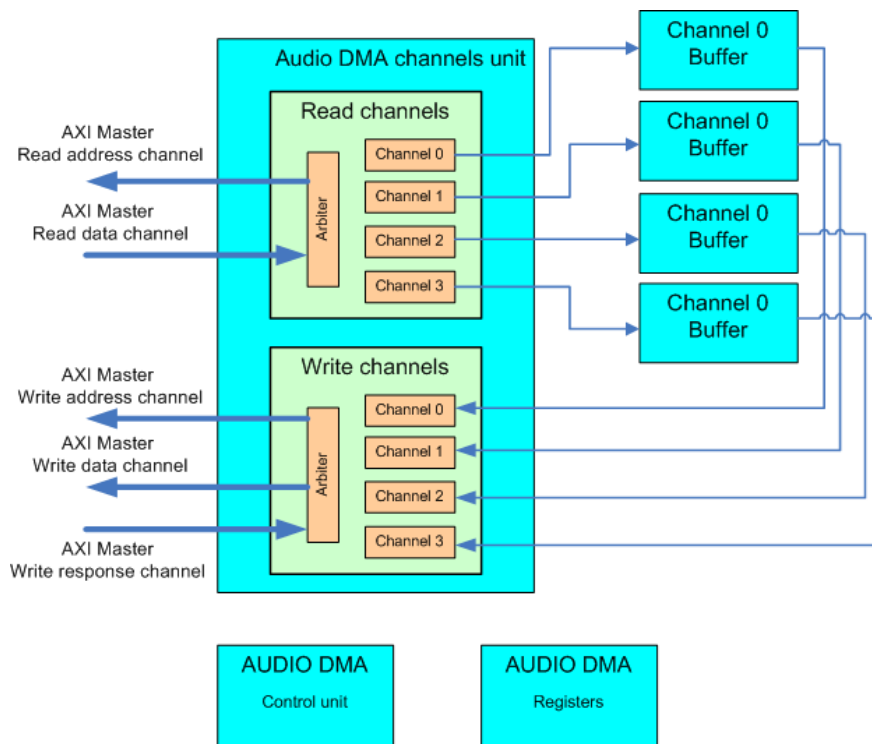


Рисунок 269 - Структура контроллера AUDIO_DMA аудиоподсистемы

Контроллер AUDIO_DMA имеет следующие интерфейсы стандарта AXI: канал чтения, канал записи, канал подтверждения записи. Посредством данных каналов контроллер AUDIO_DMA подключен к системной AXI шине системы. Данное подключение обеспечивает ему доступ к блокам памяти системы, а также к ведомым устройствам (контроллерам звука) по шине AXI. Помимо данных интерфейсов контроллер AUDIO_DMA имеет управляющий интерфейс для конфигурирования его внутренних регистров, этот интерфейс не относится к стандартным интерфейсам.

Каждый канал контроллера AUDIO_DMA считывает звуковые данные из памяти страницами. Контроллеру задаются базовые адреса двух страниц в памяти. Пока контроллер читает данные из одной страницы, процессор может формировать данные другой. Как только формирование новой страницы закончено, контроллеру AUDIO_DMA разрешается перейти на чтение данных новой страницы по завершению чтения данных предыдущей страницы.

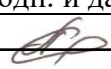
Читаемые 64-х разрядные данные помещаются в один из четырех внутренних буферов контроллера AUDIO_DMA. Далее 64-х разрядные данные преобразуются в 32-х разрядные и передаются в один из звуковых контроллеров.

Для мониторинга уровня заполнения буферов в ведомых контроллерах звука на контроллер AUDIO_DMA непосредственно заведены внутренние статусные сигналы о количестве слов в буферах с контроллеров звука.

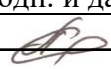
1.3.3.7.1.4 Интерфейс аудиоконтроллера

В Таблица 255 представлен список интерфейсных сигналов аудиоконтроллера.

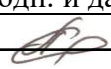
Таблица 255 - Список интерфейсных сигналов аудиоконтроллера

					ЮФКВ.431268.005РЭ			Лист
								350
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Сигнал	in/out	Шина	Назначение
Интерфейс контроллера I2S			
<i>Системные сигналы</i>			
i2s_sys_clk_i	in	1	Сигнал системной синхронизации
i2s_sys_reset_i	in	1	Сигнал аппаратного сброса
i2s_mclk_i	in	1	Сигнал звуковой синхронизации
<i>Канал адреса записи AXI</i>			
axi_i2s_awid_i	in	4	ID транзакции записи
axi_i2s_awaddr_i	in	32	Адрес записи
axi_i2s_awvalid_i	in	1	Сигнал значимости адреса записи
axi_i2s_awready_o	out	1	Сигнал готовности к приему адреса записи
<i>Канал записи данных AXI</i>			
axi_i2s_wid_i	in	4	ID записываемых данных
axi_i2s_wdata_i	in	32	Данные для записи
axi_i2s_wvalid_i	in	1	Индикатор последней передачи в блоке (burst)
axi_i2s_wlast_i	In	1	Сигнал значимости данных
axi_i2s_wready_o	out	1	Сигнал готовности к приему данных
<i>Канал ответа на запись AXI</i>			
axi_i2s_bid_o	out	4	ID ответа
axi_i2s_bresp_o	out	2	Ответ на запись
axi_i2s_bvalid_o	out	1	Сигнал значимости
axi_i2s_bready_i	in	1	Сигнал готовности к приему
<i>Канал адреса чтения AXI</i>			
axi_i2s_arid_i	in	4	ID адреса чтения
axi_i2s_araddr_i	in	32	Адрес чтения
axi_i2s_arvalid_i	in	1	Сигнал значимости адреса чтения
axi_i2s_arready_o	out	1	Сигнал готовности к приему адреса чтения
<i>Канал чтения данных AXI</i>			
axi_i2s_rid_o	out	4	ID ответа
axi_i2s_rdata_o	out	32	Шина данных
axi_i2s_rresp_o	out	2	Шина ответа
axi_i2s_rlast_o	out	1	Индикатор последней передачи в блоке (burst)
axi_i2s_rvalid_o	out	1	Сигнал значимости данных
axi_i2s_rready_i	in	1	Сигнал готовности к приему
<i>Интерфейс I2S</i>			
i2s_sck_o	out	1	Линия звуковой синхронизации
i2s_ws_o	out	1	Признак 'левый'- 'правый' стереоканала
i2s_sd_o	out	4	Звуковые данные
<i>Интерфейс с внешним контроллером прерываний</i>			
i2s_irq_o	out	1	Линия прерывания от I2S
Интерфейс контроллера SPDIF			
<i>Системные сигналы</i>			
spdif_sys_clk_i	in	1	Сигнал системной синхронизации
spdif_sys_reset_i	in	1	Сигнал аппаратного сброса контроллера
spdif_mclk_i	in	1	Сигнал звуковой синхронизации
<i>Канал адреса записи AXI</i>			
axi_spdif_awid_i	in	4	ID транзакции записи
axi_spdif_awaddr_i	in	32	Адрес записи
axi_spdif_awvalid_i	in	1	Сигнал значимости адреса записи
axi_spdif_awready_o	out	1	Сигнал готовности к приему адреса записи
<i>Канал записи данных AXI</i>			
axi_spdif_wid_i	in	4	ID транзакции записи
axi_spdif_wdata_i	in	32	Данные для записи
axi_spdif_wlast_i	in	1	Индикатор последней передачи в блоке

					ЮФКВ.431268.005РЭ			Лист
								351
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Сигнал	in/out	Шина	Назначение
axi_spdif_wvalid_i	in	1	Сигнал значимости данных
axi_spdif_wready_o	out	1	Сигнал готовности к приему данных
<i>Канал ответа на запись AXI</i>			
axi_spdif_bid_o	out	4	ID ответа
axi_spdif_bresp_o	out	2	Подтверждение на запись
axi_spdif_bvalid_o	out	1	Сигнал значимости подтверждения
axi_spdif_bready_i	in	1	Сигнал готовности к приему подтверждения
<i>Канал адреса чтения AXI</i>			
axi_spdif_arid_i	in	4	ID транзакции чтения
axi_spdif_araddr_i	in	32	Адрес чтения
axi_spdif_arvalid_i	in	1	Сигнал значимости адреса чтения
axi_spdif_arready_o	out	1	Сигнал готовности к приему адреса чтения
<i>Канал чтения данных AXI</i>			
axi_spdif_rid_o	out	4	ID транзакции чтения
axi_spdif_rdata_o	out	32	Прочитанные данные
axi_spdif_rresp_o	out	2	Подтверждение на чтение
axi_spdif_rlast_o	out	1	Индикатор последней передачи в блоке
axi_spdif_rvalid_o	out	1	Сигнал значимости данных на шинах RID, RDATA, RRESP.
axi_spdif_rready_i	in	1	Сигнал готовности к приему читаемых данных
<i>SPDIF интерфейс</i>			
spdif_dout_o	out	1	Линия последовательной передачи сабфреймов цифрового звука
<i>Интерфейс с внешним контроллером прерываний</i>			
spdif_irq_o	out	1	Сигнал прерывания
<i>Интерфейс AUDIO_DMA</i>			
<i>Глобальные сигналы синхронизации и сброса</i>			
aud_dma_sys_clk_i	in	1	Сигнал системной синхронизации
aud_dma_sys_reset_i	in	1	Сигнал асинхронного сброса, активный низкий уровень
<i>Интерфейс системной шины управления</i>			
aud_dma_rg_addr_i	in	12	Шина адреса (задается адрес регистра, к которому ведется обращение по шине управления)
aud_dma_write_i	in	1	Индицирует операцию записи в регистр (при стробе синхросигнала aud_dma_sys_clk_i и aud_dma_write_i = 1 в регистр с адресом aud_dma_rg_addr_i осуществляется запись значения с шины aud_dma_wdata_i)
aud_dma_trans_rd_i	in	1	Индицирует операцию чтения из регистра (значение из регистра с адресом aud_dma_rg_addr_i выдается на шину aud_dma_rdata_o, значение будет сохранено в контроллере при стробе синхросигнала aud_dma_sys_clk_i и aud_dma_trans_rd_i = 1)
aud_dma_wdata_i	in	32	Шина записи данных
aud_dma_rdata_o	out	32	Шина чтения данных
<i>Сигнал запроса прерывания</i>			
aud_dma_int_o	out	1	Сигнализирует о возникновении прерывания
<i>Канал адресов для чтения аудиоданных по шине AXI</i>			
axi_araddr_o[31:0]	out	32	Адрес чтения
axi_arlen_o[3:0]	out	4	Размер пакета (определяет количество посылок в одном пакете)
axi_arsize_o[2:0]	out	3	Определяет размер одной посылки
axi_arburst_o[1:0]	out	2	Тип обращения.

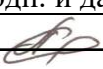
					ЮФКВ.431268.005РЭ			Лист
								352
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Сигнал	in/out	Шина	Назначение
axi_arvalid_o	out	1	Значимость адреса на шине
axi_arready_i	in	1	Готовность адреса (запрос принят ведомым устройством шины AXI)
axi_arcache_o[3:0]	out	4	Задание режимы работы с кеш
axi_arlock_o[1:0]	out	2	Задание режима эксклюзивного доступа
axi_arprot_o[2:0]	out	3	Задание режима защищенного доступа
axi_arid_o[3:0]	out	4	ID транзакции адреса
<i>Канал чтения аудиоданных по шине AXI</i>			
axi_rdata_i[63:0]	in	64	Считываемые данные
axi_rvalid_i	in	1	Значимость данных на шине чтения данных
axi_rlast_i	in	1	Последняя посылка в пакете
axi_rready_o	out	1	Индицирует, что AUDIO DMA готов принять данные по шине
axi_rresp_i	in	1	Сообщение ведомого об ошибке во время Проведения обращения
axi_rid_i[3:0]	in	4	ID транзакции данных
<i>Канал адресов для записи аудиоданных по шине AXI</i>			
axi_awaddr_o[31:0]	out	32	Адрес записи
axi_awlen_o[3:0]	out	4	Размер пакета (определяет количество посылок в одном пакете)
axi_awsz_o[2:0]	out	3	Определяет размер одной посылки
axi_awburst_o[1:0]	out	2	Тип обращения
axi_awvalid_o	out	1	Значимость адреса на шине
axi_awready_i	in	1	Готовность адреса (запрос принят ведомым устройством шины AXI)
axi_awcache_o[3:0]	out	4	Задание режимы работы с кеш
axi_awlock_o[1:0]	out	2	Задание режима эксклюзивного доступа
axi_awprot_o[2:0]	out	3	Задание режима защищенного доступа
axi_awid_o[3:0]	out	4	ID транзакции адреса
<i>Канал записи аудиоданных по шине AXI</i>			
axi_wdata_o[63:0]	out	64	Записываемые данные
axi_wvalid_o	out	1	Значимость данных на шине записи данных
axi_wlast_o	out	1	Последняя посылка в пакете
axi_wready_i	in	1	Индицирует, что ведомое устройство готово принять данные по шине
axi_wstrb_o	out	8	Байтовая маска записи
axi_wid_o[3:0]	out	4	ID транзакции данных
<i>Канал подтверждения записи</i>			
axi_bid_i[3:0]	in	4	ID транзакции
axi_bresp_i[1:0]	in	2	Код ответа
axi_bvalid_i	in	1	Значимость кода ответа

1.3.3.7.1.4.1 AXI Slave интерфейс звуковых контроллеров

Управление SPDIF и I2S контроллерами, а также передача им звуковых данных происходит посредством AXI интерфейса. При этом SPDIF и I2S контроллеры выступают в качестве ведомых устройств (slave) на AXI шине. Протокол AXI шины поддерживается со следующими ограничениями:

- не поддерживается режим перекрытия транзакций(overlapping), то есть адрес новой транзакции будет принят после передачи данных предыдущей;

					ЮФКВ.431268.005РЭ			Лист
								353
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

- не поддерживается режим interleaving, то есть Master должен передавать данные на запись в том же порядке, в котором передавались соответствующие им адреса;
- поддерживается обмен только 32-х разрядными словами;
- поддерживаются только одиночные транзакции записи, т.е. состоящие только из одной пересылки данных;
- поддерживается только один режим адресации – с фиксированным адресом (fixed-address);
- не предусмотрена работа с кешем, транзакции некешируемые и небуферизируемые;
- поддерживается только один режим доступа – обычный (Normal access);
- поддерживается только один режим защиты доступа – обычный.

В связи с вышеуказанными ограничениями интерфейс AXI шины для контроллеров SPDIF, I2S сокращен: в нем отсутствует ряд сигналов, который в контроллерах заменен на константы. В Таблица 256 приведены сигналы AXI-интерфейса неиспользуемые в контроллерах I2S, SPDIF.

Таблица 256 - Неиспользуемые сигналы интерфейса AXI

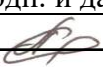
Неиспользуемый сигнал AXI-интерфейса	Константа
awlen[3:0], arlen[3:0]	'b0000
awsize[2:0], arsize[2:0]	'b010
awburst[1:0], arburst [1:0]	'b00
awcache[3:0], arcache[3:0]	'b0000
awlock[1:0], arlock[1:0]	'b00
awprot[2:0], arprot[2:0]	'b010
axi_wstrb[7:0]	'b11111111

Контроллеры SPDIF, I2S являются 32-х разрядными устройствами. Если они работают в составе системы, использующей AXI интерфейс с 64-х разрядной шиной данных, то к контроллерам SPDIF, I2S необходимо подключать только младшие разряды этой шины.

AXI интерфейс состоит из трех каналов на запись – для передачи адреса, данных и ответа, и двух каналов на чтение – для передачи адреса и данных. Данные по каждому каналу передаются по принципу handshake, то есть при условии готовности передатчика передать данные (valid), и готовности приемника принять данные (ready).

Типичная транзакция записи в SPDIF и I2S контроллеры (запись в регистры управления, передача звуковых данных), представлена на Рисунок 270. Транзакция записи состоит из трех фаз:

- 1) По каналу адреса передается адрес регистра, в который необходимо записать данные. Адрес считается переданным, когда при активном фронте сигнала системной частоты сигналы awready и avalid имеют значение единицы.
- 2) Затем передаются данные для записи в регистр. Учитывая, что поддерживаются только одиночные транзакции, то данные обязательно должны сопровождаться единичным значением сигнала wlast. Данные принимаются по активному фронту сигнала системной частоты при условии единичных значений на линиях wready, wvalid, wlast.
- 3) После того как данные записаны в регистр SPDIF контроллера он шлет ответ. Высылаемый ответ – всегда положительный. Он считается принятым, когда при

					ЮФКВ.431268.005РЭ			Лист
								354
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

активном фронте сигнала системной частоты сигналы bvalid, bready имеют значение единицы.

Фазы адреса, данных и ответа транзакции записи последовательно сменяют друг друга. Адрес новой транзакции не может быть принят, до тех пор, пока не будут переданы данные предыдущей транзакции.

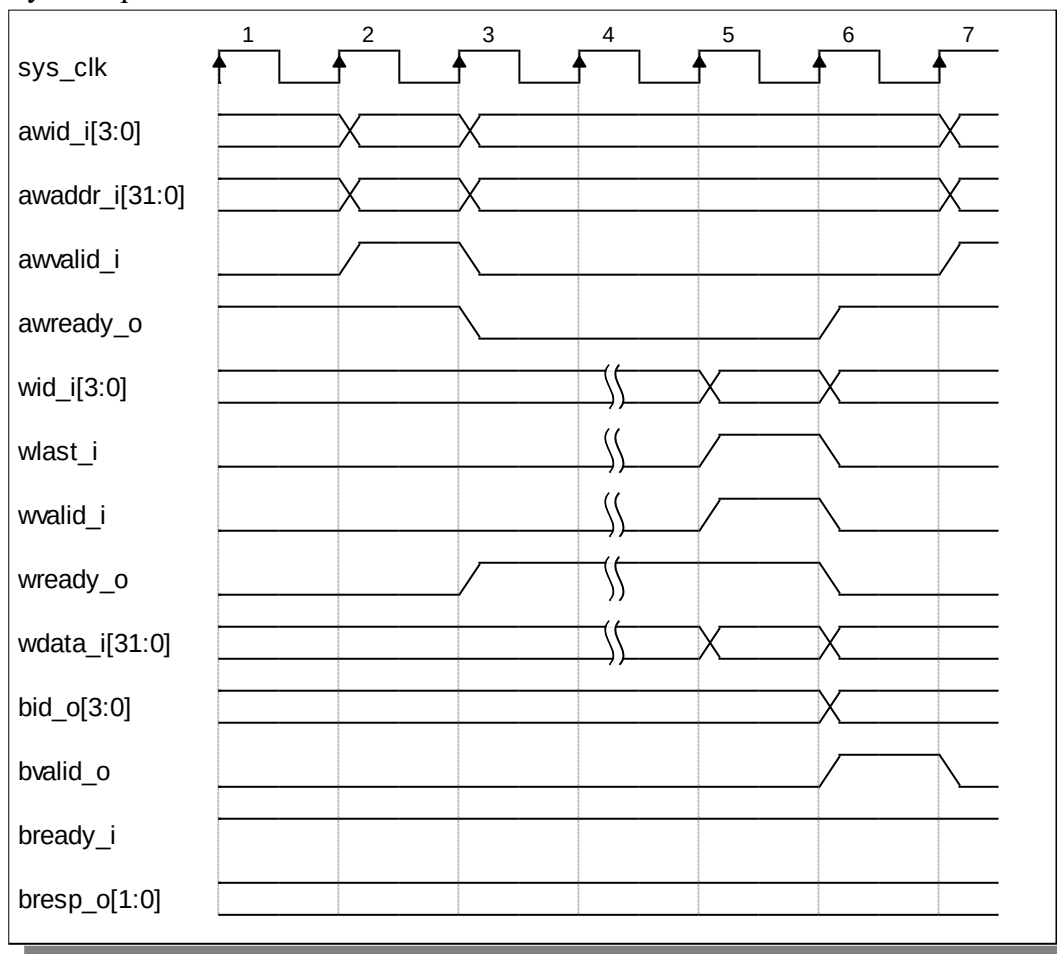
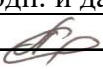


Рисунок 270 - Транзакция записи на AXI шине

					ЮФКВ.431268.005РЭ			Лист
								355
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

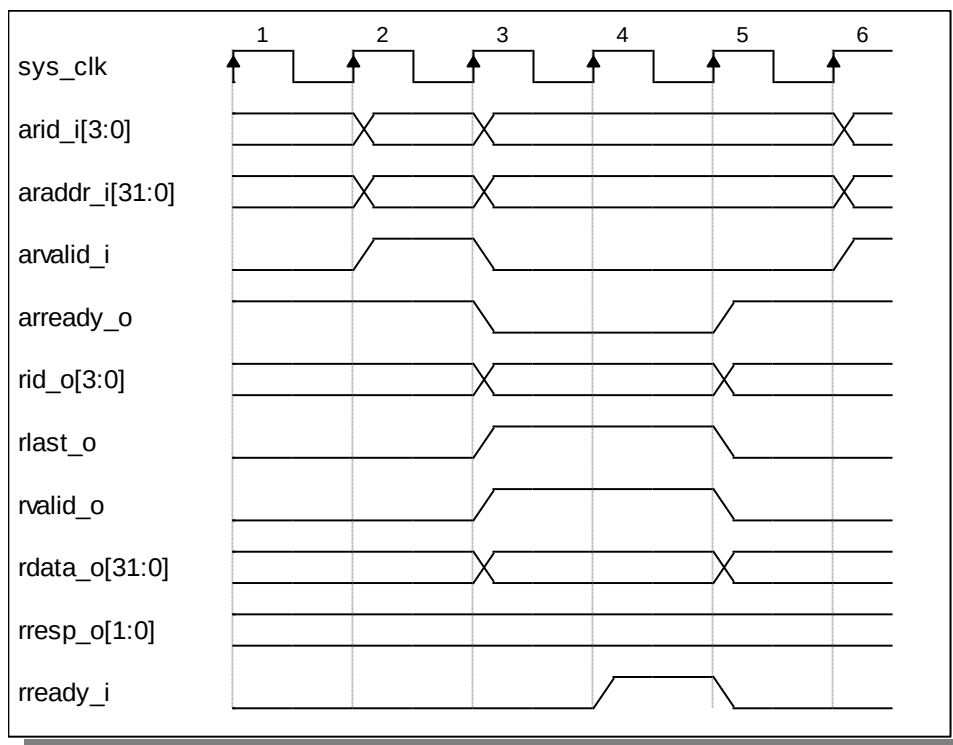


Рисунок 271 - Транзакция чтения на AXI шине

Типичная транзакция чтения из SPDIF и I2S контроллеров (например, чтение статусной информации) представлена на Рисунок 271. Транзакция чтения состоит из двух фаз:

1) По каналу адреса передается адрес регистра, из которого необходимо считать данные. Адрес считается переданным, когда при активном фронте сигнала системной частоты сигналы arready и arvalid имеют значение единицы.

2) Затем передаются данные для чтения. Учитывая, что поддерживаются только одиночные транзакции, то данные обязательно сопровождаются единичным значением сигнала rlast. Данные считываются по активному фронту сигнала системной частоты при условии единичных значений на линиях rready, rvalid, rlast. Передаваемые данные снабжаются ответом на транзакцию (ответ всегда положительный).

Фазы адреса и данных транзакции чтения последовательно сменяют друг друга. Адрес новой транзакции не может быть принят, до тех пор, пока не будут переданы данные предыдущей транзакции.

1.3.3.7.1.4.2 AXI Master интерфейс контроллера AUDIO_DMA

В отличие от контроллеров SPDIF и I2S, AXI интерфейс AUDIO_DMA предназначен исключительно для пересылки звуковых данных из внешней памяти в буферы AUDIO_DMA, а затем из буфера в соответствующий звуковой контроллер. AUDIO_DMA выступает в роли ведущего устройства (Master) на AXI-шине. Протокол AXI шины поддерживается со следующими ограничениями:

- не поддерживается режим перекрытия транзакций записи (overlapping);

					ЮФКВ.431268.005РЭ			Лист
								356
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	14.11.11		18212-1					

- не поддерживается режим чередования данных от разных транзакций записи (interleaving);

- поддерживаются только одиночные транзакции записи, т.е. состоящие только из одной пересылки данных;

AUDIO_DMA – является 64-х разрядным устройством и предназначен для чтения из внешней памяти 64-х разрядных данных. Чтение производится по каналу чтения AXI интерфейса. В дальнейшем 64-х разрядные данные разбиваются на 32-х разрядные и передаются в контроллер SPDIF или I2S по каналу записи AXI интерфейса AUDIO_DMA. 32-х разрядные данные передаются в младших разрядах шины данных, в старшие разряды AUDIO_DMA помещает нули.

1.3.3.7.1.4.3 Интерфейс шины управления контроллером AUDIO_DMA

Управление AUDIO_DMA осуществляется через его программируемые регистры, которые доступны по интерфейсу системой шины управления. Временные диаграммы записи и чтения данных по этому интерфейсу представлены на рисунках Рисунок 272 и Рисунок 273 соответственно.

Операция записи:

По фронту системного синхросигнала на системную шину управления AUDIO_DMA должен быть выставлен адрес регистра, к которому производится обращение, записываемые данные и строб записи. По следующему фронту системного синхросигнала данные будут записаны в соответствующий регистр AUDIO_DMA.

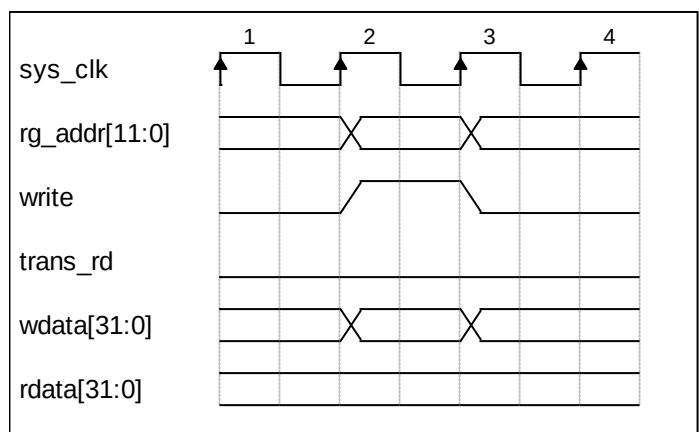
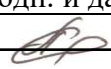


Рисунок 272 - Операция записи на системном интерфейсе управления AUDIO_DMA

Операция чтения:

По фронту системного синхросигнала должен быть выставлен адрес регистра AUDIO_DMA, к которому производится обращение и строб чтения. В течение этого же такта на шину читаемых данных выдается информация, содержащаяся в указанном регистре. По следующему фронту системного синхросигнала данные могут быть приняты.

					ЮФКВ.431268.005РЭ			Лист
								357
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

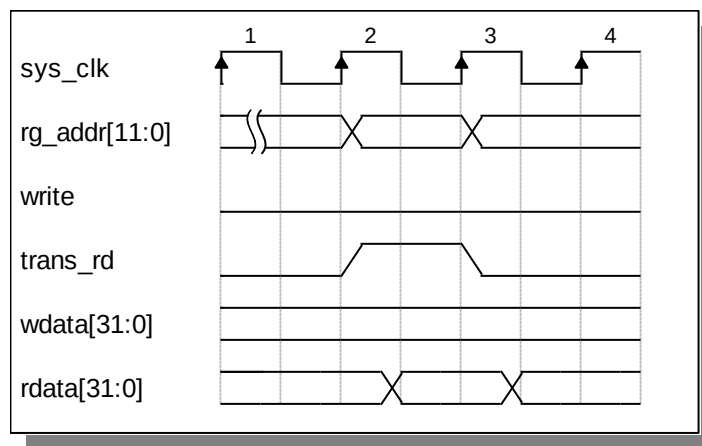


Рисунок 273 - Операция чтения на системном интерфейсе управления AUDIO_DMA

При обращении к регистрам AUDIO_DMA по зарезервированным адресам (несуществующим регистрам) никаких ошибок не возникает, все пересылки завершаются нормально. При этом операции записи игнорируются, операции чтения возвращают все нули.

1.3.3.7.1.4.4 Интерфейс I2S

Интерфейс I2S состоит из 6 линий: линии синхронизации звуковых данных, линии указывающей данные какого канала передаются в настоящее время (левого или правого), 4-х линий данных (4 стерео канала).

На Рисунок 274 представлена временная диаграмма передачи звука по I2S интерфейсу.

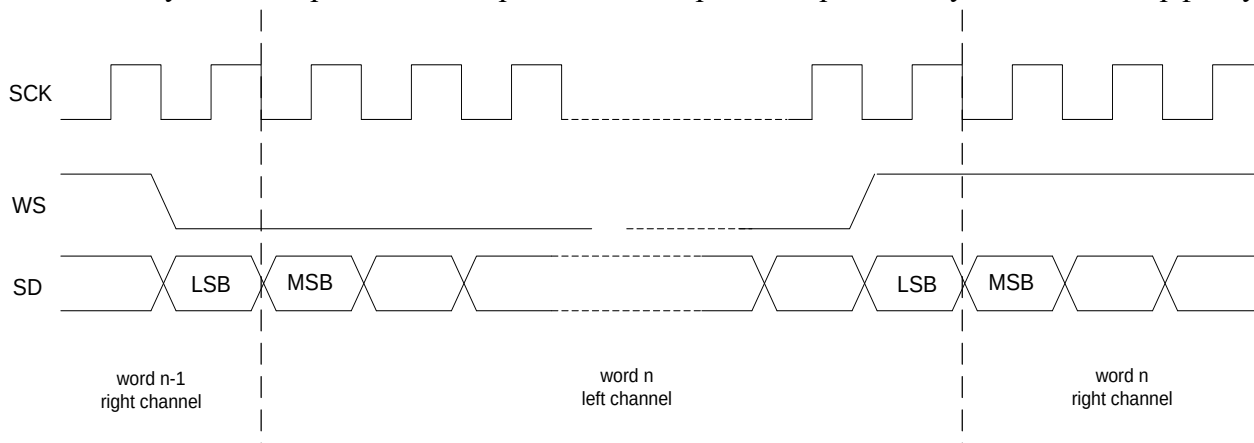


Рисунок 274 - Временная диаграмма протокола I2S

Цифровые отчеты звука, хранящиеся в 4-х FIFO I2S контроллера, поступают на соответствующие им сдвиговые регистры, которые обеспечивают выдачу отчетов звука в последовательном коде по шине SDOUT[3:0]. Выдача бит на шину SDOUT[3:0] тактируется синхросигналом SCLK, который формируется из внешней частоты звуковой синхронизации. Отчеты цифрового звука выдаются, начиная со старшего разряда. Выдаваемые по линиям шины SDOUT[3:0] данные сопровождаются сигналом LRCK, который является признаком принадлежности передаваемых отчетов к левому или правому каналу. Сигнал LRCK

					ЮФКВ.431268.005РЭ			Лист
								358
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

удерживается в состоянии «1» или «0» n тактов сигнала SCLK, где n – разрядность передаваемых по линиям шины SDOUT[3:0] отсчетов. Сигнал LRCK на один такт опережает соответствующие ему данные. Все изменения на I2S интерфейсе происходят по срезу сигнала синхронизации SCK.

1.3.3.7.1.4.5 Интерфейс SPDIF

Интерфейс S/PDIF – это последовательный интерфейс, по которому передается звуковая информация, упакованная в определенные структуры – сабфреймы. Данные сабфреймы подвергнуты бифазному кодированию (Biphase-Mark Code) и потому, передаваемая по линии SPDIF информация представляет собой самосинхронизирующийся код, то есть состоит из звуковых данных и сигнала синхронизации.

Каждый бит информации, передаваемый по SPDIF интерфейсу представлен двумя временными интервалами. При передаче '0' состояние линии SPDIF в течение двух временных интервалов, соответствующих этому биту, остается неизменным, а при передаче '1' – меняется. К тому же состояние SPDIF линии меняется в начале передачи каждого нового бита. Таким образом, звуковые данные и тактовые импульсы объединяются в единый поток данных. На Рисунок 275 представлен пример бифазного кодирования информации.

Частота дискретизации данных формируется на основе внешней звуковой частоты путем ее деления (смотри пункт 1.4.6).

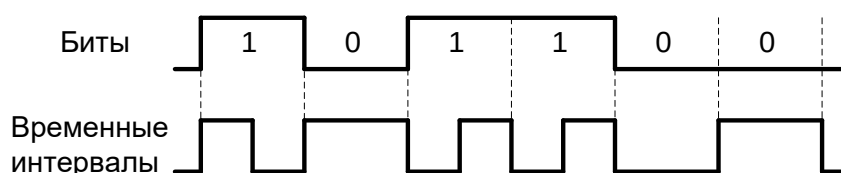


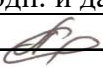
Рисунок 275 - Пример бифазного кодирования информации

Основной единицей при передаче звуковых данных по SPDIF интерфейсу является сабфрейм. Это относится как к передаче линейного двухканального звука (стандарт IEC 60958), так и сжатого многоканального звука (стандарт IEC 61937). Два сабфрейма формируют фрейм звуковой информации. Фреймы передаются блоками. Каждый блок содержит 192 фрейма (Рисунок 276).



Рисунок 276 - Структура сабфрейма звуковой информации

На Рисунок 276 представлена структура сабфрейма звуковой информации
Сабфрейм звуковой информации состоит из:

					ЮФКВ.431268.005РЭ					Лист
										359
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата				
18212-2			14.11.11		18212-1					

- преамбулы, предназначенной для синхронизации и структурирования звуковой информации;
- дополнительной информации пользователя Aux;
- аудиосэмпла – отсчета цифрового звука;
- бита значимости данных, указывающего на тип передаваемых данных (линейные или нелинейные звуковые данные);
- бита пользовательских данных;
- бита статусной информации канала;
- бита четности.

Преамбула – четырехразрядная синхрогруппа, которая нарушает правила бифазного кодирования. Преамбула действует как сигнал синхронизации, обозначающий начало нового сабфрейма. Преамбуле соответствуют биты 0-3 сабфрейма (8 временных интервалов бифазного кода). Существует несколько видов преамбул:

“В” – 11101000, “Z” – 00010111;
 “М” – 11100010, “Х” – 00011101;
 “W” – 11100100, “Y” – 00011011.

Сабфрейму присваивается преамбула в соответствии с правилом:

- первый сабфрейм каждого фрейма (за исключением первого фрейма в блоке) имеет преамбулу “М” или “Х”;
- второй сабфрейм каждого фрейма имеет преамбулу “Y” или “W”;
- первый сабфрейм первого фрейма в блоке имеет преамбулу В или “Z”;
- преамбулы имеют значения “XYZ”, если второе состояние бифазного кода бита-Р предшествующего преамбуле равно ‘1’, и “MWB” если – ‘0’.
- поскольку при выключенном контроллере на линию DOUT выдается ноль, то первая преамбула после включения контроллера будет иметь значение “В”.

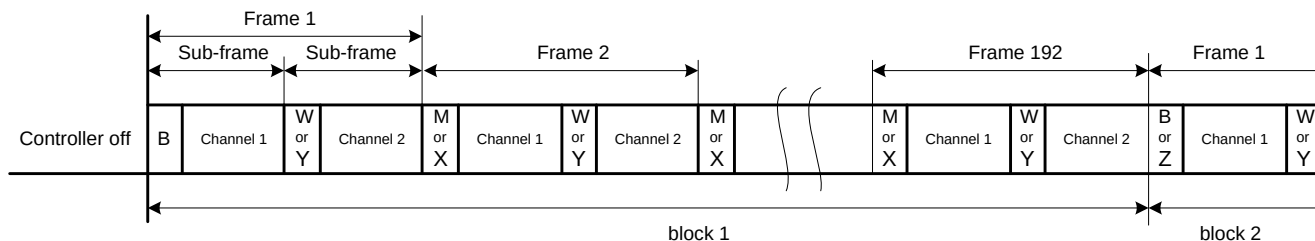


Рисунок 277 - Изменение преамбулы сабфрейма по ходу передачи звука

Восемь состояний преамбулы выводятся непосредственно на выходную линию DOUT, не подвергаясь бифазному кодированию.

Биты 4-27 в звуковом сабфрейме занимает поле данных (Рисунок 278). Данные берутся из FIFO аудиосэмпллов SPDIF контроллера. В зависимости от значения бита SPDIF_DATA регистра управления она располагается так, как показано на **Рисунок 279**. В каждом 32-х разрядном слове FIFO-аудиосэмпллов может храниться:

- один аудио-сэмпл размером 24, 20 или 16 бит – в данном случае контроллер считает значимыми данные с 31-ого по 8 разряд, которые подставляются в поле данных сабфрейма. При размере аудио-сэмпла 20 и 16 бит, пользователь может передавать дополнительную информацию в поле Aux.

					ЮФКВ.431268.005РЭ			Лист
								360
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

- два аудио-сэмпла размером по 16 бит – в данном случае контроллер дополняет 16-битные данные нулями до 24-х разрядов и подставляет в сабфрейм. В этом случае пользователь лишается возможности передавать данные в поле Aux. Контроллер заполнит его нулями.

В FIFO-аудиосэмплх данные могут храниться как в формате big-endian, так и little-endian (выбор осуществляется битом регистра управления BYTE_ORDER). При чтении из FIFO данные преобразуются в формат little-endian (т.е. в битах 31-23 слова располагается старший байт информации).

Бит-V указывает на тип передаваемых звуковых данных – при передаче линейного звука IEC 60958 этот бит устанавливается в '0', а при передаче сжатых данных IEC 61937 в '1'.

Бит-С сабфрейма содержит в себе конфигурационную информацию канала (192 бита на каждый канал)

Бит-U содержит пользовательскую информацию

Бит-P – бит четности сабфрейма:

'0' – если количество единиц в битах с 4-ого по 30-ый сабфрейма четное;

'1' – если количество единиц в битах с 4-ого по 30-ый сабфрейма нечетное.

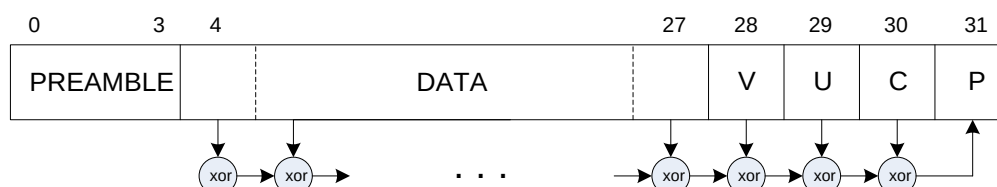
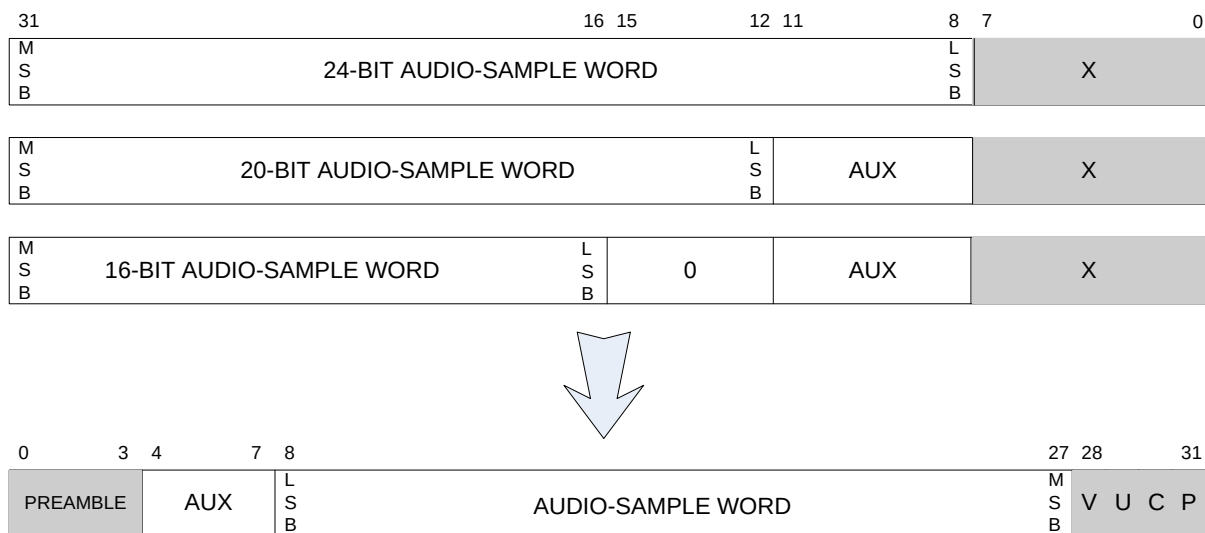


Рисунок 278 - Формирование бита четности сабфрейма

					ЮФКВ.431268.005РЭ			Лист
								361
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		14.11.11		18212-1				

Слово в FIFO-буфере содержит один аудиосэмпл (SPDIF_DATA = 0)



Слово в FIFO-буфере содержит два аудиосэмпла (SPDIF_DATA = 1)

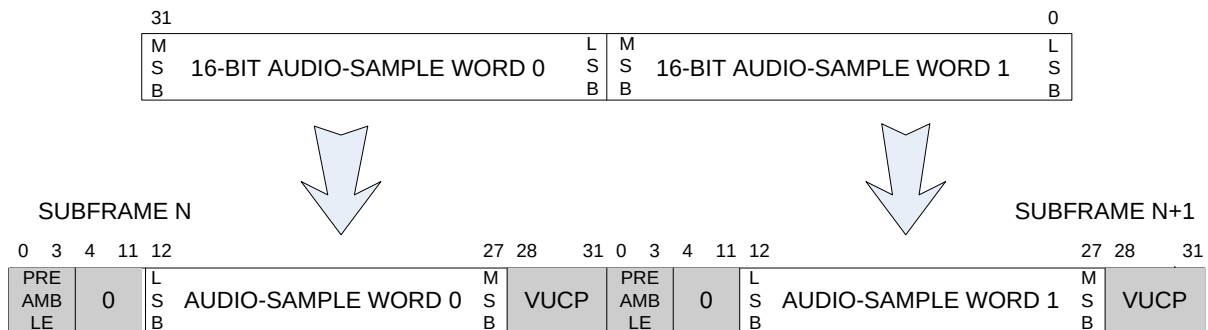


Рисунок 279 - Расположение аудиосэмпл в поле данных сабфрейма

1.3.3.7.1.4.6 Синхросигналы и аппаратный сброс

Сигнал аппаратного сброса переводит аудиоконтроллер в исходное выключенное состояние. Активный уровень сброса – низкий. Сниматься сигнал сброса (переход из 0 в 1) должен синхронно с системным синхросигналом. Активный уровень сигнала аппаратного сброса должен длиться не менее восьми тактов системной частоты.

Для каждого блока аудиоконтроллера имеется свой порт системной синхронизации. Подаваемые на эти порты сигналы должны быть синхронны (эквивалентны) между собой. Аудиоконтроллер рассчитан на работу с системной частотой 50 МГц и выше (при разработке устройство тестировалось на частоте 162 МГц).

На основе входных сигналов звуковой синхронизации поступающих на порты i2s_mclk_i и spdif_mclk_i, формируется частота передачи звуковых данных по интерфейсам I2S и SPDIF.

Настройка скорости передачи звука по I2S интерфейсу.

					ЮФКВ.431268.005РЭ			Лист
								362
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

Частота дискретизации звука по I2S интерфейсу – это частота передача двух отсчетов цифрового звука (для левого и правого канала). Передача двух отсчетов N-ой разрядности занимает $2*N$ тактов синхросигнала I2S-интерфейса SCK. Для формирования сигнала SCK контроллер I2S использует программируемый целочисленный делитель входной звуковой частоты, поступающей на порт `i2s_mclk_i`. Таким образом,

*Требуемая частота дискретизации = (Внешняя частота / SCLK_RATIO * 2N), где*
N – разрядность передаваемых по интерфейсу I2S звуковых данных;
SCLK_RATIO – программируемый целочисленный делитель.

Настройка скорости передачи звука по SPDIF интерфейсу.

Настройка скорости звукового канала производится путем целочисленного деления частоты внешнего интерфейсного синхросигнала `spdif_mclk_i` до опорной, а затем опорной частоты до частоты, соответствующей желаемой частоте дискретизации звука. В качестве опорных частот выступают: 22,5792 МГц (соответствует частоте звуковой дискретизации 176,4 КГц) и 24,576 МГц (соответствует частоте звуковой дискретизации 192 КГц). Таким образом, для поддержки всех стандартных частот дискретизации на порт звуковой синхронизации аудиоконтроллера необходимо подавать две внешние частоты, для чего должен быть предусмотрен внешний мультиплексор синхросигналов. Входная звуковая частота не может быть меньше опорной. Из опорной частоты путем целочисленного деления можно получить желаемую частоту звуковой дискретизации (точнее частоту смены временных интервалов бифазного кода на SPDIF интерфейсе). Частота звуковой дискретизации для SPDIF интерфейса – это частота выдачи звуковых фреймов.

Поле `FREQ_BASE` регистра управления контроллера SPDIF, задает целочисленный коэффициент деления внешней частоты `spdif_mclk_i` до опорной. Коэффициент деления опорной частоты до необходимой задается полем `FREQ_DIV` регистра управления контроллера SPDIF.

Деление производится по формулам:

Опорная частота = Внешняя частота / (FREQ_BASE+1);

Искомая частота = Опорная частота / (FREQ_DIV+1) – получаемое значение является частотой смены состояний бифазного кодирования.

Искомая частота / 128 – частота передачи одного фрейма звуковой информации, то есть частота дискретизации.

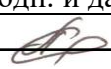
*Частота дискретизации = Внешняя частота / ((FREQ_BASE+1) * (FREQ_DIV+1) * 128);*

Коэффициенты деления подбираются по формулам:

$FREQ\_BASE = (Внешняя частота / (22.5792 \text{ МГц или } 24.576 \text{ МГц})) - 1$

$FREQ\_DIV = ((22.5792 \text{ МГц или } 24.576 \text{ МГц}) / (Частота дискретизации * 128)) - 1$

Настраивать делитель частоты контроллера SPDIF можно при помощи таблицы 1.3. Так, например, имея внешнюю входную частоту 245.76 МГц, и желая получить частоту

					ЮФКВ.431268.005РЭ			Лист
								363
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

дискретизации аудиосигнала 48 кГц, необходимо в регистре управления SPDIF контроллера задать следующие значения: $FREQ\_BASE = 9$, $FREQ\_DIV = 3$.

		FREQ	
		'0'	'1'
FREQ_BASE	15	361.2672	393.216
	14	338.688	368.64
	13	316.1088	344.064
	12	293.5296	319.488
	11	270.9504	294.912
	10	248.3712	270.336
	9	225.792	245.76
	8	203.2128	221.184
	7	180.6336	196.608
	6	158.0544	172.032
	5	135.4752	147.456
	4	112.896	122.88
	3	90.3168	98.304
	2	67.7376	73.728
	1	45.1584	49.152
	0	22.5792	24.576
FREQ_DIV	0	176.4	192
	1	88.2	96
	2	58.8	64
	3	44.1	48
	4	35.28	38.4
	5	29.4	32
	6	25.2	27.42857
	7	22.05	24
	8	19.6	21.33333

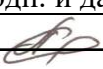
Возможные значения частоты внешнего звукового
синхросигнала $spdif\_mclk$, МГц

Значения частоты дискретизации
аудиосигнала, кГц

Рисунок 280 - Настройка SPDIF контроллера на вывод звука с определенной частотой дискретизации

1.3.3.7.1.4.7 Сигналы прерываний

В аудиоконтроллере имеются три сигнала прерываний: от I2S контроллера, от SPDIF контроллера и от AUDIO_DMA. Прерывания являются уровневыми, поэтому после обработки их необходимо сбрасывать. Общая схема прерываний выглядит следующим образом: в каждом из устройств аудиоконтроллера существует ряд событий, по которым возможна выработка прерываний. Эти события отображаются в регистрах

					ЮФКВ.431268.005РЭ			Лист
								364
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

статуса/прерываний каждого из блоков аудиоконтроллера (I2S, SPDIF, AUDIO_DMA). Разрешение выработки прерываний по этим событиям задается через регистр масок прерываний. При возникновении события, в соответствующем бите регистра статуса устанавливается единица, при разрешенной маске прерываний эта единица попадет на линию внешнего прерывания. После обработки прерывания необходимо записать в соответствующий бит регистра статуса единицу – данное действие сбросит бит регистра статуса в ноль и вместе с ним снимет формируемое им прерывание.

1.3.3.7.1.5 Формат входных данных аудиоконтроллера

Исходными звуковыми данными для I2S, SPDIF контроллеров являются 32-х разрядные слова, передаваемые по AXI шине, и записываемые в FIFO аудиоданных. Каждое 32-х разрядное слово может нести в себе либо один аудиосэмпл разрядностью 16, 20 или 24 бита, либо два аудиосэмпла разрядностью 16 бит. Таким образом, возможны два вида работы с 16-битными звуковыми данными: когда они передаются отдельно в каждом 32-х разрядном слове, либо укладываются в 32-х разрядное слово попарно. Второй случай предпочтительней, поскольку позволяет в два раза сократить объем данных, передаваемых звуковым контроллером.

32-х разрядное слово, передаваемое в звуковой контроллер, может иметь формат big-endian, либо little-endian.

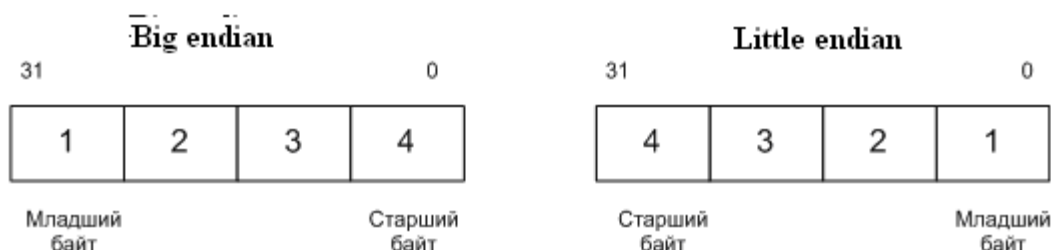
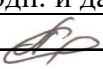


Рисунок 281 - Порядок расположения байт в 32-х разрядном слове данных

Каждый канал I2S интерфейса и SPDIF интерфейс (при передаче линейного звука) являются стереоканалами, т.е. по ним поочередно передаются данные левого и правого каналов. Таким образом, звуковые данные в звуковые контроллеры передаются попарно.

Моно звук – это передача одинаковых данных по левому и правому каналам. Программно монозвучание достигается путем записи двух одинаковых сэмплов в буфер звукового контроллера, которые затем выводятся на соответствующий звуковой интерфейс.

Контроллер SPDIF позволяет автоматически реализовать моно звуковой режим. Аппаратный моно режим активируется путем установки бита SPDIF_CHANNELS в '1'. В этом случае каждый аудиосэмпл из FIFO аудиоданных подставляется как в поле данных первого (левого), так и в поле данных второго (правого) сабфрейма. В этом случае буфер SPDIF контроллера должен содержать аудиосэмплы только для левого канала. Таким образом, аппаратная поддержка моно звука позволяет в два раза сократить объем передаваемых SPDIF контроллеру данных.

					ЮФКВ.431268.005РЭ			Лист
								365
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

1.3.3.7.1.6 Программный интерфейс аудиоконтроллера

Данный раздел содержит информацию о программном интерфейсе аудиоконтроллера: описание регистров, режимов доступа к ним и особенности задания режимов.

Задание конфигурационных параметров и отображение текущего состояния аудиоконтроллера ведется через регистры. Доступ к регистрам AUDIO_DMA ведется через системный интерфейс управления (пункт 1.3.3.7.1.4.3). Доступ к регистрам SPDIF и I2S контроллеров ведется через AXI Slave интерфейс (пункт 1.4.1). Каждое обращение к регистрам имеет выравнивание до 32-х разрядов.

При обращении к регистрам аудиоконтроллера по зарезервированным адресам никаких ошибок не возникает, все пересылки завершаются нормально. При этом операции записи игнорируются, операции чтения возвращают все нули. При попытке записи в регистры, предназначенные только для чтения, операция записи завершается успешно, но никакой записи не производится и состояние регистров не изменяется.

Внутренние регистры аудиоконтроллера имеют связь со всеми блоками аудиоконтроллера, обеспечивая их необходимыми данными.

1.3.3.7.1.6.1 Группы регистров аудиоконтроллера

Управление аудиоконтроллером и индикация информации о его состоянии ведется посредством регистров. Регистры аудиоконтроллера объединены в группы по функциональному признаку (Таблица 257). Каждая группа регистров должна иметь свой уникальный базовый адрес. Базовые адреса должны быть выровнены в соответствии с адресным пространством соответствующей группы регистров.

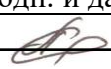
Таблица 257 - Список групп регистров аудиоконтроллера

Наименование	Адресное пр-во	Описание
REG_I2S	0x00-0xFF	Регистры I2S контроллера
REG_SPDIF	0x00-0xFF	Регистры SPDIF контроллера
REG_AUDIO_DMA	0x800-0x8FF	Регистры AUDIO_DMA

При описании режимов доступа к отдельным полям регистров аудиоконтроллера в дальнейшем используются следующие условные обозначения:

- “RO” – поле регистра предназначен только для чтения. Запись любых значений в поле игнорируется;
- “WO” – поле регистра предназначено только для записи. При чтении возвращает ноль;
- “RW” – поле регистра предназначено как для чтения, так и для записи;
- “RW1” – отдельный бит регистра предназначен для чтения. Возможна запись ‘1’. Запись ‘0’ игнорируется;
- “RC1” – отдельный бит регистра предназначен для чтения. При записи ‘1’ значение бита сбрасывается в ‘0’. Запись ‘0’ игнорируется;

Описания регистров аудиоконтроллера и принципов работы с отдельными полями регистров даны ниже.

					ЮФКВ.431268.005РЭ			Лист
								366
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.3.7.1.6.2 Регистры контроллера I2S

По AXI интерфейсу I2S контроллера доступны как его программируемые регистры, так и внутренние буферы звуковых данных (**Таблица 258**). Настройкой I2S контроллера через его программируемые регистры занимается пользователь (процессор), в то время как пополнением буферов звуковых данных занимается AUDIO_DMA.

Контроллер I2S является 32-х разрядным устройством, которое подключается к младшим разрядам 64-х разрядной шины данных AXI интерфейса. В зависимости от адреса, 32-х разрядные данные передаются либо в младших, либо в старших разрядах 64-х разрядной шины данных. Для того чтобы значащие данные передавались именно в младших разрядах шины данных, адреса регистров контроллера I2S выровнены по границе 64 бита (8 байт).

Таблица 258 - Регистры контроллера I2S

Наименование	Адрес	Описание
REG_I2S_CTRL0	0x00	Регистр 0 конфигурации-управления
REG_I2S_CTRL1	0x08	Регистр 1 конфигурации-управления
REG_I2S_STAT0	0x10	Регистр статуса 0
REG_I2S_STAT1	0x18	Регистр статуса 1
I2S_FIFO_0	0x20	Буфер 0 цифровых отсчетов аудиосигнала
I2S_FIFO_1	0x28	Буфер 1 цифровых отсчетов аудиосигнала
I2S_FIFO_2	0x30	Буфер 2 цифровых отсчетов аудиосигнала
I2S_FIFO_3	0x38	Буфер 3 цифровых отсчетов аудиосигнала

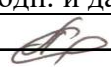
REG_I2S_CTRL0 – регистр управления I2S контроллера

Смещение x00, обращение только словом.

Данный регистр позволяет настроить I2S контроллер на определенный режим работы, управлять запуском и выключением I2S контроллера (Таблица 259)

Таблица 259 - Разряды регистра управления I2S контроллера (REG_I2S_CTRL0)

Биты	Доступ	После RESET	Описание
31-21	RO	0	Поле зарезервировано. При чтении возвращает ноль.
20-16	RW	0	RES (dac_resolution) – разрядность цифровых отсчетов аудиосигнала (разрешение внешнего ЦАП). Значение разрядности равно UNSIGNED(RES) + 1. Используемая разрядность: 32 бита (значение RES – «1111»); 24 бита (значение RES – «1011»); 20 бит (значение RES – «1001»); 16 бит (значение RES – «0111»); При двух цифровых отсчетах в слове значение RES аппаратно принимается равным 16 бит (значение RES – «0111»).
15-12	RO	0	Поле зарезервировано. При чтении возвращает ноль.
11	RW	0	EL_3_en – маска для прерывания, возникающего по достижении буфером 3 "уровня заполнения", равного или меньшего половины размера буфера. EL_3_en = «1» - прерывание разрешено; EL_3_en = «0» - прерывание запрещено.

					ЮФКВ.431268.005РЭ			Лист
								367
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

10	RW	0	EL_2_en – маска для прерывания, возникающего по достижении буфером 2 "уровня заполнения", равного или меньшего половины размера буфера. EL_2_en = «1» - прерывание разрешено; EL_2_en = «0» - прерывание запрещено.

Продолжение Таблица 259

Биты	Доступ	После RESET	Описание
9	RW	0	EL_1_en – маска для прерывания, возникающего по достижении буфером 1 "уровня заполнения", равного или меньшего половины размера буфера. EL_1_en = «1» - прерывание разрешено; EL_1_en = «0» - прерывание запрещено.
8	RW	0	EL_0_en – маска для прерывания, возникающего по достижении буфером 0 "уровня заполнения", равного или меньшего половины размера буфера. EL_0_en = «1» - прерывание разрешено; EL_0_en = «0» - прерывание запрещено.
7	RW	0	E3_en (E3_mask) – маска для прерывания, возникающего при пустом буфере 3. E3_en = «1» - прерывание разрешено; E3_en = «0» - прерывание запрещено.
6	RW	0	E2_en (E2_mask) – маска для прерывания, возникающего при пустом буфере 2. E2_en = «1» - прерывание разрешено; E2_en = «0» - прерывание запрещено.
5	RW	0	E1_en (E1_mask) – маска для прерывания, возникающего при пустом буфере 1. E1_en = «1» - прерывание разрешено; E1_en = «0» - прерывание запрещено.
4	RW	0	E0_en (E0_mask) – маска для прерывания, возникающего при пустом буфере 0. E0_en = «1» - прерывание разрешено; E0_en = «0» - прерывание запрещено.
3	RW	0	CH (channel configuration) – способ упаковки цифровых отсчетов аудиосигнала: CH = «0» - один цифровой отсчет аудиосигнала на 32-х разрядное слово; CH = «1» - два цифровых отсчета аудиосигнала на 32-х разрядное слово.
2	RW	0	BR (byte re-order) – перестановка байт принимаемого по AXI слова данных: «0» - сохраняется исходный порядок байт (little endian); «1» - исходный порядок байт меняется на противоположный (1234 -> 4321).
1	RW	0	CSD (Ctrl_Sync_Domain) – управление выбором частоты генератора для формирования синхроимпульса OCLK.
0	RW1	0	PRS (preset) – программный сброс. Активным является высокий уровень сигнала, по которому происходит установка всех внутренних счетчиков и сигналов управления в начальное состояние.

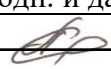
REG_I2S_CTRL1 – регистр управления I2S контроллера

Смещение x10, обращение только словом.

Данный регистр позволяет установить скорость выдачи звуковых данных, управлять запуском и выключением I2S контроллера (Таблица 260)

Таблица 260 - Разряды регистра 1 управления I2S контроллера (REG_I2S_CTRL1)

Биты	Доступ	После RESET	Описание
31-9	RO	0	Поле зарезервировано. При чтении возвращает ноль.
8	RW	0	EN (work_en) – разрешение работы. Активным является высокий уровень, при котором разрешается работа генератора внешнего синхросигнала и блока управления выдачей цифровых отсчетов аудиосигнала. Описать сразу ли выключается.

					ЮФКВ.431268.005РЭ			Лист
								368
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

7-0	RW	0	SCLK_RATIO[8:0] – коэффициент деления входной опорной частоты (более подробное описание в пункте 1.4.6). При задании нулевого значения этого поля SCLK_RATIO аппаратно принимается равным 1.

REG_I2S_STAT0 – регистр 0 статуса I2S контроллера

Смещение x18, обращение только словом.

Данный регистр позволяет индцировать состояние буферов цифровых отсчетов каналов 0, 1 (Таблица 261)

Таблица 261 - Разряды регистра 0 статуса I2S контроллера (REG_I2S_STAT0)

Биты	Доступ	После RESET	Описание
31	RO	1	EL_1 – признак полупустого буфера 1
30	RO	1	E_1 – признак пустого буфера 1
29	RO	0	F_1 – признак заполненности буфера 1
28-24	RO	0	Поле зарезервировано. При чтении возвращает ноль.
23-16	RO	0	CTW_1 – количество слов в буфере цифровых отсчетов аудиосигнала 1
15	RO	1	EL_0 – признак полупустого буфера 0
14	RO	1	E_0 – признак пустого буфера 0
13	RO		F_0 – признак заполненности буфера 0
12-8	RO	0	Поле зарезервировано. При чтении возвращает ноль.
7-0	RO	0	CTW_0 – количество слов в буфере цифровых отсчетов аудиосигнала 0

REG_I2S_STAT1 – регистр 1 статуса I2S контроллера

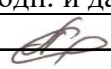
Смещение x18, обращение только словом.

Данный регистр позволяет индцирует состояние буферов цифровых отсчетов каналов 2, 3 () (Таблица 262)

Таблица 262 – Разряды регистра 1 статуса I2S контроллера (REG_I2S_STAT1)

Биты	Доступ	После RESET	Описание
31	RO	1	EL_3 – признак полупустого буфера 3
30	RO	1	E_3 – признак пустого буфера 3
29	RO	0	F_3 – признак заполненности буфера 3
28-24	RO	0	Поле зарезервировано. При чтении возвращает ноль.
23-16	RO	0	CTW_3 – количество слов в буфере цифровых отсчетов аудиосигнала 3
15	RO	1	EL_2 – признак полупустого буфера 2
14	RO	1	E_2 – признак пустого буфера 2
13	RO	0	F_2 – признак заполненности буфера 2
12-8	RO	0	Поле зарезервировано. При чтении возвращает ноль.
7-0	RO	0	CTW_2 – количество слов в буфере цифровых отсчетов аудиосигнала 2

CTW_i (counter_of_words) – количество слов в буфере цифровых отсчетов аудиосигнала.

					ЮФКВ.431268.005РЭ			Лист
								369
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

E_i (empty) – признак пустого буфера, активный – высокий уровень. E_i Устанавливается в '1' по аппаратному и программному сбросу, а в рабочем режиме при наступлении условия «полностью пустой буфер» (CTW_i = 0). Сбрасывается аппаратно, когда условие «полностью пустой буфер» не выполняется (CTW_i ≠ 0).

EL_i (empty-level) – признак полупустого буфера, активный – высокий уровень. Возникает при достижении буфером "уровня заполнения", равного или меньшего половины размера буфера.

Сбрасывается аппаратно, когда условие «полупустой буфер» не выполняется.

F_i (full) – признак полного заполнения буфера, активный – высокий уровень. Возникает при достижении буфером "уровня заполнения", равного размеру буфера.

Сбрасывается аппаратно, когда условие «полный буфер» не выполняется.

1.3.3.7.1.6.3 Регистры контроллера SPDIF

По AXI интерфейсу SPDIF контроллера доступны как его программируемые регистры, так и внутренние буферы данных (Таблица 263). Настройкой SPDIF контроллера через его программируемые регистры занимается пользователь (процессор), в то время как пополнением буфера звуковых данных занимается AUDIO_DMA.

Контроллер SPDIF является 32-х разрядным устройством, которое подключается к младшим разрядам 64-х разрядной шины данных AXI интерфейса. В зависимости от адреса, 32-х разрядные данные передаются либо в младших, либо в старших разрядах 64-х разрядной шины данных. Для того чтобы значащие данные передавались именно в младших разрядах шины данных, адреса регистров контроллера SPDIF выровнены по границе 64 бита (8 байт).

Таблица 263 - Таблица регистров контроллера SPDIF

Наименование	Смещение	Описание
REG_SPDIF_CTRL	0x00	Регистр управления
REG_SPDIF_STAT	0x08	Регистр прерываний/статуса
REG_SPDIF_MASK	0x10	Регистр маскирования прерываний
REG_NONLIN_PARAMS	0x18	Регистр параметров блока сжатых аудиоданных
SPDIF_BUF_CS1	0x20	Буфер статуса первого аудиоканала
SPDIF_BUF_CS2	0x28	Буфер статуса второго аудиоканала
SPDIF_BUF_UD	0x30	Буфер пользовательской информации
SPDIF_FIFO_AUDIOSAMPLES	0x38	Буфер аудиосэмплов

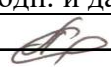
REG_SPDIF_CTRL – регистр управления SPDIF

Смещение x00, обращение только словом.

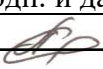
Данный регистр позволяет настроить SPDIF контроллер на определенный режим работы, установить скорость выдачи звуковых данных, запустить SPDIF контроллер, выключить SPDIF контроллер путем его программного сброса (Таблица 264).

Таблица 264 - Разряды регистра управления SPDIF (REG_SPDIF_CTRL)

Биты	Доступ	После RESET	Описание
31	RW	0	Бит SPDIF_START – запись '1' включает контроллер (инициирует начало передачи сабфреймов звуковой информации по линии SPDIF). Бит сбрасывается в '0' программным сбросом.

					ЮФКВ.431268.005РЭ			Лист
								370
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

30	R,W1	0	Бит SPDIF_RESET – программный сброс. Запись '1' выключает контроллер, путем его сброса. Сброс контроллера длится четыре такта системной частоты – в течение этого времени бит SPDIF_RESET находится в состоянии '1', по завершению сброса бит устанавливается в '0'. В течение четырех тактов сброса регистры контроллера не доступны.
29	RW	0	Бит SPDIF_MODE – вид передаваемых по SPDIF данных. '0' – линейные аудиоданные (IEC 60958), '1' – сжатые аудиоданные (IEC 61937).
28	RW	0	Бит SPDIF_CHANNELS – выбор количества каналов: '0' – двухканальный линейный звук (стерео) или многоканальный сжатый звук; '1' – одноканальный линейный звук (моно).
27-24	RO	0	Поле зарезервировано. Читается нулями.
23	RW	0	Бит SPDIF_DATA – количество аудиосэмплов, содержащихся в одном 32-х разрядном слове данных: '0' – один 24-х, 20-ти или 16-ти битный аудиосэмпл; '1' – два 16-ти битных аудиосэмпла.
22	RW	0	Бит BYTE_ORDER – порядок байтов в слове данных аудиосэмпла: '0' – little endian ([31:0] = ст. байт ... мл. байт); '1' – big endian ([31:0] = мл. байт ... ст. байт). Пользовательские данные и данные статуса канала вне зависимости от значения бита BYTE_ORDER хранятся в формате little_endian.
21	RW	0	Бит UD_EN – разрешение передачи пользовательских данных: '0' – пользовательские данные не передаются. Буфер пользовательских данных заполнять не следует. Контроллер автоматически подставляет ноль в бит-U сабфреймов; '1' – пользовательские данные передаются. Следует пополнять буфер пользовательских данных по мере его опустошения.
20-16	RO	0	Поле зарезервировано. Читается нулями.
15-14	RW	01	PROG_LEVEL – программируемый уровень заполненности FIFO аудиоданных, по которому вырабатывается сигнал статуса FIFO_LEVEL: '00' – заполнен на четверть; '01' – заполнен на половину; '10' – заполнен на три четверти; '11' – режим программирования уровня отключен. Сигнал FIFO_LEVEL всегда в нуле.
13-8	RO	0	Поле зарезервировано. Читается нулями.
7	RW	0	FREQ – бит выбора опорной частоты передачи звука. '0' – 22,5792 МГц, '1' – 24,576 МГц.
6-3	RW	0	FREQ_BASE - коэффициент деления входной частоты до опорной частоты передачи звука. В качестве опорных частот выступают: 22,5792 МГц и 24,576МГц. Деление производится по формуле: Опорная частота = Входная частота / (FREQ_BASE+1)
Продолжение таблицы 265			

					ЮФКВ.431268.005РЭ			Лист
								371
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

2-0	RW	0	FREQ_DIV - коэффициент деления опорной частоты передачи данных. Настройка на необходимую частоту дискретизации аудиосигнала осуществляется в соответствии с таблицей: <table><tr><td>FREQ_DIV</td><td>FREQ = 22,5792</td><td>FREQ = 24,576</td></tr><tr><td>0 -</td><td>176.4</td><td>192</td></tr><tr><td>1 -</td><td>88.2</td><td>96</td></tr><tr><td>2 -</td><td>58.86</td><td>64</td></tr><tr><td>3 -</td><td>44.1</td><td>48</td></tr><tr><td>4 -</td><td>35.28</td><td>38.4</td></tr><tr><td>5 -</td><td>29.4</td><td>32</td></tr><tr><td>6 -</td><td>25.2</td><td>27.42</td></tr><tr><td>7 -</td><td>22.05</td><td>24</td></tr></table>	FREQ_DIV	FREQ = 22,5792	FREQ = 24,576	0 -	176.4	192	1 -	88.2	96	2 -	58.86	64	3 -	44.1	48	4 -	35.28	38.4	5 -	29.4	32	6 -	25.2	27.42	7 -	22.05	24
FREQ_DIV	FREQ = 22,5792	FREQ = 24,576																												
0 -	176.4	192																												
1 -	88.2	96																												
2 -	58.86	64																												
3 -	44.1	48																												
4 -	35.28	38.4																												
5 -	29.4	32																												
6 -	25.2	27.42																												
7 -	22.05	24																												

REG_SPDIF_STAT – регистр статуса SPDIF

Смещение x08, обращение только словом.

Данный регистр предназначен для индикации текущего состояния SPDIF контроллера (Таблица 265). Существует два вида отображения состояния SPDIF контроллера: поточный и триггерный. При поточном отображении, меняющееся во времени событие в реальном времени отображается в соответствующем бите регистра REG_SPDIF_STAT (это относится к битам 15, 16 данного регистра). При триггерном отображении работает следующая схема: по возникновению определенного события, соответствующий ему бит в регистре REG_SPDIF_STAT устанавливается в единицу, и остается в этом состоянии до тех пор, пока программист не сбросит его в ноль, записав в этот бит единицу. По таким событиям возможна выработка прерываний, если она разрешена в регистре REG_SPDIF_INT_EN.

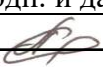
					ЮФКВ.431268.005РЭ			Лист
								372
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

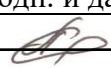
Таблица 265 - Разряды регистра статуса SPDIF (REG_SPDIF_STAT)

Биты	Доступ	После RESET	Описание
31	RC1	0	Бит FRAME_COMPLETE – бит устанавливается в '1' по завершении вывода очередного фрейма. Обнуляется при записи в этот бит '1'.
30	RC1	0	Бит BLOCK_COMPLETE – бит устанавливается в единицу по завершении вывода блока из 192-х фреймов. Обнуляется при записи в этот бит '1'.
29	RC1	0	Бит BURST_COMPLETE – бит устанавливается в единицу по завершении выдачи блока данных сжатого звука. Обнуляется при записи в этот бит '1'.
28-24	RO	0	Поле зарезервировано. Читается нулями.
23	RC1	0	CS_HALF – бит устанавливается при вычитывании половины буфера CS. Прерывание сигнализирует о том, что можно подгружать данные в высвободившуюся часть буфера (3 слова по 32 разряда). Бит сбрасывается записью в него '1'.
22	RC1	0	UD_HALF – бит устанавливается при вычитывании половины буфера UD. Прерывание сигнализирует о том, что можно подгружать данные в высвободившуюся часть буфера (3 слова по 32 разряда). Бит сбрасывается записью в него '1'.
21-20	RO	0	Поле зарезервировано. Читается нулями.
19	RC1	1	FIFO_EMPTY – прерывание по пустоте FIFO аудиоданных. Бит устанавливается при опустошении FIFO аудиоданных. Бит сбрасывается записью в него '1'.
18	RC1	0/1	FIFO_LEVEL – прерывание по границе заполненности FIFO. Устанавливается в единицу, при опустошении FIFO до границы, заданной полем PROG_LEVEL. После сброса бит находится в состоянии '0' при PROG_LEVEL равном "11", и в состоянии '1' – в остальных случаях. Бит сбрасывается записью в него '1'.
17	RC1	0	FIFO_OVERFLOW – переполнение FIFO аудиоданных. Бит устанавливается в '1' при записи в полное FIFO. При этом новые записываемые данные теряются. Бит сбрасывается записью в него '1'.
16	RC1	0	FIFO_UNDERFLOW – бит устанавливается при чтении из пустого FIFO (читаемые в этом случае данные, повторяют предыдущие). Бит сбрасывается записью в него '1'.
15	RO	1	FIFO_EMPTY_STAT – бит статуса FIFO аудиоданных. Находится в единице при пустом FIFO аудиоданных.
14	RO	0/1	FIFO_LEVEL_STAT – бит статуса FIFO аудиоданных. Находится в единице, если заполненность FIFO меньше границы, заданной полем PROG_LEVEL.
13-0	RO	0	Поле зарезервировано. Читается нулями.

REG_SPDIF_INT_EN – регистр разрешения прерываний

Смещение **x10**, обращение только словом

Данный регистр предназначен для выбора событий, по которым вырабатывается сигнал системного прерывания (Таблица 266). Каждому биту-маске из регистра REG_SPDIF_INT_EN соответствует бит-прерывание из регистра REG_SPDIF_STAT. Вне зависимости от разрешения в регистре REG_SPDIF_STAT устанавливаются те или иные события, но лишь при наличии разрешения прерывания по этим событиям передаются на

					ЮФКВ.431268.005РЭ			Лист
								373
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

выходную линию interrupt SPDIF контроллера. Чтобы разрешить выработку системного прерывания по тому или иному событию, необходимо в бит регистра REG_SPDIF_INT_EN, соответствующего этому событию, записать '1'.

Таблица 266 - Разряды регистра разрешения прерываний (REG_SPDIF_INT_EN)

Биты	Доступ	После RESET	Описание
31	RW	0	CS_INT_EN – разрешение выработки прерывания по сигналу статуса CS_HALF
30	RW	0	UD_INT_EN – разрешение выработки прерывания по сигналу статуса UD_HALF
29	RW	0	FIFO_INT_EN – разрешение выработки прерывания по достижению программируемой заполненности FIFO (сигнал FIFO_LEVEL)
28	RW	0	EMPTY_INT_EN – разрешение выработки прерывания по пустому FIFO (сигнал FIFO_EMPTY)
27	RW	0	UNDERFLOW_INT_EN – разрешение выработки прерывания по сигналу ошибки FIFO_UNDERFLOW.
26	RW	0	OVERFLOW_INT_EN – разрешение выработки прерывания по переполнению FIFO аудиосэмплов. (сигнал FIFO_OVERFLOW).
25	RW	0	BLOCK_INT_EN – разрешение выработки прерывания по выдаче блока данных из 192-х фреймов.
24	RW	0	BURST_INT_EN – разрешение выработки прерывания по выдаче блока сжатых аудио данных.
23-0	RO	0	Поле зарезервировано. Читается и записывается нулями.

REG_NONLINEAR_PARAMS – регистр параметров блока сжатых аудио данных

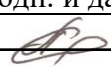
Смещение x18, обращение только словом

Регистр REG_NONLINEAR_PARAMS предназначен для реализации аппаратной поддержки формирования стаффинг интервала (определенного количества нулевых данных) при передаче многоканального сжатого звука (Таблица 267). В текущей версии звукового контроллера аппаратная поддержка формирования стаффинг интервала не доступна. В связи с этим запрещается писать в поле STUFFING_LEN значения отличные от нуля. Стаффинг интервалы реализуются в текущей версии звукового контроллера программно – то есть нулевые значения, которые необходимо передавать в течение данного интервала должны быть записаны в FIFO аудиоданных SPDIF контроллера.

Таблица 267 - Разряды регистра параметров блока сжатых аудио данных (REG_NONLINEAR_PARAMS)

Биты	Доступ	После RESET	Описание
31-16	RW	0	Поле STUFFING_LEN – размер интервала стаффинга (передачи нулевых данных) в фреймах. В текущей версии звукового контроллера запись в это поле значений отличных от нуля запрещена!
15-0	RW	0	Поле DATA_BURST_LEN – размер блока сжатых аудиоданных (задается в фреймах). В текущей версии звукового контроллера в это поле необходимо записывать 0 – при выборе режима IEC 60958 (SPDIF_MODE=0) и 1 при выборе режима IEC 61937 (SPDIF_MODE=1).

SPDIF_BUF_CS_1 – буфер статусной информации 1-ого канала (объем: шесть 32-х разрядных слова – 192 бита);

					ЮФКВ.431268.005РЭ			Лист
								374
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Смещение x20, доступна только запись 32-х разрядных слов. При чтении возвращает 0.

SPDIF_BUF_CS_2 – буфер статусной информации 2-ого канала (объем: шесть 32-х разрядных слова – 192 бита);

Смещение x28, доступна только запись 32-х разрядных слов. При чтении возвращает 0.

Буферы статусной информации заполняются пользователем единожды, перед включением звукового контроллера. Установленная пользователем статусная информация, то есть информация о свойствах передаваемого звука не может меняться при работающем SPDIF-контроллере. При желании воспроизводить звук с параметрами отличными от текущих, необходимо выключить SPDIF контроллер, произвести его настройку на новый звуковой режим, заполнить буферы BUF_CS1, BUF_CS2 новой статусной информацией и снова включить контроллер. Таким образом, контроллер SPDIF не поддерживает передачу звука с меняющимися параметрами (например, с изменяющимся битрейтом).

SPDIF_BUF_UD – буфер пользовательских данных (объем: шесть 32-х разрядных слова – 192 бита);

Смещение x30, доступна только запись 32-х разрядных слов. При чтении возвращает 0.

Учитывая, что в большинстве случаев пользовательские данные (user data) в сабфреймах SPDIF не передаются, использование данного буфера в текущей версии звукового контроллера в полном объеме не поддерживается. Рекомендуются устанавливать управляющий бит UD_EN в ноль, при котором SPDIF контроллер не производит чтение из буфера BUF_UD, а непосредственно подставляет нули в бит-U каждого сабфрейма.

SPDIF_FIFO_AUDIOSAMPLES – FIFO аудиоданных (объем 32x32 – 1КБ).

Смещение x38, доступна только запись 32-х разрядных слов. При чтении возвращает 0.

FIFO аудиосэмплов SPDIF контроллера предназначено для промежуточного хранения звуковых данных, за счет чего обеспечивается бесперебойный вывод звуковой информации. FIFO аудиосэмплов доступен через шину AXI как для программиста так и для AUDIO_DMA, но именно AUDIO_DMA звукового контроллера будет заполнять FIFO по мере необходимости.

1.3.3.7.1.6.4 Регистры контроллера AUDIO_DMA

Программируемые регистры AUDIO_DMA, доступны по системному интерфейсу управления (нестандартный интерфейс, описание смотри в пункте 1.3.3.7.1.4.3)

AUDIO_DMA содержит 34 32х разрядных регистра, для адресации которых требуются 8 разрядов адресной шины (адресное пространство 256 байт). В тоже время в текущей версии аудиоконтроллера анализируются 12 младших разрядов адреса на системном интерфейсе управления. В 11-ом разряде адреса регистра обязательно должна присутствовать единица, то есть регистры доступны смещением 12'h800. Данную ситуацию можно обойти, подавая на порты aud_dma_rg_addr_i[11:8] константу 4'b1000, а на порты aud_dma_rg_addr_i [7:0] соответствующие линии шины адреса системного интерфейса управления.

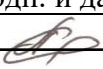
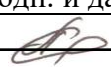
					ЮФКВ.431268.005РЭ			Лист
								375
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 268 - Регистры AUDIO DMA

Наименование	Адрес	Описание
DMA_ENA_REG	12'h 000	Регистр разрешения
CH0_BASE0	12'h 004	Регистр базового адреса (начальный адрес) нулевой страницы в памяти для нулевого канала чтения
CH0_BASE1	12'h 008	Регистр базового адреса (начальный адрес) первой страницы в памяти для нулевого канала чтения
CH1_BASE0	12'h 00C	Базовый адрес для канала чтения 1 (аналогично каналу 0)
CH1_BASE1	12'h 010	Базовый адрес для канала чтения 1 (аналогично каналу 0)
CH2_BASE0	12'h 014	Базовый адрес для канала чтения 2 (аналогично каналу 0)
CH2_BASE1	12'h 018	Базовый адрес для канала чтения 2 (аналогично каналу 0)
CH3_BASE0	12'h 01C	Базовый адрес для канала чтения 3 (аналогично каналу 0)
CH3_BASE1	12'h 020	Базовый адрес для канала чтения 3 (аналогично каналу 0)
CH0_END0	12'h 024	Конечный адрес нулевой страницы для нулевого канала чтения.
CH0_END1	12'h 028	Конечный адрес первой страницы для нулевого канала чтения. (аналогично странице 0)
CH1_END0	12'h 02C	Конечный адрес для канала чтения 1 (аналогично каналу 0)
CH1_END1	12'h 030	Конечный адрес для канала чтения 1 (аналогично каналу 0)
CH2_END0	12'h 034	Конечный адрес для канала чтения 2 (аналогично каналу 0)
CH2_END1	12'h 038	Конечный адрес для канала чтения 2 (аналогично каналу 0)
CH3_END0	12'h 03C	Конечный адрес для канала чтения 3 (аналогично каналу 0)
CH3_END1	12'h 040	Конечный адрес для канала чтения 3 (аналогично каналу 0)
SLV0_BASE	12'h 044	Адрес ведомого устройства для канала записи 0
SLV1_BASE	12'h 048	Адрес ведомого устройства для канала записи 1
SLV2_BASE	12'h 04C	Адрес ведомого устройства для канала записи 2
SLV3_BASE	12'h 050	Адрес ведомого устройства для канала записи 3
CH0_TRW	12'h 054	Количество 32х разрядных слов, для записи в ведомое устройство канала записи 0.
CH1_TRW	12'h 058	Количество 32х разрядных слов, для записи в ведомое устройство канала записи 1.
CH2_TRW	12'h 05C	Количество 32х разрядных слов, для записи в ведомое устройство канала записи 2.
CH3_TRW	12'h 060	Количество 32х разрядных слов, для записи в ведомое устройство канала записи 3.
SLV_OVRH	12'h 064	Задаёт количество слов для прекращения запись в ведомое устройство.

					ЮФКВ.431268.005РЭ			Лист
								376
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Наименование	Адрес	Описание
SLV0_BSIZE	12'h 068	Размер буфера устройства ведомого в канале 0
SLV1_BSIZE	12'h 06C	Размер буфера устройства ведомого в канале 1
SLV2_BSIZE	12'h 070	Размер буфера устройства ведомого в канале 2
SLV3_BSIZE	12'h 074	Размер буфера устройства ведомого в канале 3
AXI_PARAM	12'h 078	Параметры шины AXI
AUD_DMA_INT_MASK	12'h 07C	Регистр маски прерываний
AUD_DMA_INT	12'h 080	Регистр состояния прерываний
AUD_DMA_BUF_STATUS	12'h 084	Состояние внутренних буферов

DMA_ENA_REG – регистр управления AUDIO_DMA

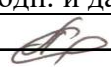
Смещение x00, обращение только словом.

Данный регистр предназначен для управления включением/выключением 4-х каналов AUDIO_DMA , а так же для разрешения переключения страниц в памяти (Таблица 269).

Таблица 269 - Разряды регистра управления AUDIO_DMA (DMA_ENA_REG)

Биты	Доступ	После RESET	Описание
31-12	RO	0	Поле зарезервировано. При чтении возвращает ноль.
11	RW	0	Ch3_rd_sw_ena – разрешение переключения страниц в памяти для канала 3 (аналогично Ch0_rd_sw_ena)
10	RW	0	Ch2_rd_sw_ena – разрешение переключения страниц в памяти для канала 2 (аналогично Ch0_rd_sw_ena)
9 Продолжение таблицы 174	RW	0	Ch1_rd_sw_ena – разрешение переключения страниц в памяти для канала 1 (аналогично Ch0_rd_sw_ena)
8	RW	0	Ch0_rd_sw_ena – разрешение переключения страниц в памяти для канала 0: ‘1’ – следующая страница в памяти готова, переключение разрешено. По завершению чтения данных из текущей страницы, контролер AUDIO_DMA сразу начнет читать данные из дугой; ‘0’ – переключение не производится, AUDIO_DMA ожидает готовности данных во внешней памяти.
7-5	RO	0	Поле зарезервировано. При чтении возвращает ноль.
4	RW	0	i2s_spdif – бит определяет с каким из контроллеров работает AUDIO_DMA: ‘0’ – I2S ; ‘1’ – SPDIF.
3	RW	0	Ch3_active – разрешение функционирования канала 3 DMA:
2	RW	0	Ch2_active – разрешение функционирования канала 2 DMA:
1	RW	0	Ch1_active – разрешение функционирования канала 1 DMA:
0	RW	0	Ch0_active – разрешение функционирования канала 0 DMA: ‘0’ – канал деактивирован; ‘1’ – канал активен.

В Таблица 270 представлен список регистров, предназначенный для задания 32-х разрядных базовых адресов, по которым AUDIO_DMA будет обращаться к внешним памятьям и памятьам контроллеров I2S, SPDIF. Базовый адрес задается в формате little endian (0-й бит – наименее значащий). Все регистры доступны на чтение-запись (RW). Базовые

					ЮФКВ.431268.005РЭ			Лист
								377
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

адреса начала и конца страницы для чтения звуковых данных должны быть выровнены по границе 64х разрядного слова.

Таблица 270 - Регистры базовых адресов AUDIO_DMA

Регистр	Смещение	Доступ	Описание
CH0_BASE0	0x004	RW	Регистр базового адреса (начальный адрес) нулевой страницы в памяти для нулевого канала чтения, по окончании считывания из памяти данных страницы хранимой по адресу CH0_BASE1 и при равенстве ch0_rd_sw_ena == 1 происходит переключение AUDIO_DMA на данный адрес, и данный адрес становится текущим, а CH0_BASE1 – следующим
CH0_BASE1	0x008	RW	Регистр базового адреса (начальный адрес) первой страницы в памяти для нулевого канала чтения, работа AUDIO_DMA начинается с данной страницы, в начальный момент времени данный адрес является текущим, при этом адрес CH0_BASE0 является следующим
CH1_BASE0	0x00c	RW	Базовый адрес для канала чтения 1 (аналогично каналу 0)
CH1_BASE1	0x010	RW	Базовый адрес для канала чтения 1 (аналогично каналу 0)
CH2_BASE0	0x014	RW	Базовый адрес для канала чтения 2 (аналогично каналу 0)
CH2_BASE1	0x018	RW	Базовый адрес для канала чтения 2 (аналогично каналу 0)
CH3_BASE0	0x01c	RW	Базовый адрес для канала чтения 3 (аналогично каналу 0)
CH3_BASE1	0x020	RW	Базовый адрес для канала чтения 3 (аналогично каналу 0)
CH0_END0	0x024	RW	Конечный адрес нулевой страницы для нулевого канала чтения. Адрес следующий за последним словом в памяти страницы ноль. AUDIO_DMA ведет чтение в диапазоне адресов между CH0_BASE0 (включительно) и CH0_END0 (не включительно).
CH0_END1	0x028	RW	Конечный адрес первой страницы для нулевого канала чтения (аналогично странице 0)
CH1_END0	0x02c	RW	Конечный адрес для канала чтения 1 (аналогично каналу 0)
CH1_END1	0x030	RW	Конечный адрес для канала чтения 1 (аналогично каналу 0)
CH2_END0	0x034	RW	Конечный адрес для канала чтения 2 (аналогично каналу 0)
CH2_END1	0x038	RW	Конечный адрес для канала чтения 2 (аналогично каналу 0)
CH3_END0	0x03c	RW	Конечный адрес для канала чтения 3 (аналогично каналу 0)
CH3_END1	0x040	RW	Конечный адрес для канала чтения 3 (аналогично каналу 0)
SLV0_BASE	0x044	RW	Адрес ведомого устройства для канала записи 0
SLV1_BASE	0x048	RW	Адрес ведомого устройства для канала записи 1
SLV2_BASE	0x04c	RW	Адрес ведомого устройства для канала записи 2
SLV3_BASE	0x050	RW	Адрес ведомого устройства для канала записи 3

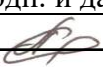
					ЮФКВ.431268.005РЭ			Лист
								378
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Таблица 271 представлен список регистров, предназначенный для задания 32-х разрядных параметров для AUDIO_DMA. Значения задаются в формате little endian (0-й бит – наименее значащий). Все регистры доступны на чтение-запись (RW).

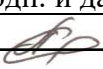
					ЮФКВ.431268.005РЭ			Лист
								379
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 271 - 32-х разрядные параметры для AUDIO_DMA

Регистр	Смещение	Доступ	Описание
CH0_TRW	0x054	RW	Количество 32х разрядных слов, которое AUDIO_DMA должно записать в ведомое устройство канала записи 0. (Данное количество слов должно соответствовать заданным параметрам для канала чтения CH0_BASE0 - CH0_END0 и не может отличаться для разных страниц)
CH1_TRW	0x058	RW	Количество 32х разрядных слов, которое AUDIO_DMA должно записать в ведомое устройство канала записи 1. (аналогично каналу 0)
CH2_TRW	0x05c	RW	Количество 32х разрядных слов, которое AUDIO_DMA должно записать в ведомое устройство канала записи 2. (аналогично каналу 0)
CH3_TRW	0x060	RW	Количество 32х разрядных слов, которое AUDIO_DMA должно записать в ведомое устройство канала записи 3. (аналогично каналу 0)
SLV_OVRH	0x064	RW	Задаёт количество слов для прекращения записи в ведомое устройство. AUDIO_DMA прекращает запись в ведомое устройство, когда уровень заполнения буфера ведомого становится равным или больше разницы SLVx_BSIZE - SLV_OVRH. Параметр задается для всех каналов.
SLV0_BSIZE	0x068	RW	Размер буфера устройства ведомого в канале 0 (кол-во 32-х разрядных слов - 1).
SLV1_BSIZE	0x06c	RW	Размер буфера устройства ведомого в канале 1 (кол-во 32-х разрядных слов - 1).
SLV2_BSIZE	0x070	RW	Размер буфера устройства ведомого в канале 2 (кол-во 32-х разрядных слов - 1).
SLV3_BSIZE	0x074	RW	Размер буфера устройства ведомого в канале 3 (кол-во 32-х разрядных слов - 1).

AXI_PARAM – регистр параметров транзакций на AXI шине

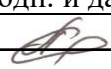
Смещение x078, обращение только словом.

Данный регистр предназначен для задания параметров AXI шины, которые будет использовать AUDIO_DMA при формировании транзакций чтения-записи звуковых данных.

В Таблица 272 представлены разряды регистра AXI_PARAM.

Таблица 272 - Разряды регистра параметров AXI шины (AXI_PARAM)

Биты	Доступ	После RESET	Описание
31-29	RW	0	AWPROT
28-26	RO	0	Поле зарезервировано. При чтении возвращает ноль.
25-24	RW	0	AWLOCK
23-20	RW	0	WID
19	RO	0	Поле зарезервировано. При чтении возвращает ноль.
18-16	RW	0	ARPROT
15-14	RO	0	Поле зарезервировано. При чтении возвращает ноль.
13-12	RW	0	ARLOCK
11-8	RW	0	ARID
3-0	RW	0	ARLEN - запись любого значения на работу блока не влияет

					ЮФКВ.431268.005РЭ			Лист
								380
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

AUD_DMA_INT_MASK – регистр масок прерываний.

Смещение x07с, обращение только словом.

Данный регистр предназначен для разрешения прерываний по ряду событий отображаемых в регистре состояния прерываний. Если в соответствующем разряде регистра масок установлена '1' – прерывание разрешено, '0' – прерывание запрещено. Маска влияет только на формирование сигнала прерывания, но не на запись признаков в регистр состояния прерываний. Разряды регистра масок прерываний описаны в Таблица 273.

Таблица 273 - Разряды регистра масок прерываний (AUD_DMA_INT_MASK)

Биты	Доступ	После RESET	Описание
31-20	RO	0	Поле зарезервировано. При чтении возвращает ноль.
19	RW	0	ch3_stoped_mask
18	RW	0	ch2_stoped_mask
17	RW	0	ch1_stoped_mask
16	RO	0	ch0_stoped_mask
15-12	RO	0	Поле зарезервировано. При чтении возвращает ноль.
11	RW	0	bresp_error_mask
10	RW	0	wid_error_mask
9	RW	0	rresp_error_mask
8	RW	0	arid_error_mask
7-5	RO	0	Поле зарезервировано. При чтении возвращает ноль.
3	RW	0	ch3_wr_end_mask
2	RW	0	ch2_wr_end_mask
1	RW	0	ch1_wr_end_mask
0	RW	0	ch0_wr_end_mask

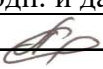
AUD_DMA_INT – регистр состояния прерываний

Смещение x080, обращение только словом.

В случае возникновения прерывания оно фиксируется в соответствующем разряде данного регистра (Таблица 274). При возникновении прерывания оно записывается в регистр и сохраняется до его программного сброса. Для того чтобы сбросить прерывание необходимо в соответствующий разряд регистра состояния прерываний записать единицу, запись нуля в регистр состояния прерываний не оказывает никакого действия на хранимые данные.

Таблица 274 - Разряды регистра состояния прерываний (AUD_DMA_INT)

Биты	Доступ	После RESET	Описание
31-20	RO	0	Поле зарезервировано. При чтении возвращает ноль.
19	RC1	0	ch3_stoped – бит устанавливается в '1' после того как канал 3 деактивирован (ch3_active = 0) и по каналу 3 звуковому контроллеру переданы все данные текущей страницы.
18	RC1	0	ch2_stoped – бит устанавливается в '1' после того как канал 2 деактивирован (ch3_active = 0) и по каналу 2 звуковому контроллеру переданы все данные текущей страницы.
17	RC1	0	ch1_stoped – бит устанавливается в '1' после того как канал 1

					ЮФКВ.431268.005РЭ			Лист
								381
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

			деактивирован (ch3_active = 0) и по каналу 1 звуковому контроллеру переданы все данные текущей страницы.

Продолжение Таблица 275

16	RC1	0	ch0_stoped – бит устанавливается в '1' после того как канал 0 деактивирован (ch3_active = 0) и по каналу 0 звуковому контроллеру переданы все данные текущей страницы.
15-12	RO	0	Поле зарезервировано. При чтении возвращает ноль.
11	RC1	0	bresp_error
10	RC1	0	wid_error
9	RC1	0	rresp_error
8	RC1	0	arid_error
7-4	RO	0	Поле зарезервировано. При чтении возвращает ноль.
3	RC1	0	ch3_wr_end – бит устанавливается в единицу по завершению передачи звуковому контроллеру данных очередной страницы по каналу 3. Бит сбрасывается записью в него '1'.
2	RC1	0	ch2_wr_end – бит устанавливается в единицу по завершению передачи звуковому контроллеру данных очередной страницы по каналу 2. Бит сбрасывается записью в него '1'.
1	RC1	0	ch1_wr_end – бит устанавливается в единицу по завершению передачи звуковому контроллеру данных очередной страницы по каналу 1. Бит сбрасывается записью в него '1'.
0	RC1	0	ch0_wr_end – бит устанавливается в единицу по завершению передачи звуковому контроллеру данных очередной страницы по каналу 0. Бит сбрасывается записью в него '1'.

AUD_DMA_BUF_STATUS – регистр статуса

Смещение x07c, обращение только словом.

Регистр предназначен для отображения состояния внутренних буферов контроллера AUDIO_DMA (Таблица 275). Регистр доступен только на чтение.

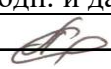
Таблица 275 - Разряды регистра состояния буферов AUD_DMA_BUF_STATUS

Биты	Доступ	После RESET	Описание
31-24	RO	0	количество слов в 3 буфере
23-16	RO	0	количество слов в 2 буфере
15-8	RO	0	количество слов в 1 буфере
7-0	RO	0	количество слов в 0 буфере

Контроллер AUDIO_DMA имеет четыре канала, каждый из которых может быть независимо сконфигурирован. Запуск каналов контроллера на передачу данных осуществляется записью единичного значения в соответствующий признак ch(X)_active. До запуска контроллера необходимо сконфигурировать все каналы, которые будут функционировать в данном режиме работы.

Для задания области памяти и количество слов, которые надо считать из памяти используются следующие параметры:

CH(X)_BASE0 и CH(X)_BASE1 - базовые (начальные) адреса для текущей и следующей страниц читаемых из памяти. После сброса начинает работать с _BASE1

					ЮФКВ.431268.005РЭ			Лист
								382
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

CH(X)_END0 и CH(X)_END1 - конечные адреса для текущей и следующей страниц читаемых из памяти. Контроллер будет осуществлять чтение данных из диапазона CH(X)_BASE(Y) до CH(X)_END(Y) (не включая CH(X)_END(Y)). Рекомендуется формировать страницы размером не менее 256 байт.

Для определения параметров области памяти, куда ведется копирование, необходимо задать следующие параметры:

SLV(X)_BASE – адрес, в который будет вестись запись данных (контроллер рассчитан на запись данных в память типа FIFO (запись ведется по одному адресу единичными транзакциями на шине AXI)

CH(X)_TRW - количество 32х разрядных слов, которые необходимо записать в ведомое устройство (значение задается уменьшенным на единицу). Количество слов должно соответствовать указанному диапазону чтения CH(X)_BASE(Y) : CH(X)_END(Y). При этом следует учитывать, что чтение ведется в 64х разрядных словах, а запись в 32х разрядных.

SLV(X)_BSIZE - указывает размер буфера в ведомом устройстве, размер указывается в 32х разрядных словах минус один, т.е. если размер буфера равен 32 слова в регистр необходимо записать значение 31.

SLV_OVRH - задает количество слов для прекращения записи в ведомое устройство, как только выполняется условие SLV(X)_BSIZE - (количество слов записанных в буфер – отслеживается аппаратно) < SLV_OVRH контроллер приостанавливает запись в ведомое устройство. Размер SLV_OVRH определяется из параметров системы – количества уровней иерархии в коммутационной среде и регистров на пути данных.

1.3.3.7.2 Использование по назначению аудиоконтроллера

Работа с аудиоконтроллером состоит из нескольких фаз: сброс аудиоконтроллера – конфигурирование аудиоконтроллера – запуск аудиоконтроллера – отслеживание хода работы по прерываниям и статусу – выключение аудиоконтроллера.

1.3.3.7.2.1 Сброс аудиоконтроллера

После включения питания необходимо произвести сброс аудиоконтроллера.

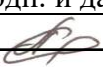
Сброс аудиоконтроллера осуществляется путем сброса его трех основных блоков: AUDIO_DMA, SPDIF, I2S. Сброс аудиоконтроллера может быть либо программным, либо аппаратным.

Аппаратный сброс осуществляется посредством подачи низкого уровня сигнала на порты i2s_sys_reset_i, spdif_sys_reset_i, aud_dma_sys_reset_i. Активный уровень аппаратного сброса должен длиться не менее восьми тактов системной частоты.

Программный сброс аудиоконтроллера осуществляется через его программируемые регистры. Контроллер I2S сбрасывается записью '1' в бит PRS регистра REG_I2S_CTRL0.

Контроллер SPDIF сбрасывается записью '1' в бит SPDIF_RESET регистра REG_SPDIF_CTRL.

Программный сброс длится несколько тактов системной частоты, во время которых доступ к регистрам звуковых контроллеров запрещен.

					ЮФКВ.431268.005РЭ			Лист
								383
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

После прохождения операции сброса значение битов сброса в соответствующих регистрах управления автоматически обнуляется. Управляющие схемы звуковых контроллеров при этом переходят в исходное состояние.

Программный сброс AUDIO_DMA в текущей версии аудиоконтроллера не предусмотрен. В тоже время сброс AUDIO_DMA может быть осуществлен из вне: сигнал программного сброса может вырабатываться внешней по отношению к аудиоконтроллеру схемой. Затем этот сигнал подмешивается к сигналу аппаратного сброса и подается на порт aud_dma_sys_reset_i.

Программный сброс аудиоконтроллера рекомендуется осуществлять каждый раз перед началом работы с ним.

Рекомендуется после подачи сигнала системного или программного сброса провести программную инициализацию всех регистров видеоконтроллера.

1.3.3.7.2.2 Настройка аудиоконтроллера

Конфигурирование аудиоконтроллера на требуемый режим работы производится перед его запуском. Изменение конфигурации аудиоконтроллера по ходу его работы (за исключением управления несколькими параметрами) может привести к некорректной работе аудиоконтроллера.

Аудиоконтроллер одновременно может выводить звуковую информацию только по одному из звуковых интерфейсов: I2S или SPDIF. Для этого производится конфигурация регистров звукового контроллера, которому предстоит выводить информацию.

Конфигурирование I2S контроллера

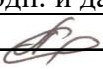
Для правильного конфигурирования I2S контроллера, необходимо:

- 1) Указать формат входных данных. В регистре REG_I2S_CTRL0 в поле BR указать порядок байт в 32-х разрядном слове данных, поступающем в контроллер I2S по AXI шине. В поле CN указать количество сэмплов, передаваемых в одном 32-х разрядном слове. В поле RES указать разрядность сэмплов;
- 2) Разрешить прерывания, которые планируется обрабатывать. Учитывая, что с I2S контроллером будет работать AUDIO_DMA, рекомендуется разрешить прерывание лишь по пустоте внутренних буферов звуковых данных I2S котроллера (биты Ex_en регистра REG_I2S_CTRL0). По этому прерыванию можно будет узнать, когда I2S контроллер завершит выдачу всех данных.
- 3) Настроить I2S контроллер на частоту выдачи звуковой информации (частоту дискретизации звука). В поле SCLK_RATIO регистра REG_I2S_CTRL1 должен быть записан коэффициент деления внешней звуковой частоты, подаваемой на порт i2s_mclk_i аудиоконтроллера (см п.1.4.6).

Конфигурирование SPDIF контроллера

Для правильного конфигурирования I2S контроллера, необходимо:

- 1) Указать формат входных данных. В поле BYTE_ORDER регистра REG_SPDIF_CTRL указать порядок байт в 32-х разрядном слове данных

					ЮФКВ.431268.005РЭ			Лист
								384
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

поступающем по AXI шине. В поле SPDIF_DATA указать количество сэмплов передаваемых в одном 32-х разрядном слове.

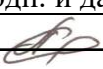
- 2) В поле SPDIF_MODE указать вид звуковых данных, которые будут передаваться по SPDIF интерфейсу: линейные или сжатые
- 3) В зависимости от вида передаваемых данных настроить регистр REG_NONLINEAR_PARAMS. Записать нули в оба поля при линейном звуке. При сжатом звуке – записать 1 в поле DATA_BURST_LEN.
- 4) При желании использовать аппаратную поддержку вывода линейного моно звука записать '1' в бит SPDIF_CHANNELS.
- 5) Запретить передачу пользовательской информации в бите-U звуковых сабфреймов записав '0' в бит UD_EN регистра REG_SPDIF_CTRL.
- 6) Разрешить прерывания, которые планируется обрабатывать. Учитывая, что с SPDIF контролером будет работать AUDIO_DMA, рекомендуется разрешить прерывание лишь по пустоте буфера звуковых данных SPDIF котроллера (FIFO_INT_EN регистра REG_SPDIF_INT_EN). По этому прерыванию можно будет узнать, когда SPDIF контроллер завершит выдачу всех данных. Для контроля корректности заполнения буфера рекомендуется разрешить выработку прерываний по событиям undeflow, overflow.
- 7) Настроить SPDIF контроллер на частоту выдачи звуковой информации (частоту дискретизации). В поле FREQ_BASE регистра управления REG_SPDIF_CTRL должен быть записан коэффициент деления внешней звуковой частоты, подаваемой на порт spdif_mclk_i аудиоконтроллера до опорной, а в поле FREQ_DIV коэффициент деления опорной частоты для получения желаемой частоты дискретизации (см п.1.4.6).
- 8) Записать в буферы BUF_CS1, BUF_CS2 контроллера SPDIF статусную информацию канала о свойствах передаваемого звукового потока (в соответствии со стандартами IEC 60958, IEC 61937). В каждый буфер необходимо записать по шесть 32-х разрядных слова (в формате little endian) статусной информации.

После настройки соответствующего звукового контроллера необходимо настроить AUDIO_DMA.

Конфигурирование AUDIO_DMA:

Для правильного конфигурирования котроллера AUDIO_DMA, необходимо:

- 1) В поле i2s_spdif регистра DMA_ENA_REG указать с каким из звуковых контроллеров будет работать AUDIO_DMA
- 2) В регистре указать объем буфера FIFO звукового контроллера. При работе с SPDIF только для нулевого канала. При работе с I2S от одного до четырех – в зависимости от канальности звука.
- 3) В регистре SLVX_BASE указать адрес буфера(-ов) звукового контроллера;
- 4) В регистрах SLVX_BSIZE указать, за сколько слов до заполнения буфера ведомого звукового контроллера прекращать его наполнение звуковыми

					ЮФКВ.431268.005РЭ			Лист
								385
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

данными. Таким образом, буфер звукового контроллера не будет заполняться выше определенной отметки. Рекомендуемое значения для параметра – 3.

- 5) В регистрах CHX_BASE1, CHX_END1 указать адреса начала и конца страницы с готовыми звуковыми данными. При включении AUDIO_DMA начнет читать данные именно этой страницы. Если вторая страница звуковых данных уже готова или известен ее адрес, то его так же можно сразу указать в регистрах CHX_BASE0, CHX_END0. Стоит учитывать, что адреса задаются выровненными по границе 8 байт.
- 6) Задать размер страницы в регистре. Размер страницы не должен быть меньше 256 байт, и должен находиться в соответствии с адресами начала и конца страницы.
- 7) Задать параметры транзакций формируемых AUDIO_DMA на AXI шине. Параметры задаются в регистре AUD_DMA_AXI_PARAM. Рекомендуется оставить значения в регистре, которые находятся там после сброса.
- 8) Разрешить все прерывания в регистре AUD_DMA_INT_MASK

1.3.3.7.2.3 Включение аудиоконтроллера

После настройки аудиоконтроллера его необходимо включить. Делается это в два этапа: сначала включается AUDIO_DMA затем один из звуковых контроллеров.

Включение AUDIO_DMA

Для активации каналов AUDIO_DMA необходимо в его регистре управления DMA_ENA_REG в биты chX_rd_sw_ena и chX_active записать '1'. При работе с SPDIF контроллером следует запускать только нулевой канал. При работе с I2S контроллером одновременно могут быть запущены до 4-х каналов.

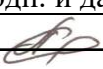
Как только канал X AUDIO_DMA включен, он начинает читать 64-х разрядные данные из памяти начиная с адреса OSDX_BASE1. Читаемые данные он затем передает в буферы ведомого звукового контроллера. Как только звуковой контроллер располагает необходимыми для вывода данными его можно активировать.

Включение I2S контроллера

Активация I2S контроллера осуществляется записью '1' в бит EN регистра REG_I2S_CTRL1.

В случае, когда контролер I2S запускается до или одновременно с запуском AUDIO_DMA на интерфейс I2S будут выводиться нулевые звуковые сэмплы (тишина) до тех пор пока буферы I2S пусты. Как только буферы получают звуковые данные от AUDIO_DMA начнется их вывод. Такой способ запуска контроллера I2S является некорректным, поскольку возможна рассинхронизация данных передаваемых по параллельным каналам. Звуковые данные записываются в буферы последовательно, таким образом, звуковой контроллер может начать выдавать данные в то время, когда в одном из буферов данные уже имеются, а в других еще нет. Таким образом, на одном канале I2S интерфейса появятся звуковые данные, а по другим будут передаваться нулевые сэмплы.

Правильный способ включения I2S контроллера – это дождаться появления звуковых данных во всех буферах, а только затем запустить контроллер I2S. Появление данных в

					ЮФКВ.431268.005РЭ			Лист
								386
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

буферах можно обнаружить постоянно опрашивая поля CTW_X регистров REG_I2S_STAT0, REG_I2S_STAT1.

Активация SPDIF контроллера

Активация SPDIF контроллера осуществляется записью '1' в бит SPDIF_START регистра REG_SPDIF_CTRL.

SPDIF контролер нельзя включать до тех пор, пока в его буфере не появятся данные. При попытке сделать это, контроллер автоматически выключается с ошибкой underflow (чтение из пустого буфера). Появление данных в буфере SPDIF контроллера можно обнаружить постоянно опрашивая поле FIFO_EMPTY_STAT регистра REG_SPDIF_STAT.

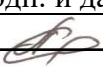
1.3.3.7.2.4 Ход работы аудиоконтроллера

После того как все компоненты аудиоконтроллера включены – происходит цикличная работа контроллера. AUDPIO_DMA считывает данные из текущей страницы в памяти и передает их в буфер звукового контроллера. Буферы звукового контроллера заполняется до определенной границы, после чего AUDIO_DMA ожидает момент, когда из буфера звукового контроллера будут прочитаны очередные данные, а затем снова дополняет его до границы. Таким образом, скорость чтения контроллером AUDIO_DMA данных из памяти в среднем будет такой же, как скорость вывода звуковых данных. Это означает что процессор гарантировано успеет подготовить новую страницу звуковых данных до того как текущая будет прочитана. Поэтому нет необходимости сбрасывать бит разрешения переключения страниц chX_rd_sw_ena, необходимо лишь назначать AUDIO_DMA базовые адреса новой страницы. Следить за ходом работы AUDIO_DMA можно читая статусную информацию из соответствующих регистров (AUD_DMA_BUF_STATUS) и получая прерывания. Существуют два вида прерывания – прерывание по прочтению из памяти текущей страницы и по записи в буфер звукового контроллера данных текущей страницы.

Звуковые контроллеры I2S, SPDIF в свою очередь последовательно выводят звуковые данные, преобразуя их в битовые потоки. Критерием нормального хода работы звуковых контроллеров служит отсутствие прерываний по пустоте буферов. То есть во время работы буферы звуковых контроллеров не должны опустошаться. К тому же у SPDIF контроллера есть прерывания по переполнению и нехватке данных в FIFO (overflow, underflow). Возникновение перечисленных выше прерываний не должно происходить во время передачи звуковых данных. Установка этих прерываний может свидетельствовать о некорректной настройке аудиоконтроллера, либо о проблемах на шине AXI.

1.3.3.7.2.5 Выключение аудиоконтроллера

После того как получено прерывание от канала AUDIO_DMA о том, что он прочитал предпоследнюю страницу данных в памяти и перешел на чтение последней, необходимо запретить для этого канала переключение страниц, установив соответствующий бит chX_rd_sw_ena в ноль. После того как канал AUDIO_DMA прочитает последнюю страницу, он выдаст соответствующее прерывание и перейдет в режим ожидания (поскольку ему запрещено переключать страницы). Теперь можно выключить канал контроллера

					ЮФКВ.431268.005РЭ			Лист
								387
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

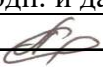
AUDIO_DMA, записав в бит chX_active ноль. Контроллер AUDIO_DMA считается выключенным, когда все его каналы остановлены.

Несмотря на то что AUDIO_DMA остановлен, звуковому контроллеру потребуется еще некоторое время на выдачу данных из его буфера(-ов).

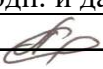
I2S контроллер после выдачи всех данных выработает прерывание о пустоте буферов FIFO, к тому же в поле CTW_X будет указано, что буфер содержит 0 аудиосэмплов. По этим событиям следует произвести выключение I2S контроллера путем записи '0' в бит EN регистра REG_I2S_CTRL1. Стоит учитывать, что после опустошения буфера в течение некоторого времени контроллер I2S будет выводить последний сэмпл, таким образом, выключать контроллер I2S стоит с некоторой задержкой после опустошения FIFO. После выдачи последнего сэмпла и до выключения контроллера на интерфейс I2S будут подаваться нулевые сэмплы.

SPDIF контроллер после выдачи всех данных из буфера вначале сформирует прерывание по пустоте его FIFO, а затем прерывание underflow (чтение из пустого FIFO). По этому событию он автоматически выключится, установив бит SPDIF_START в ноль, и произведя программный сброс. В общем же случае контроллер SPDIF останавливается путем его программного сброса, то есть записью '1' в бит SPDIF_RESET регистра REG_SPDIF_CTRL. Таким образом, возникновение прерывания underflow считается нормальным при завершении работы контроллера SPDIF, возникновение этого прерывания во время работы – свидетельствует об ошибке.

При нормальном завершении работы аудиоконтроллер возвращается в исходное состояние: он готов к настройке на новый режим работы и включению. В тоже время настоятельно рекомендуется произвести программный сброс аудиоконтроллера до возобновления работы с ним.

					ЮФКВ.431268.005РЭ			Лист
								388
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Внимание! Стоит проявлять осторожность при работе с прерываниями звуковых контроллеров I2S и SPDIF и по возможности отказаться от нее в пользу работы со статусом. Как уже отмечалось, звуковые контроллеры работают только с одиночными транзакциями на шине AXI, причем порядок записываемых в звуковой контроллер данных должен соответствовать порядку адресов, по которым к нему обращаются. Работа с прерываниями требует сброса битов прерываний в соответствующих регистрах звуковых контроллеров. Это в свою очередь означает, что процессор должен записывать в регистры звуковых контроллеров некоторые значения. В тоже время AUDIO_DMA обращается к звуковым контроллерам, записывая в них аудиосэмплы. Таким образом, два ведущих устройства обращаются к одному ведомому по каналу записи AXI интерфейса. Коммутационная среда в этом случае должна строго следить за разделением адресов и данных транзакций от разных мастеров. В тоже время такое ограничение можно обойти, если работать со статусом звуковых контроллеров – то есть постоянно опрашивать регистры состояния. В этом случае процессор будет обращаться к устройствам только на чтение, AUDIO_DMA – только на запись. Такая организация работы позволит избежать указанных выше ошибочных ситуаций.

					ЮФКВ.431268.005РЭ			Лист
								389
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.4 Подсистема условного доступа СБИС ДЦТС

1.3.4.1 Блок дешифрования данных по стандарту AES

Блок осуществляет дешифрование данных по алгоритму AES 128 слов длиной 128 бит, используя при этом 128-битный ключ.

Данный блок интегрируется в состав микросхемы через системный 32 разрядный интерфейс AMBA AXI 1.0 в режиме Slave, через этот интерфейс ведется как программирование регистров блока, так и запись данных для дешифрования и чтения результата.

Структурная схема блока дешифрации по алгоритму AES 128

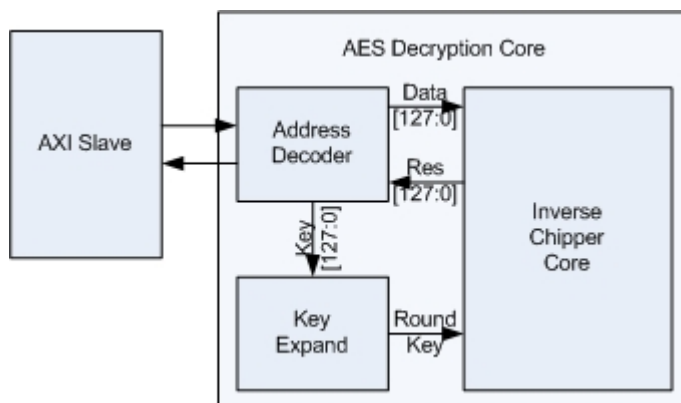


Рисунок 282 - Структурная схема блока дешифрации по алгоритму AES

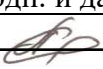
Каждый раунд алгоритма AES выполняется за один такт, таким образом на дешифрацию одного слова требуется 12 тактов. При смене ключа шифрования выполняется предварительная обработка ключа (12 тактов), таким образом дешифрование первого слова после смены ключа требует 24 тактов, а дешифрование всех последующих – 12 тактов.

По окончании дешифрации слова выдается прерывание и устанавливается в «1» 0-й бит регистра STATUS. Таким образом работа с блоком возможно как по прерыванию так и по опросу.

Карта регистров блока дешифрации по алгоритму AES 128 представлена в Таблица 276

Таблица 276 –Карта регистров блока дешифрации по алгоритму AES 128

Имя	размер	адрес	доступ	описание
key_in_0	32	0x00	R/W	Ключ, [31:0] разряды
key_in_1	32	0x04	R/W	Ключ, [63:32] разряды
key_in_2	32	0x08	R/W	Ключ, [95:64] разряды
key_in_3	32	0x0c	R/W	Ключ, [127:96] разряды
data_in_0	32	0x10	R/W	Входные данные, [31:0] разряды
data_in_1	32	0x14	R/W	Входные данные, [63:32] разряды
data_in_2	32	0x18	R/W	Входные данные, [95:64] разряды
data_in_3	32	0x1c	R/W	Входные данные, [127:96] разряды
mask_irq	32	0x20	R/W	Маска прерываний, используется только 0-й бит - при 1 - выдается прерывание по готовности результата, при 0 - только изменяется статус.

					ЮФКВ.431268.005РЭ			Лист
								390
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Продолжение Таблица 276

status	32	0x24	R/W	Статус - бит 0 - если 1, то готов результат
data_out_0	32	0x28	R/W	Результат, [31:0] разряды
data_out_1	32	0x2c	R/W	Результат, [63:32] разряды
data_out_2	32	0x30	R/W	Результат, [95:64] разряды
data_out_3	32	0x34	R/W	Результат, [127:96] разряды
endian	32	0x38	R/W	Индиантность - бит 0 - 0 - big endian, 1 - little endian. После сброса - big endian

По сигналу RESET состояние всех регистров сбрасывается в 0.

Рекомендации по написанию драйвера блока дашифрации по алгоритму AES

Заполнение регистра - старшие биты записываются по старшему адресу.

Например, значение ключа 0x0123456789ABCDEF0123456789ABCDEF будет записано в регистры KEY_IN_3, KEY_IN_2, KEY_IN_1, KEY_IN_0 следующим образом:

Регистр KEY_IN_3 KEY_IN_2

Таблица 277 – Значение ключа в регистрах KEY IN 3 и KEY IN 2

Адрес	0xF	0xE	0xD	0xC	0xB	0xA	0x9	0x8
Разряд	63:56	55:48	47:40	39:32	31:24	23:16	15:8	7:0
Значение	0x01	0x23	0x45	0x67	0x89	0xAB	0xCD	0xEF

Регистр KEY_IN_1 KEY_IN_0

Таблица 278 – Значение ключа в регистрах KEY IN 1 и KEY IN 0

Адрес	0x7	0x6	0x5	0x4	0x3	0x2	0x1	0x0
Разряд	63:56	55:48	47:40	39:32	31:24	23:16	15:8	7:0
Значение	0x01	0x23	0x45	0x67	0x89	0xAB	0xCD	0xEF

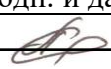
Обработка слова начинается, как только записан регистр DATA_IN_3.

1.3.4.2 Устройство дескремблирования CRYPTO

Блок выполняет дешифрацию и шифрацию потоков данных и отдельных слов по алгоритмам DES и 3DES.

- Темп обработки данных - 80 МБ/секунду.
- Для 3DES тип используемого алгоритма (EEE, EED, EDE и т.п.) является программируемым параметром.
- Блок осуществляет шифрование в двух режимах:

1. Потоковый. Предназначен для выполнения операций шифрования/дешифрования над крупными массивами данных. Пример: шифрование блока данных (фрагмента транспортного потока) перед его записью на HDD. Данные, подлежащие обработке, в DMA-режиме считываются блоком CRYPTO из памяти, шифруются или

					ЮФКВ.431268.005РЭ			Лист
								391
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

дешифруются, и результат работы в DMA-режиме записываются в память. Взаимодействие между процессором и блоком CRYPTO строится через программирование DMA-машин и DMA-прерывания.

2. Пословный. Предназначен для выполнения операций шифрования/дешифрования над одиночными словами. Пример: шифрование/дешифрование ключей для дескремблирования.

1.3.4.1.1 Внешние интерфейсы

1. Данные для потокового режима обработки поступают по AXI интерфейсу через буфер типа FIFO.
2. Результат обработки потоковых данных посылается по шине AXI.
3. Для программирования работы блока и работы в пословном режиме используется APB интерфейс.

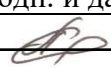
1.3.4.1.2 Внутреннее устройство

1.3.4.1.2.1 Карта регистров

После RESET содержимое всех регистров сбрасывается в 0

Таблица 279 - Карта регистров блока CRYPTO

Имя	Адрес	Доступ	Описание
arb_out_l	0x40	RO	регистр выходных данных шины APB для пословного режима работы (младшие 32 разряда [31:0])
arb_out_p	0x44	RO	регистр выходных данных шины APB для пословного режима работы (старшие 32 разряда [63:32])
arb_in_l	0x20	R/W	регистр входных данных шины APB для пословного режима работы (младшие 32 разряда [31:0])
arb_in_p	0x24	R/W	регистр входных данных шины APB для пословного режима работы (старшие 32 разряда [63:32])
conf_0	0x0	R/W	регистр конфигурации для потокового режима работы
conf_1	0x4	R/W	регистр конфигурации для пословного режима работы
key_00_l	0x8	R/W	регистр, содержащий ключ для первой ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
key_00_h	0xC	R/W	регистр, содержащий ключ для первой ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
key_01_l	0x10	R/W	регистр, содержащий ключ для второй ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
key_01_h	0x14	R/W	регистр, содержащий ключ для второй ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
key_02_l	0x18	R/W	регистр, содержащий ключ для третьей ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
key_02_h	0x1C	R/W	регистр, содержащий ключ для третьей ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
key_10_l	0x28	R/W	регистр, содержащий ключ для первой ступени алгоритма 3DES при пословном режиме работы (младшие 32 разряда [31:0])
key_10_h	0x2C	R/W	регистр, содержащий ключ для первой ступени алгоритма 3DES при пословном режиме работы (старшие 32 разряда [63:32])
key_11_l	0x30	R/W	регистр, содержащий ключ для второй ступени алгоритма 3DES при пословном режиме работы (младшие 32 разряда [31:0])
key_11_h	0x34	R/W	регистр, содержащий ключ для второй ступени алгоритма 3DES при пословном режиме работы (старшие 32 разряда [63:32])

					ЮФКВ.431268.005РЭ		Лист
							392
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1			

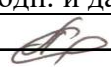
Продолжение Таблица 279

Имя	Адрес	Доступ	Описание
key_12_l	0x38	R/W	регистр, содержащий ключ для третьей ступени алгоритма 3DES при пословном режиме работы (младшие 32 разряда [31:0]))
key_12_h	0x3C	R/W	регистр, содержащий ключ для третьей ступени алгоритма 3DES при пословном режиме работы (старшие 32 разряда [63:32])
iv_0_l	0x50	R/W	регистр, содержащий вектор начальной инициализации при потоковом режиме (младшие 32 разряда [31:0]))
iv_0_h	0x58	R/W	регистр, содержащий вектор начальной инициализации при потоковом режиме (старшие 32 разряда [63:32])
iv_1_l	0x58	R/W	регистр, содержащий вектор начальной инициализации при пословном режиме (младшие 32 разряда [31:0]))
iv_1_h	0x5C	R/W	регистр, содержащий вектор начальной инициализации при пословном режиме (старшие 32 разряда [63:32])
dstrb	0x60	R/W	регистр, последние 8 бит которого указывают значимые байты входного слова, используется при работе с блоками, некратными 8 байтам, только в режиме CBC при пословном шифровании
status	0x48	RO	регистр статуса для потокового режима работы, после чтения содержание регистра status автоматически сбрасывается
status_wbw	0x4C	RO	регистр статуса для пословного режима работы, по завершении обработки слова 0 бит устанавливается в 1, после чтения содержание регистра status_wbw автоматически сбрасывается
irq_mask	0x64	R/W	регистр маски прерываний, если в соответствующем бите установлена 1, то соответствующее прерывание вырабатывается
endian	0x68	R/W	0 бит устанавливает порядок следования байтов - little endian (1) или big endian (0)

Регистры входного AXI интерфейса

Таблица 280 – Регистры входного AXI интерфейса

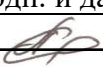
Имя	Адрес	Доступ	Описание
Axi_RC_AxiParamCR_o	0xC0	R/W	Конфигурационный регистр блока AXI_R_IF
Axi_RC_DataChConfigCR_o	0xBC	R/W	Конфигурационный регистр AXI канала
Axi_RC_DataChEnableCR	0xB8	R/W	Конфигурационный регистр блока AXI_R_IF
Axi_RC_AxiInIrqFlag	0xC4	RO	Регистр флагов прерываний
Axi_RC_AxiInIrqFlagMask	0xC8	R/W	Регистр масок флагов прерываний
Axi_RC_AxiInSlvErrAddr	0xCC	RO	Регистр адреса ошибочной транзакции
Axi_RC_AxiInStatus	0xB0	RO	Статусный регистр AXI_INPUT

					ЮФКВ.431268.005РЭ			Лист
								393
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Регистры DMA входного AXI интерфейса

Таблица 281 – Регистры DMA входного AXI интерфейса

Имя	Адрес	Доступ	Описание
Axi_RC_DMA_DESC_1	0x80	R/W	Начальный адрес дескриптора DMA
Axi_RC_DMA_DESC_2	0x84	R/W	Конечный адрес дескриптора DMA
Axi_RC_DMA_DESC_3	0x88	R/W	Параметры дескриптора DMA
Axi_RC_DMA_DESC_4	0x8C	R/W	Следующий для записи адрес в данном DMA дескрипторе
Axi_RC_DMA_CONF_1	0x90	R/W	Регистр масок прерываний (установить в "1" для выработки соответствующего прерывания), используются младшие 4 разряда
Axi_RC_DMA_STATUS	0xAC	RO	Регистр статуса
Axi_RC_DMA_STATUS_BUFEND_1	0x9C	RO	Статус прерывания о конце буфера для младших 32 каналов
Axi_RC_DMA_STATUS_BUFEND_2	0xA0	RO	Статус прерывания о конце буфера для старших 32 каналов
Axi_RC_DMA_STATUS_NONACT_1	0xA4	RO	Статус прерывания об обращении к неактивному дескриптору для младших 32 каналов
Axi_RC_DMA_STATUS_NONACT_2	0xA8	RO	Статус прерывания об обращении к неактивному дескриптору для старших 32 каналов
Axi_RC_DMA_STATUS_SEGEND_1	0x94	RO	Статус прерывания о конце сегмента для младших 32 каналов
Axi_RC_DMA_STATUS_SEGEND_2	0x98	RO	Статус прерывания о конце сегмента для старших 32 каналов

					ЮФКВ.431268.005РЭ			Лист
								394
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Регистры выходного AXI интерфейса

Таблица 282 – Регистры выходного AXI интерфейса.

Имя	Адрес	Доступ	Описание
Axi_WC_AxiAwlen	0x130	R/W	Максимальный размер пакетных AXI-транзакций

Регистры DMA выходного AXI интерфейса

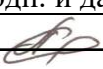
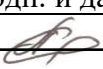
					ЮФКВ.431268.005РЭ			Лист
								395
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 283 – Регистры DMA выходного AXI интерфейса

Имя	Адрес	Доступ	Описание
Axi_WC_DMA_DESC_1	0x100	R/W	Начальный адрес дескриптора DMA
Axi_WC_DMA_DESC_2	0x104	R/W	Конечный адрес дескриптора DMA
Axi_WC_DMA_DESC_3	0x108	R/W	Параметры дескриптора DMA
Axi_WC_DMA_DESC_4	0x10C	R/W	Следующий для записи адрес в данном DMA дескрипторе
Axi_WC_DMA_CONF_1	0x110	R/W	Регистр масок прерываний (установить в "1" для выработки соответствующего прерывания), используются младшие 4 разряда
Axi_WC_DMA_STATUS	0x12C	RO	Регистр статуса
Axi_WC_DMA_STATUS_BUFEND_1	0x11C	RO	Статус прерывания о конце буфера для младших 32 каналов
Axi_WC_DMA_STATUS_BUFEND_2	0x120	RO	Статус прерывания о конце буфера для старших 32 каналов
Axi_WC_DMA_STATUS_NONACT_1	0x124	RO	Статус прерывания об обращении к неактивному дескриптору для младших 32 каналов
Axi_WC_DMA_STATUS_NONACT_2	0x128	RO	Статус прерывания об обращении к неактивному дескриптору для старших 32 каналов
Axi_WC_DMA_STATUS_SEGEND_1	0x114	RO	Статус прерывания о конце сегмента для младших 32 каналов
Axi_WC_DMA_STATUS_SEGEND_2	0x118	RO	Статус прерывания о конце сегмента для старших 32 каналов

					ЮФКВ.431268.005РЭ			Лист
								396
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Регистр STATUS

Таблица 284 – Регистр STATUS

Биты	Доступ	Описание
0	RO	Прерывание от входного AXI интерфейса
1	RO	Передача последнего адреса текущего буфера DMA входного AXI интерфейса
2	RO	Запрос адреса при неактивном дескрипторе DMA входного AXI интерфейса
3	RO	Обращение к запрещенному номеру канала DMA входного AXI интерфейса
4	RO	Передача последнего адреса сегмента DMA входного AXI интерфейса
5	RO	Прерывание от выходного AXI интерфейса
6	RO	Передача последнего адреса текущего буфера DMA выходного AXI интерфейса
7	RO	Запрос адреса при неактивном дескрипторе DMA выходного AXI интерфейса
8	RO	Обращение к запрещенному номеру канала DMA выходного AXI интерфейса
9	RO	Передача последнего адреса сегмента DMA выходного AXI интерфейса

Содержимое регистра STATUS сбрасывается при чтении

Регистр STATUS_WBW

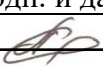
Таблица 285 – Регистр STATUS_WBW

Бит	Доступ	Описание
0	RO	Готовность слова в пословном режиме

Регистр масок прерываний IRQ_MASK

Таблица 286 – Регистр масок прерываний IRQ_MASK

Биты	Доступ	Описание
0	R/W	Маска прерывания по готовности результата в пословном режиме работы
1	R/W	Маска прерывания от входного AXI интерфейса

					ЮФКВ.431268.005РЭ			Лист
								397
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

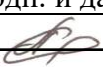
Продолжение Таблица 286

Биты	доступ	описание
2	R/W	Маска прерывания от DMA входного AXI интерфейса, передача последнего адреса текущего буфера
3	R/W	Маска прерывания от DMA входного AXI интерфейса, запрос адреса при неактивном дескрипторе
4	R/W	Маска прерывания от DMA входного AXI интерфейса, обращение к запрещенному номеру канала
5	R/W	Маска прерывания от DMA входного AXI интерфейса, передача последнего адреса сегмента
6	R/W	Маска прерывания от выходного AXI интерфейса
7	R/W	Маска прерывания от DMA выходного AXI интерфейса, передача последнего адреса текущего буфера
8	R/W	Маска прерывания от DMA выходного AXI интерфейса, запрос адреса при неактивном дескрипторе
9	R/W	Маска прерывания от DMA выходного AXI интерфейса, обращение к запрещенному номеру канала
10	R/W	Маска прерываний от DMA выходного AXI интерфейса, передача последнего адреса сегмента

Регистры конфигурации CONF_0 и CONF_1 (регистры идентичны)

Таблица 287 – Регистры конфигурации CONF_0 и CONF_1

биты	доступ	описание
0	R/W	Режим работы первой ступени алгоритма 3DES (1 - шифрация, 0 - дешифрация).
1	R/W	Режим работы второй ступени алгоритма 3DES (1 - шифрация, 0 - дешифрация)

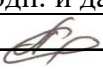
					ЮФКВ.431268.005РЭ			Лист
								398
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение Таблица 287

Биты	Доступ	Описание
2	RW	Режим работы третьей ступени алгоритма 3DES (1 - шифрация, 0 - дешифрация).
3	RW	1 - шифрация, 0 - дешифрация в режиме CBC; биты 2:0 при этом необходимо указывать как и в режиме ECB
4 - 28	RW	Поле зарезервировано.
29	RW	Режим работы с блоками не картными 8 байтам, только для CBC
30	RW	0 - ECB режим работы 1 - CBC режим работы
31	RW	0 - работа по алгоритму 3DES 1 - работа по алгоритму DES, при этом используется ключ первой ступени key_s0 или key_w0 и, для указания режима шифрации/дешифрации, 0-й бит регистра конфигурации

Структурная схема блока CRYPTO

- Шифрация и дешифрация по алгоритму 3DES в режиме ECB 8-байтовых слов, при этом возможны конфигурации EEE, EED, EDE, EDD, DEE, DED, DDE, DDD.
- Шифрация и дешифрация по алгоритму 3DES в режиме CBC 8-байтовых слов.
- Шифрация и дешифрация по алгоритму 3DES в режиме CBC слов меньших 8 байт.
- Шифрация и дешифрация по алгоритму DES в режиме ECB 8-байтовых слов.
- Шифрация и дешифрация по алгоритму DES в режиме CBC 8-байтовых слов.
- Шифрация и дешифрация по алгоритму DES в режиме CBC слов меньших 8 байт.

					ЮФКВ.431268.005РЭ			Лист
								399
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

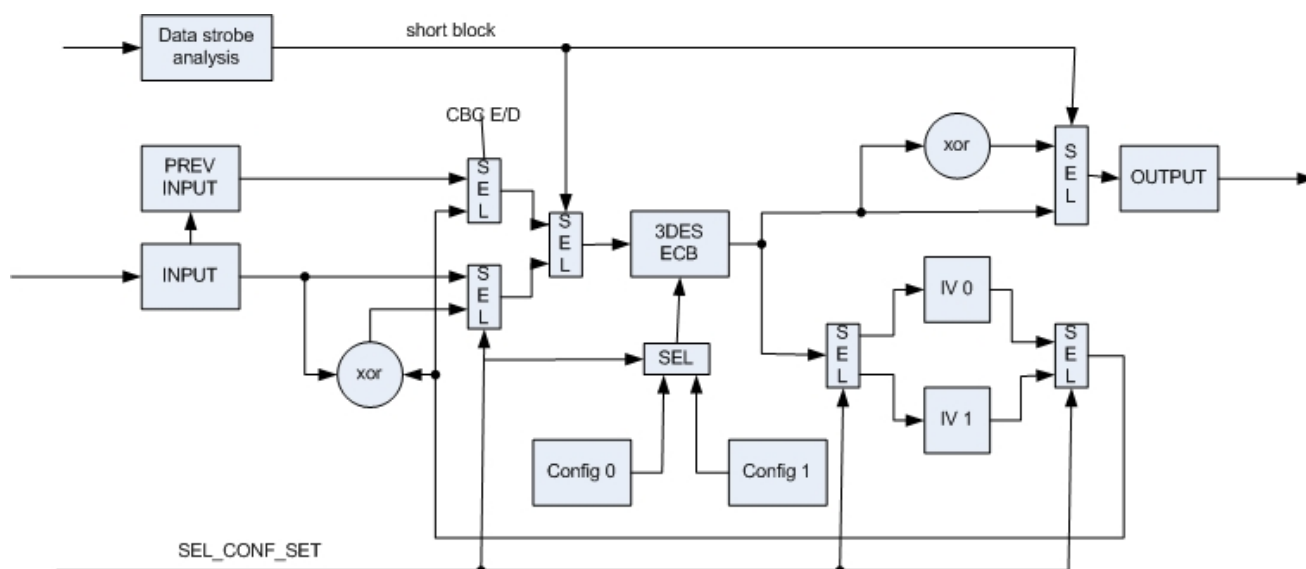


Рисунок 283 – Структурная схема блока CRYPTO

Пословный режим работы имеет приоритет над потоковым, т.е. при заполнении регистра APB_IN обработка его содержимого начнется как только будет закончена текущая операция, а обработка данных из буфера AXI приостанавливается.

Блок CRYPTO имеет входной и выходной интерфейсы шины AXI для потокового режима работы и интерфейс шины APB для программирования и пословного режима работы.

Реализация пословного режима работы

При пословном режиме работы входными данными для 3DES ядра являются 64-разрядные слова, записанные по шине APB в регистр APB_IN. После записи старшего полуслова ([63:32] разряды) выставляется флаг готовности слова для обработки APB_READY. И как только ядро оканчивает выполнять текущую операцию, не его вход подается содержимое регистра APB_IN.

При работе с блоками, некратными 8 байт, помимо входных данных необходимо указывать значимость байт - регистр APB_DSTRB (data strobe), значимыми в этом регистре являются только младшие 8 разрядов ([7:0]), каждый из которых определяет значимость соответствующего байта.

При пословном режиме работы используется конфигурационный набор 1, сигнал SEL_CONF_SET устанавливается в 1.

По завершении обработки слова в пословном режиме результат записывается в регистр APB_OUT, выдается прерывание и в 0-й разряд регистра STATUS записывается 1. Чтение регистра APB_OUT производится по шине APB.

Реализация потокового режима работы

При потоковом режиме работы входными данными для 3DES ядра являются данные входного AXI буфера. По сигналу READY - готовности ядра к приему нового слова, AXI буфер выдает новое слово для обработки и выставляет строб значимости, который рассматривается ядром как сигнал начала обработки START.

					ЮФКВ.431268.005РЭ					Лист
										400
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11			18212-1					

По окончании обработки слова в потоковом режиме, результата выдается на выходной AXI буфер, одновременно с результатом, подается сигнал значимости VALID.

При работе с блоками, некратными 8 байт, используются так же стробы значимости отдельных байт входных данных. При этом по окончании обработки неполного слова, соответствующие стробы значимости передаются выходному AXI буферу.

В случае, если входной AXI буфер пуст, выставляется сигнал READY_INPUT и запрос следующего слова потокового режима не выдается.

В случае, если выходной AXI буфер полон, выставляется сигнал FULL. По этому сигналу приостанавливается работа в потоковом режиме:

- завершается обработка текущего слова, результат записывается в регистр;
- не выдается сигнал READY;
- на работу в пословном режиме влияние не оказывается;

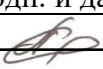
При потоковом режиме работы используется конфигурационный набор 0, сигнал SET_CONF_SET устанавливается в 0.

Взаимодействие пословного и потокового режимов работы

При совместном выполнении операций, как в пословном, так и в потоковом режиме работы, более приоритетными считаются данные пословного режима.

В случае, если во время работы в потоковом режиме приходит сигнал готовности данных пословного режима APB_READY, выполняются следующие действия:

- завершается обработка текущего слова;
- приостанавливается работа потокового режима (не выдается запрос следующего слова);
- производится обработка данных пословного режима;
- по завершении обработки данных пословного режима восстанавливается работа потокового режима (выдается запрос следующего слова).

					ЮФКВ.431268.005РЭ			Лист
								401
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Рекомендации по написанию драйвера блока CRYPTO

- Заполнение регистра - старшие биты записываются по старшему адресу. Например, значение 0x0123456789ABCDEF в регистр KEY_00 будет записано следующим образом:

Таблица 288 – Содержимое регистра KEY_00

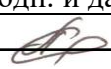
	0xF	0xE	0xD	0xC	0xB	0xA	0x9	0x8
Разряд	63:56	55:48	47:40	39:32	31:24	23:16	15:8	7:0
Значение	0x01	0x23	0x45	0x67	0x89	0xAB	0xCD	0xEF
1	• Обработка данных в пословном режиме начнется, как только будет записано старшее полуслово регистра данных APB_IN (адрес 0x09), поэтому предварительно должны быть записаны регистры ключей, конфигурации, вектор начальной инициализации и регистр значимости байт (если используются).							
2	• При дешифрации порядок следования ключей 3DES противоположный относительно шифрации, поэтому необходимо перезаписывать регистры ключей. При дешифрации нецелого блока в CBC режиме изменение порядка ключей производится автоматически и не требует перезаписи регистров.							
3	• При работе в CBC режиме дополнительно к конфигурации ступеней алгоритма 3DES (биты [2:0] регистра CONF_0(1)) необходимо указывать в общем идет процесс шифрации или дешифрации, для этого устанавливается бит [3] регистра CONF_0(1). Например, при шифрации данных по схеме EDE CONF_0(1)[3:0] = 4'b1101, а при последующей дешифрации CONF_0(1)[3:0] = 4'b0010 (по схеме DED).							
4	• При работе в ECB режиме не предусмотрена обработка нецелых блоков данных, поэтому информация о значимости байт игнорируется - все блоки считаются полными.							
5	• При работе в CBC режиме с обработкой неполных блоков необходимо дополнительно выставлять 1 в 29 бите регистра CONF_0(1). (Пример: шифрация 3DES в режиме CBC по схеме EDE с обработкой неполных блоков CONF_0(1)[31:0] = 4'b0x600D). В этом режиме обработка целого блока производится, как и в CBC режиме, а нецелый блок обрабатывается по алгоритму, описанному выше.							
	• Для работы по алгоритму DES старший ([31]) бит регистра CONF_0(1) выставляется в 1. В дальнейшем для определения шифрации/дешифрации используется только бит [0] регистра CONF_0(1), а биты [2:1] игнорируются. (Пример: шифрация DES в режиме CBC по схеме EDE с обработкой неполных блоков CONF_0(1)[31:0] = 0xE009).							

1.3.4.3 Контроллер интерфейса DVB-CI

Контроллер интерфейса DVB-CI (DVB Common Interface) является модификацией интерфейса PCMCIA и служит для управления внешним модулем условного доступа (CAM модулем) для цифрового телевидения стандарта DVB.

Основные характеристики контроллера интерфейса DVB-CI:

- Системный интерфейс AMBA AXI 3.0 (Slave);
- Прикладной интерфейс DVB-CI Host в соответствии со стандартом EN 50221;

					ЮФКВ.431268.005РЭ			Лист
								402
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

- Гибкая настройка временных параметров шины DVB-CI (как модификации шины PCMCIA, в соответствии со стандартом PC Card Standard, V.2 – Electrical Specification);
- Поддержка различных режимов доступа к CAM модулю (I/O Function, Attribute Memory Function, Common Memory Function);
- Полная поддержка протокола DVB-CI Host в соответствии со стандартом EN 50221 и его расширением TS 101 699;
- Поддержка маскируемых прерываний, как от CAM модуля, так и внутренних.

Внутренняя структура контроллера представлена на Рисунок 284

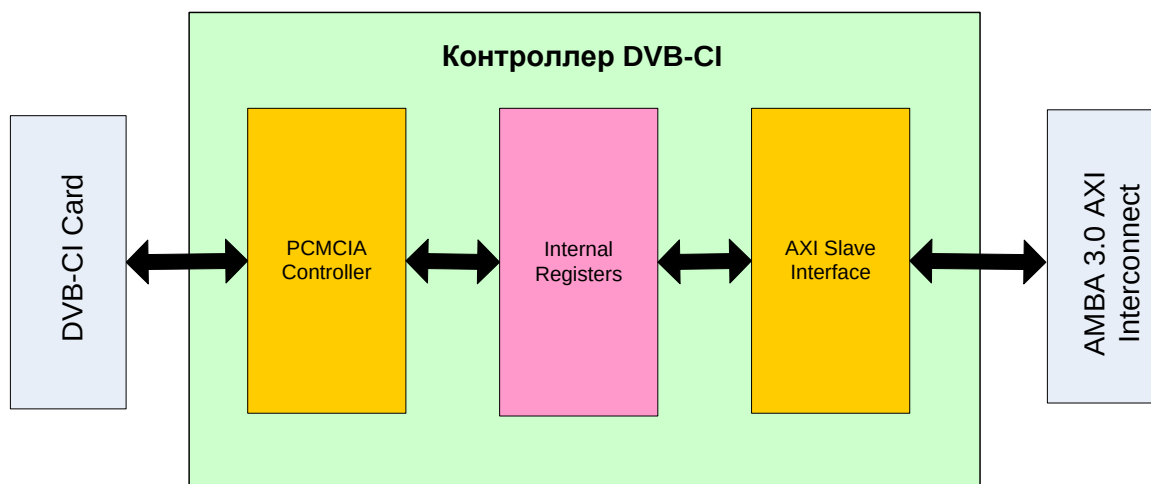


Рисунок 284 - Структура контроллера DVB-CI

Устройство состоит из следующих основных подсистем:

- Интерфейсный контроллер PCMCIA (PCMCIA Controller);
- Регистровая развязка для обмена данными с интерфейсным контроллером PCMCIA (Internal Registers);
- Переходник на шину AMBA 3.0 AXI в режиме Slave (AXI Slave Interface).

В

- Таблица 289 представлено описание регистров, задействованных в обмене данными между шиной AMBA 3.0 AXI и внутренней шиной контроллера PCMCIA.

					ЮФКВ.431268.005РЭ			Лист
								403
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

Таблица 289 - Регистровый интерфейс контроллера DVB-CI

Мнемоника	Адрес	Доступ	Бит	Значение после сброса	Описание
ADDR	0x00	RW	14:0	0	Адрес для обмена данными с контроллером PCMCIA
DATA	0x04	RW	15:0	0	Данные для обмена с контроллером PCMCIA
TR_PARAM	0x08	RW	3	0	Разрядность данных транзакции. '1' - обмен словами по 8 бит, '0' - обмен словами по 16 бит (используется только для записи внутренних регистров контроллера PCMCIA)
			2	0	Активность транзакции. Запись '1' - активизация транзакции обмена данными с контроллером PCMCIA, чтение '0' - транзакция завершена, нет активных транзакций
			1	0	Тип транзакции. '1' - доступ к внутренним регистрам контроллера PCMCIA, '0' - доступ к шине PCMCIA
			0	0	Направление транзакции. '1' - транзакция записи, '0' - транзакция чтения
IRQ_MASK	0x0C	RW	0	0	Маска прерывания по завершению транзакции. '1' - прерывание разрешено. В текущей реализации используется как младший бит адресной шины
SW_RESET	0x10	RW	0	0	Программные сброс устройства. Используется для сброса зависших транзакций

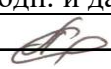
—
— Ниже на примерах представлен порядок работы с регистровым интерфейсом контроллера DVB-CI:

Запись данных в регистр контроллера PCMCIA:

В регистры ADDR и IRQ_MASK пишется адрес регистра контроллера PCMCIA (0x3E0, см. описание контроллера PCMCIA, а именно старшие 15 бит (0x1F0) в регистр ADDR, младший бит (0x0) в регистр IRQ_MASK). В регистр DATA пишутся данные для записи, причем в старшие 8 бит (15:8) пишется индекс регистра, а в младшие (7:0) - данные, которые необходимо записать в регистр (см. описание контроллера PCMCIA). В регистр TR_PARAM пишется значение 0x7 (обмен словами по 16 бит, активизация транзакции, доступ к внутренним регистрам контроллера PCMCIA, транзакция записи). Чтение признака завершения транзакции (бит 2 регистра TR_PARAM = '0').

Чтения данных из регистра контроллера PCMCIA:

В регистры ADDR и IRQ_MASK пишется адрес регистра контроллера PCMCIA (0x3E0 - регистр индекса, а именно старшие 15 бит (0x1F0) в регистр ADDR, младший бит (0x0) в регистр IRQ_MASK). В регистр DATA пишутся данные для записи - в старшие 8 бит (15:8) пишется индекс регистра контроллера PCMCIA, значение которого необходимо считать. В регистр TR_PARAM пишется значение 0xF (обмен словами по 8 бит, активизация транзакции, доступ к внутренним регистрам контроллера PCMCIA, транзакция записи). Чтение признака завершения транзакции (бит 2 регистра TR_PARAM = '0'). В регистры ADDR и IRQ_MASK пишется адрес регистра контроллера PCMCIA (0x3E1 - регистр данных, а именно старшие 15 бит (0x1F0) в регистр ADDR, младший бит (0x1) в регистр IRQ_MASK). В регистр

					ЮФКВ.431268.005РЭ			Лист
								404
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

TR_PARAM пишется значение 0x6 (обмен словами по 16 бит, активизация транзакции, доступ к внутренним регистрам контроллера PCMCIA, транзакция чтения). Чтение признака завершения транзакции (бит 2 регистра TR_PARAM = '0'). Чтение регистра DATA (старшие 8 бит - индекс регистра контроллера, младшие 8 бит - его значение (искомое)).

Запись данных по шине PCMCIA (контроллер должен работать в 16-битном режиме, окна в памяти настроены с учетом удвоения адресов):

В регистр ADDR пишется адрес для записи по шине PCMCIA. В регистр IRQ_MASK пишется значение 0x0. В регистр DATA пишутся данные для записи (значимы только младшие 8 бит). В регистр TR_PARAM пишется значение 0x5 (обмен словами по 8 бит, активизация транзакции, доступ к шине PCMCIA, транзакция записи). Чтение признака завершения транзакции (бит 2 регистра TR_PARAM = '0').

Чтение данных по шине PCMCIA (контроллер должен работать в 16-битном режиме, окна в памяти настроены с учетом удвоения адресов):

В регистр ADDR пишется адрес для чтения по шине PCMCIA. В регистр IRQ_MASK пишется значение 0x0. В регистр TR_PARAM пишется значение 0x4 (обмен словами по 8 бит, активизация транзакции, доступ к шине PCMCIA, транзакция чтения). Чтение признака завершения транзакции (бит 2 регистра TR_PARAM = '0'). Чтение регистра DATA: в старшем байте регистра DATA - данные по адресу ADDR, данные из младшего байта не используются.

Программный сброс контроллера PCMCIA:

В регистры ADDR и IRQ_MASK пишется адрес регистра контроллера PCMCIA (0x3E3, см. описание контроллера PCMCIA, а именно старшие 15 бит (0x1F1) в регистр ADDR, младший бит (0x1) в регистр IRQ_MASK). В регистр DATA пишутся данные для записи, в данном случае это 0x100. В регистр TR_PARAM пишется значение 0xF (обмен словами по 8 бит, активизация транзакции, доступ к внутренним регистрам контроллера PCMCIA, транзакция записи). Чтение признака завершения транзакции (бит 2 регистра TR_PARAM = '0').

—

— Описание контроллера PCMCIA

— Контроллер PCMCIA отвечает за обмен данными с модулем условного доступа (CAM модулем) по шине DVB-CI. Контроллер обладает собственным регистровым интерфейсом и набором внутренних управляющих регистров. Характеристики контроллера PCMCIA соответствуют требованиям стандарта PC CARD STANDARD (PCMCIA2.1/JEIDA4.2).

—

— Доступ к внутренним регистрам контроллера PCMCIA

Для обмена данными с регистрами контроллера предусмотрен промежуточный индексный интерфейс. Этот интерфейс представлен двумя регистрами (их адреса 0x3E0 - индексный регистр и 0x3E1 - регистр данных). Размер обоих регистров составляет 1 байт. В индексный регистр помещается адрес внутреннего регистра контроллера, а из регистра данных считывается (либо пишется в него) содержимое регистра. Порядок работы с внутренними регистрами был изложен выше («порядок работы с регистровым интерфейсом контроллера DVB-CI»).

Помимо двух регистров индексного интерфейса в том же адресном пространстве доступен регистр программного сброса: адрес 0x3E3, записать «1» в младший бит для сброса устройства, чтение «0» - сброс окончен.

—

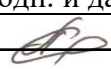
—

—

—

—

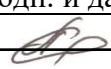
—

					ЮФКВ.431268.005РЭ			Лист
								405
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

-
- **Описание внутренних регистров контроллера PCMCIA**
- Список регистров контроллера PCMCIA представлен ниже.

Таблица 290 - Список регистров контроллера PCMCIA

Индекс регистра	Название регистра	R/W
01h	Статус интерфейса	R
02h	Управление питанием	R/W
03h	Общее управление и прерывание	R/W
04h	Изменение статуса карты	R/W
05h	Конфигурация статусных прерываний карты	R/W
06h	Приоритет адресных окон	R/W
08h	Старт, адресное окно 0, режим вв/выв, мл	R/W
09h	Старт, адресное окно 0, режим вв/выв, ст	R/W
0Ah	Стоп, адресное окно 0, режим вв/выв, мл	R/W
0Bh	Стоп, адресное окно 0, режим вв/выв, ст	R/W
0Ch	Старт, адресное окно 1, режим вв/выв, мл	R/W
0Dh	Старт, адресное окно 1, режим вв/выв, ст	R/W
0Eh	Стоп, адресное окно 1, режим вв/выв, мл	R/W
0Fh	Стоп, адресное окно 1, режим вв/выв, ст	R/W
10h	Старт, адресное окно 0, режим памяти	R/W
11h	Длина удержания команды, окно 0, режим памяти	R/W
12h	Стоп, адресное окно 0, режим памяти	R/W
13h	Длина установки команды, окно 0, режим памяти	R/W
14h	Смещение адреса, адресное окно 0, режим памяти	R/W
15h	Режим доступа, адресное окно 0, режим памяти	R/W
17h	Длина команды, адресное окно 0, режим памяти	R/W
18h	Старт, адресное окно 1, режим памяти	R/W
19h	Длина удержания команды, окно 1, режим памяти	R/W
1Ah	Стоп, адресное окно 1, режим памяти	R/W
1Bh	Длина установки команды, окно 1, режим памяти	R/W
1Ch	Смещение адреса, адресное окно 1, режим памяти	R/W
1Dh	Режим доступа, адресное окно 1, режим памяти	R/W
20h	Старт, адресное окно 2, режим памяти	R/W
21h	Длина удержания команды, окно 2, режим памяти	R/W
22h	Стоп, адресное окно 2, режим памяти	R/W
23h	Длина установки команды, окно 2, режим памяти	R/W
24h	Смещение адреса, адресное окно 2, режим памяти	R/W
25h	Режим доступа, адресное окно 2, режим памяти	R/W
26h	Длина команды, адресное окно 1, режим памяти	R/W
27h	Длина команды, адресное окно 2, режим памяти	R/W
28h	Старт, адресное окно 3, режим памяти	R/W
29h	Длина удержания команды, окно 3, режим памяти	R/W
2Ah	Стоп, адресное окно 3, режим памяти	R/W
2Bh	Длина установки команды, окно 3, режим памяти	R/W
2Ch	Смещение адреса, адресное окно 3, режим памяти	R/W
2Dh	Режим доступа, адресное окно 3, режим памяти	R/W
2Eh	Длина команды, адресное окно 3, режим памяти	R/W

					ЮФКВ.431268.005РЭ			Лист
								406
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение Таблица 290

Индекс регистра	Название регистра	R/W
30h	Старт, адресное окно 4, режим памяти	R/W
31h	Длина удержания команды, окно 4, режим памяти	R/W
32h	Стоп, адресное окно 4, режим памяти	R/W
33h	Длина установки команды, окно 4, режим памяти	R/W
34h	Смещение адреса, адресное окно 4, режим памяти	R/W
35h	Режим доступа, адресное окно 4, режим памяти	R/W
36h	Смещение адреса, адресное окно 0, режим вв/выв, мл	R/W
37h	Смещение адреса, адресное окно 0, режим вв/выв, ст	R/W
38h	Смещение адреса, адресное окно 1, режим вв/выв, мл	R/W
39h	Смещение адреса, адресное окно 1, режим вв/выв, ст	R/W
3Ch	Длина команды, адресное окно 4, режим памяти	R/W
3Dh	Длина установки команды, окна 0 и 1, режим вв/выв	R/W
3Eh	Длина команды, адресное окно 0, режим вв/выв	R/W
3Fh	Длина команды, адресное окно 1, режим вв/выв	R/W

– **Регистр: Статус интерфейса, индекс 01h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7	-	-
6	CPAST	Питание карты активно Считываются данные об источнике питания карты: “0”- питание выключено “1”- питание включено
5	RDBSY	Готова/Занята Карта памяти: “0”- занята, “1”- готова Карта ввода/вывода: возвращается состояние сигнала IREQ
4	-	-
3:2	CD[2:1]	Определение присутствия карты в разъеме Считываются инвертированные значения CD1 и CD2
1:0	-	-

Рисунок 285 - Регистр: Статус интерфейса, индекс 01h

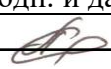
– **Регистр: Статус интерфейса, индекс 02h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7	OUTEN	Активация выходного интерфейса: “0” - интерфейс деактивирован, “1”- активен.
6	-	-
5	ATPWR	Активация питания карты: “0” - питание выключено, “1” - включено.
4:0	-	-

Рисунок 286 - Регистр: Статус интерфейса, индекс 02h

– Для активации интерфейса с картой рекомендуется прописать в данный регистр значение FFh.

					ЮФКВ.431268.005РЭ			Лист
								407
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

– **Регистр: Общее управление и прерывание, индекс 03h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7	-	-
6	CRESET	Сброс карты (управление внешним сигналом RESET) “0” - RESET=1 сброс активен, “1” - RESET=0 сброс неактивен.
5	CTYPE	Тип карты. “0” - карта памяти, “1” - карта ввода/вывода.
4:1	-	-
0	IREQL	Карта памяти: - . Карта ввода-вывода: “0” - прерывание IREQ замаскировано, “1” - прерывание активно.

Рисунок 287 - Регистр: Общее управление и прерывание, индекс 03h

– **Регистр: Изменение статуса карты, индекс 04h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:4	-	-
3	CDCHG	Изменение сигналов CD1/2: “0” - CD1/2 не менялись, “1” - произошло изменение CD1/2.
2	RDYCHG	Изменение сигнала RDY: “0” - RDY не менялся, “1” - произошло изменение RDY.
1:0	-	-

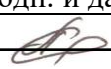
Рисунок 288 - Регистр: Изменение статуса карты, индекс 04h

– **Регистр: Конфигурация статусных прерываний карты, индекс 05h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:4	-	-
3	CDCHG	Маска прерывания по изменению сигналов CD1/2: “0” - маскировано, “1” - разрешено.
2	RDYCHG	Маска прерывания по изменению сигнала RDY: “0” - маскировано, “1” - разрешено. В режиме работы карты ввода/вывода игнорируется.
1:0	-	-

Рисунок 289 - Регистр: Конфигурация статусных прерываний карты, индекс 05h

					ЮФКВ.431268.005РЭ			Лист
								408
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Регистр: Приоритет адресных окон, индекс 05h

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7	IOW1EN	Включение адресного окна 1, режим ввода/вывода: “0” - выключено (доступ не возможен) “1” - включено (доступ возможен)
6	IOW0EN	Включение адресного окна 0, режим ввода/вывода: “0” - выключено (доступ не возможен) “1” - включено (доступ возможен)
5	MCSDEC	Включение адресных окон, режим памяти: “0” – все окна выключены “1” – все окна включены
4	MEMW4EN	Включение адресного окна 4, режим памяти: “0” - выключено (доступ не возможен) “1” - включено (доступ возможен)
3	MEMW3EN	Включение адресного окна 3, режим памяти: “0” - выключено (доступ не возможен) “1” - включено (доступ возможен)
2	MEMW2EN	Включение адресного окна 2, режим памяти: “0” - выключено (доступ не возможен) “1” - включено (доступ возможен)
1	MEMW1EN	Включение адресного окна 1, режим памяти: “0” - выключено (доступ не возможен) “1” - включено (доступ возможен)
0	MEMW0EN	Включение адресного окна 0, режим памяти: “0” - выключено (доступ не возможен) “1” - включено (доступ возможен)

Рисунок 290 - Регистр: Приоритет адресных окон, индекс 05h

– **Регистр Старт, адресное окно 0, режим вв/выв, мл, индекс 08h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:0	IW0STR[7:0]	Стартовый адрес адресного окна 0, режим вв/выв (мл)

Рисунок 291 - Регистр Старт, адресное окно 0, режим вв/выв, мл, индекс 08h

– **Регистр Старт, адресное окно 0, режим вв/выв, ст, индекс 09h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
4:0	IW0STR[13:8]	Стартовый адрес адресного окна 0, режим вв/выв (ст)

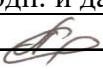
Рисунок 292 - Регистр Старт, адресное окно 0, режим вв/выв, ст, индекс 09h

– **Регистр Стоп, адресное окно 0, режим вв/выв, мл, индекс 0Ah**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:0	IW0STP[7:0]	Конечный адрес адресного окна 0, режим вв/выв (мл)

Рисунок 293 - Регистр Стоп, адресное окно 0, режим вв/выв, мл, индекс 0Ah

					ЮФКВ.431268.005РЭ			Лист
								409
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

– **Регистр Стоп, адресное окно 0, режим вв/выв, ст, индекс 0Bh**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
4:0	IW0STP[13:8]	Конечный адрес адресного окна 0, режим вв/выв (ст)

Рисунок 294 - Регистр Стоп, адресное окно 0, режим вв/выв, ст, индекс 0Bh

– **Регистр Старт, адресное окно 1, режим вв/выв, мл, индекс 0Ch**

–

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:0	IW1STR[7:0]	Стартовый адрес адресного окна 1, режим вв/выв (мл)

Рисунок 295 - Регистр Старт, адресное окно 1, режим вв/выв, мл, индекс 0Ch

– **Регистр Старт, адресное окно 1, режим вв/выв, ст, индекс 0Dh**

–

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
4:0	IW1STR[13:8]	Стартовый адрес адресного окна 1, режим вв/выв (ст)

Рисунок 296 - Регистр Старт, адресное окно 1, режим вв/выв, ст, индекс 0D

– **Регистр Стоп, адресное окно 1, режим вв/выв, мл, индекс 0Eh**

–

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:0	IW1STP[7:0]	Конечный адрес адресного окна 1, режим вв/выв (мл)

Рисунок 297 - Регистр Стоп, адресное окно 1, режим вв/выв, мл, индекс 0Eh

– **Регистр Стоп, адресное окно 1, режим вв/выв, ст, индекс 0Fh**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
4:0	IW1STP[13:8]	Конечный адрес адресного окна 1, режим вв/выв (ст)

Рисунок 298 - Регистр Стоп, адресное окно 1, режим вв/выв, ст, индекс 0F

– **Регистр Старт, адресное окно 0, режим памяти, индекс 10h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW0STR[13:12]	Стартовый адрес адресного окна 0, режим памяти

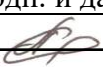
Рисунок 299 - Регистр Старт, адресное окно 0, режим памяти, индекс 10h

– **Регистр Длина удержания команды, окно 0, режим памяти, индекс 11h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
6:4	MW0HLD[2:0]	Длина удержания команды: “000” - 1 такт ... “111” - 8 тактов
3:0	-	-

Рисунок 300 - Регистр Длина удержания команды, окно 0, режим памяти, индекс 11h

					ЮФКВ.431268.005РЭ			Лист
								410
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

– **Регистр Стоп, адресное окно 0, режим памяти, индекс 12h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW0STP[13:12]	Конечный адрес адресного окна 0, режим памяти

Рисунок 301 - Регистр Стоп, адресное окно 0, режим памяти, индекс 12h

– **Регистр Длина установки команды, окно 0, режим памяти, индекс 13h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:4	MW0SET[3:0]	Длина установки команды: “0000” - 1 такт ... “1111” - 16 тактов
3:0	-	-

Рисунок 302 - Регистр Длина установки команды, окно 0, режим памяти, индекс 13h

– **Регистр Смещение адреса, адресное окно 0, режим памяти, индекс 14h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW0OFF[13:12]	Смещение адреса адресного окна 0, режим памяти

Рисунок 303 - Регистр Смещение адреса, адресное окно 0, режим памяти, индекс 14h

– **Регистр Режим доступа, адресное окно 0, режим памяти, индекс 15h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7	MW0WP	Защита от записи: “0” - запись возможна, “1” - запись запрещена.
6	MW0REG	Доступ к регистрам-атрибутам карты (сигнал REG): “0” – доступ к памяти, “1” – доступ к регистрам-атрибутам.
5:0	-	-

Рисунок 304 – Регистр Режим доступа, адресное окно 0, режим памяти, индекс 15h

– **Регистр Длина команды, адресное окно 0, режим памяти, индекс 17h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
4:0	MW0WID[4:0]	Длина команды: От “00000” до “00011” - 4 такта ... “11111” - 32 такта

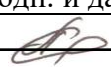
Рисунок 305 – Регистр Длина команды, адресное окно 0, режим памяти, индекс 17h

– **Регистр Старт, адресное окно 1, режим памяти, индекс 18h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW1STR[13:12]	Стартовый адрес адресного окна 1, режим памяти

Рисунок 306 – Регистр Старт, адресное окно 1, режим памяти, индекс 18h

					ЮФКВ.431268.005РЭ			Лист
								411
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

– **Регистр Длина удержания команды, окно 1, режим памяти, индекс 19h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
6:4	MW1HLD[2:0]	Длина удержания команды: “000” - 1 такт ... “111” - 8 тактов
3:0	-	-

Рисунок 307 – Регистр Длина удержания команды, окно 1, режим памяти, индекс 19h

– **Регистр Стоп, адресное окно 1, режим памяти, индекс 1Ah**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW1STP[13:12]	Конечный адрес адресного окна 1, режим памяти

Рисунок 308 – Регистр Стоп, адресное окно 1, режим памяти, индекс 1Ah

– **Регистр Длина установки команды, окно 1, режим памяти, индекс 1Bh**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:4	MW1SET[3:0]	Длина установки команды: “0000” - 1 такт ... “1111” - 16 тактов
3:0	-	-

Рисунок 309 – Регистр Длина установки команды, окно 1, режим памяти, индекс 1Bh

– **Регистр Смещение адреса, адресное окно 1, режим памяти, индекс 1Ch**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW1OFF[13:12]	Смещение адреса адресного окна 1, режим памяти

Рисунок 310 – Регистр Смещение адреса, адресное окно 1, режим памяти, индекс 1Ch

– **Регистр Режим доступа, адресное окно 1, режим памяти, индекс 1Dh**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7	MW1WP	Защита от записи: “0” - запись возможна, “1” - запись запрещена.
6	MW1REG	Доступ к регистрам-атрибутам карты (сигнал REG): “0” – доступ к памяти, “1” – доступ к регистрам-атрибутам.
5:0	-	-

Рисунок 311 – Регистр Режим доступа, адресное окно 1, режим памяти, индекс 1Dh

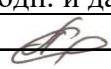
– **Регистр Старт, адресное окно 2, режим памяти, индекс 20h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW2STR[13:12]	Стартовый адрес адресного окна 2, режим памяти

Рисунок 312 – Регистр Старт, адресное окно 2, режим памяти, индекс 20h

– **Регистр Длина удержания команды, окно 2, режим памяти, индекс 21h**

					ЮФКВ.431268.005РЭ			Лист
								412
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
6:4	MW2HLD[2:0]	Длина удержания команды: “000” - 1 такт ... “111” - 8 тактов
3:0	-	-

Рисунок 313 – Регистр Длина удержания команды, окно 2, режим памяти, индекс21

– *Регистр Стоп, адресное окно 2, режим памяти, индекс 22h*

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW2STP[13:12]	Конечный адрес адресного окна 2, режим памяти

Рисунок 314 – Регистр Стоп, адресное окно 2, режим памяти, индекс 22h

– *Регистр Стоп, адресное окно 2, режим памяти, индекс 22h*

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:4	MW2SET[3:0]	Длина установки команды: “0000” - 1 такт ... “1111” - 16 тактов
3:0	-	-

Рисунок 315 – Регистр Стоп, адресное окно 2, режим памяти, индекс 22h

– *Регистр Смещение адреса, адресное окно 1, режим памяти, индекс 24h*

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW2OFF[13:12]	Смещение адреса адресного окна 2, режим памяти

Рисунок 316– Регистр Смещение адреса, адресное окно 1, режим памяти, индекс 24h

– *Регистр Режим доступа, адресное окно 2, режим памяти, индекс 25h*

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7	MW2WP	Защита от записи: “0” - запись возможна, “1” - запись запрещена.
6	MW2REG	Доступ к регистрам-атрибутам карты (сигнал REG): “0” – доступ к памяти, “1” – доступ к регистрам-атрибутам.
5:0	-	-

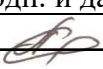
Рисунок 317 – Регистр Режим доступа, адресное окно 2, режим памяти, индекс 25h

– *Регистр Длина команды, адресное окно 1, режим памяти, индекс 26h*

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
4:0	MW1WID[4:0]	Длина команды: От “00000” до “00011” - 4 такта ... “11111” - 32 такта

Рисунок 318 – Регистр Длина команды, адресное окно 1, режим памяти, индекс 26h

					ЮФКВ.431268.005РЭ			Лист
								413
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Регистр Длина команды, адресное окно 2, режим памяти, индекс 27h

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
4:0	MW2WID[4:0]	Длина команды: От "00000" до "00011" - 4 такта ... "11111" - 32 такта

Рисунок 319 - Регистр Длина команды, адресное окно 2, режим памяти, индекс 27h**Регистр Старт, адресное окно 3, режим памяти, индекс 28h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW3STR[13:12]	Стартовый адрес адресного окна 3, режим памяти

Рисунок 320 – Регистр Старт, адресное окно 3, режим памяти, индекс 28h**Регистр Длина удержания команды, окно 3, режим памяти, индекс 29h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
6:4	MW3HLD[2:0]	Длина удержания команды: "000" - 1 такт ... "111" - 8 тактов
3:0	-	-

Рисунок 321 - Регистр Длина удержания команды, окно 3, режим памяти, индекс 29h**Регистр Стоп, адресное окно 3, режим памяти, индекс 2Ah**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW3STP[13:12]	Конечный адрес адресного окна 3, режим памяти

Рисунок 322 – Регистр Стоп, адресное окно 3, режим памяти, индекс 2Ah**Регистр Длина установки команды, окно 3, режим памяти, индекс 2Bh**

Значение по умолчанию: 0000_0000b

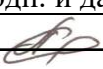
Нбит	Назв. битов	Функция
7:4	MW3SET[3:0]	Длина установки команды: "0000" - 1 такт ... "1111" - 16 тактов
3:0	-	-

Рисунок 323 – Регистр Длина установки команды, окно 3, режим памяти, индекс 2Bh**Регистр Смещение адреса, адресное окно 3, режим памяти, индекс 2Ch**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW3OFF[13:12]	Смещение адреса адресного окна 3, режим памяти

Рисунок 324 – Регистр Смещение адреса, адресное окно 3, режим памяти, индекс 2Ch

					ЮФКВ.431268.005РЭ			Лист
								414
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

– **Регистр Режим доступа, адресное окно 3, режим памяти, индекс 2Dh**

Значение по умолчанию: 0000_0000b=

Нбит	Назв. битов	Функция
7	MW3WP	Защита от записи: “0” - запись возможна, “1” - запись запрещена.
6	MW3REG	Доступ к регистрам-атрибутам карты (сигнал REG): “0” – доступ к памяти, “1” – доступ к регистрам-атрибутам.
5:0	-	-

Рисунок 325 – Регистр Режим доступа, адресное окно 3, режим памяти, индекс 2Dh

– **Регистр Длина команды, адресное окно 3, режим памяти, индекс 2Eh**

–

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
4:0	MW3WID[4:0]	Длина команды: От “00000” до “00011” - 4 такта ... “11111” - 32 такта

Рисунок 326 – Регистр Длина команды, адресное окно 3, режим памяти, индекс 2Eh

– **Регистр Старт, адресное окно 4, режим памяти, индекс 30h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW4STR[13:12]	Стартовый адрес адресного окна 4, режим памяти

Рисунок 327 - Регистр Старт, адресное окно 4, режим памяти, индекс 30h

– **Регистр Длина удержания команды, окно 4, режим памяти, индекс 31h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
6:4	MW4HLD[2:0]	Длина удержания команды: “000” - 1 такт ... “111” - 8 тактов
3:0	-	-

Рисунок 328 - Регистр Длина удержания команды, окно 4, режим памяти, индекс 31h

– **Регистр Стоп, адресное окно 4, режим памяти, индекс 32h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW4STP[13:12]	Конечный адрес адресного окна 4, режим памяти

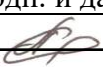
Рисунок 329 - Регистр Стоп, адресное окно 4, режим памяти, индекс 32h

– **Регистр Длина установки команды, окно 4, режим памяти, индекс 33h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:4	MW4SET[3:0]	Длина установки команды: “0000” - 1 такт ... “1111” - 16 тактов
3:0	-	-

Рисунок 330 - Регистр Длина установки команды, окно 4, режим памяти, индекс 33h

					ЮФКВ.431268.005РЭ			Лист
								415
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

– **Регистр Смещение адреса, адресное окно 4, режим памяти, индекс 34h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
1:0	MW4OFF[13:12]	Смещение адреса адресного окна 4, режим памяти

Рисунок 331 - Регистр Смещение адреса, адресное окно 4, режим памяти, индекс 34h

– **Регистр Режим доступа, адресное окно 4, режим памяти, индекс 35h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7	MW4WP	Защита от записи: “0” - запись возможна, “1” - запись запрещена.
6	MW4REG	Доступ к регистрам-атрибутам карты (сигнал REG): “0” – доступ к памяти, “1” – доступ к регистрам-атрибутам.
5:0	-	-

Рисунок 332 - Регистр Режим доступа, адресное окно 4, режим памяти, индекс 35h

– **Регистр Смещение адреса, адресное окно 0, режим вв/выв, мл, индекс 36h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:1	IW0OFF[7:1]	Смещение адреса адресного окна 0, режим вв/выв (мл)
0	-	-

Рисунок 333 - Регистр Смещение адреса, адресное окно 0, режим вв/выв, мл, индекс 36h

– **Регистр Смещение адреса, адресное окно 0, режим вв/выв, ст, индекс 37h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
4:0	IW0OFF[13:8]	Смещение адреса адресного окна 0, режим вв/выв (ст)

Рисунок 334 - Регистр Смещение адреса, адресное окно 0, режим вв/выв, мл, индекс 37h

– **Регистр Смещение адреса, адресное окно 1, режим вв/выв, мл, индекс 38h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:1	IW1OFF[7:1]	Смещение адреса адресного окна 1, режим вв/выв (мл)
0	-	-

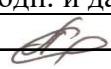
Рисунок 335 - Регистр Смещение адреса, адресное окно 1, режим вв/выв, мл, индекс 38h

– **Регистр Смещение адреса, адресное окно 1, режим вв/выв, ст, индекс 39h**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
4:0	IW1OFF[13:8]	Смещение адреса адресного окна 1, режим вв/выв (ст)

Рисунок 336 - Регистр Смещение адреса, адресное окно 1, режим вв/выв, мл, индекс 39h

					ЮФКВ.431268.005РЭ			Лист
								416
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

– **Регистр Длина команды, адресное окно 4, режим памяти, индекс 3Ch**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
4:0	MW4WID[4:0]	Длина команды: От “00000” до “00011” - 4 такта ... “11111” - 32 такта

Рисунок 337 - Регистр Длина команды, адресное окно 4, режим памяти, индекс 3Ch

– **Регистр Длина установки команды, окна 0 и 1, режим вв/выв, индекс 3Dh**

–

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:4	IW0SET[3:0]	Длина установки команды, окно 0: “0000” - 1 такт ... “1111” - 16 тактов
3:0	IW1SET[3:0]	Длина установки команды, окно 1: “0000” - 1 такт ... “1111” - 16 тактов

Рисунок 338 - Регистр Длина установки команды, окна 0 и 1, режим вв/выв, индекс 3Dh

– **Регистр Длина команды и ее удержания, окно 0, режим вв/выв, индекс 3Eh**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:3	IW0WID[4:0]	Длина команды: От “00000” до “00011” - 4 такта ... “11111” - 32 такта
2:0	IW0SET[2:0]	Длина удержания команды: “000” - 1 такт ... “111” - 8 тактов

Рисунок 339 - Регистр Длина команды и ее удержания, окно 0, режим вв/выв, индекс 3Eh

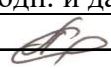
– **Регистр Длина команды и ее удержания, окно 1, режим вв/выв, индекс 3Eh**

Значение по умолчанию: 0000_0000b

Нбит	Назв. битов	Функция
7:3	IW1WID[4:0]	Длина команды: От “00000” до “00011” - 4 такта ... “11111” - 32 такта
2:0	IW1SET[2:0]	Длина удержания команды: “000” - 1 такт ... “111” - 8 тактов

Рисунок 340 - Регистр Длина команды и ее удержания, окно 1, режим вв/выв, индекс 3Eh

– Все неиспользуемые битовые поля регистров при работе с ними рекомендуется заполнять нулями.

					ЮФКВ.431268.005РЭ			Лист
								417
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

-
- **Приоритеты адресных окон**
- Если одни и те же адреса относятся одновременно к нескольким адресным окнам, действует следующая схема приоритетов адресных окон:
-

Приоритет	Окно
1(Высокий)	Окно памяти 0
2	Окно памяти 1
3	Окно памяти 2
4	Окно памяти 3
5	Окно памяти 4
6	Окно ввода/вывода 0
7(Низкий)	Окно ввода/вывода 1

Рисунок 341 - Приоритет адресных окон

Длина, установка и удержание команды

На рисунке ниже показано соответствие значений длины команды, ее установки и удержания временным параметрам транзакции по шине PCMCIA (DVB-CI):

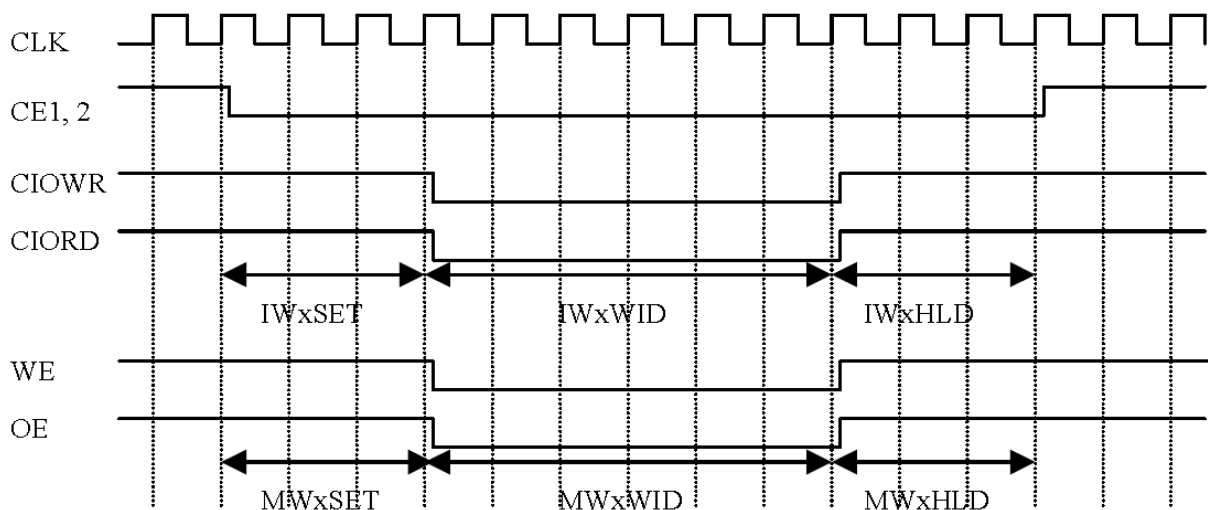


Рисунок 342 - Транзакция команды по шине PCMCIA

Параметр	Допустимые значения
IWxSET, MWxSET - длина установки команды	от 1 до 16 тактов
IWxSWID, MWxWID - длина команды	от 4 до 32 тактов
IWxHLD, MWxHLD - длина удержания команды	от 1 до 8 тактов

Рисунок 343 - Временные параметры команды при транзакции по шине PCMCIA

Контроллер DVBCI построен на основе универсального блока PCMCIA.

					ЮФКВ.431268.005РЭ			Лист
								418
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

1.3.5 Контроллер внешней динамической памяти DDR2

DDR2 DMC является стандартной внутренней шиной для построения системы на кристалле (SoC), периферийная часть которой поставляется, тестируется и лицензируется ARM.

Данное устройство является высокоэффективным, оптимизированным типом оперативной памяти, необходимым для организации удвоенной скорости передачи данных синхронной памяти с произвольным доступом, совместимым с AMBA AXI протоколом.

Вы можете изменять конфигурацию контроллера памяти, используя различные виды вариаций:

- AXI и память данных SDRAM;
- памяти SDRAM различных устройств;
- различное количество расширенных AXI адрессов;

Для большей информации о AMBA используйте литературу:

- AMBA AXI Protocol Specification []
- AMBA 3 APB Protocol Specification []

На Рисунок 344 представлена модель системы

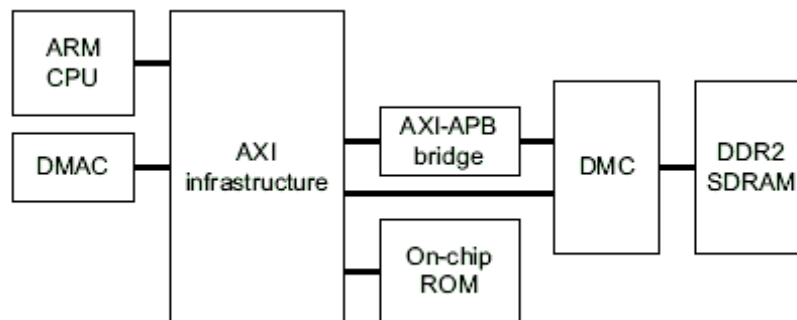
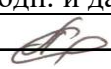


Рисунок 344 – Модель системы, содержащей DDR2 DMC контроллер

1.3.5.1 Особенности устройства

Блок контроллера памяти имеет следующие особенности:

- совместим с AMBA AXI для доступа к DDR2 SDRAM;
- совместим с AMBA APB для программируемых устройств;
- поддержка программного обеспечения доступного в Verilog
- синхронизация n:1 часов между AXI и APB
- синхронизация n:1 и 1:n операций между инфраструктурой шины AXI и шиной внешней памяти
- асинхронные операции между инфраструктурой шины AXI и шиной внешней памяти и подготовка к отключению питания, поддерживаемая в SDRAM
- Особенности пропускной способности при передаче данных с малой задержкой
- Оптимизированное использование шины внешней памяти
- Программируемая выборка ширины внешней памяти, см Supported memory widths
- Разнообразные транзакции
- Поддерживаемое чередование данных на запись

					ЮФКВ.431268.005РЭ			Лист
								419
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

- Средства аппаратного обеспечения, с помощью которых оптимизируется площадь в соответствии с производительностью
- поддержка ряда реконфигурируемых архитектур ARMv6, позволяющие расширить доступ к отдельным пересылкам.
- каждый контроллер может быть сконфигурирован так, что он может выбирать какую из 4-х памятей ему задействовать.

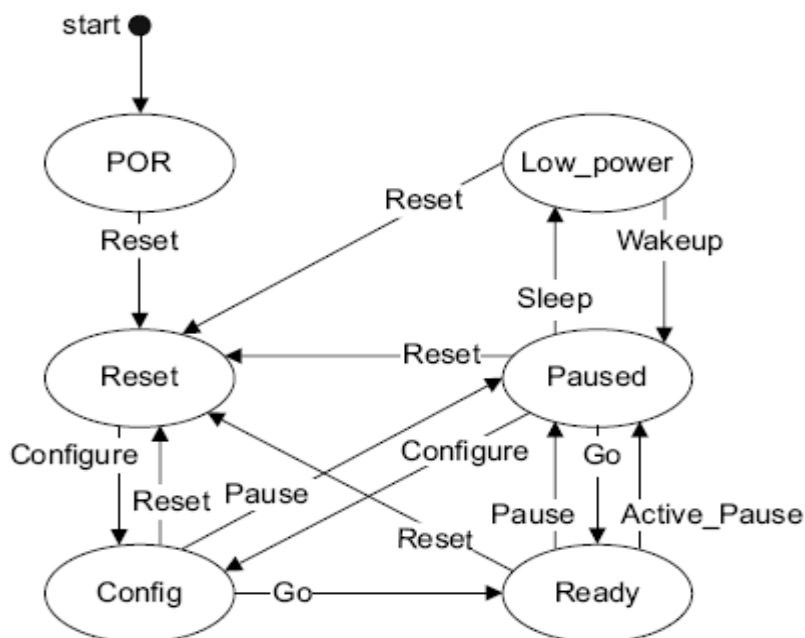


Рисунок 345 - Диаграмма состояний DDR2 DMC

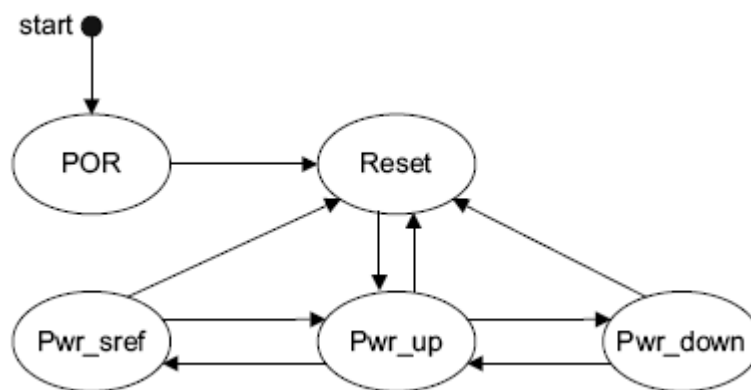
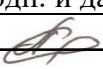


Рисунок 346 - Диаграмма состояний mclk DDR2 DMC

1.3.5.2 Настраиваемые временные параметры

Для конкретной микросхемы памяти SDRAM контроллер динамической памяти DMC позволяет настраивать следующие временные параметры: tMRD, tRCD, tRRD, tWR, tDQSS, tWTR, tRC, tRAS, tRP, tRFC, tESR, tXSR.

tMRD – время выполнения команды загрузки в регистр конфигурации Load Mode Register (MODREG). После команды MODREG в течении времени tMRD контроллеру DMC запрещено выдавать последующие команды, см. **Рисунок 347**

					ЮФКВ.431268.005РЭ			Лист
								420
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

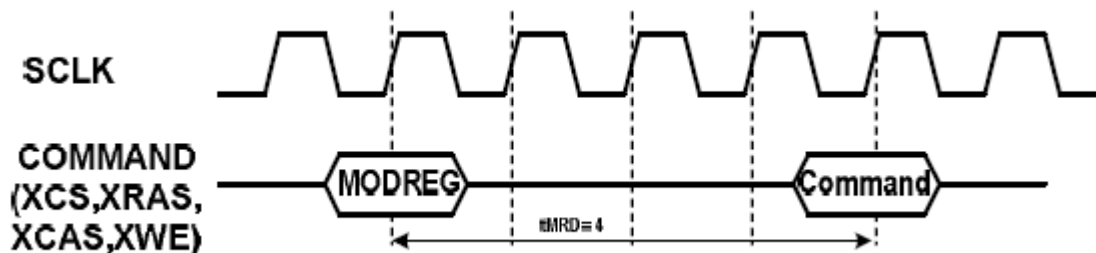


Рисунок 347 - Временная диаграмма, объясняющая параметр tMRD.

tRCD – время открытия строки командой ACTIVE (ACT). В течение этого времени запрещено выдавать команды чтения или записи в строку, для которой была выдана команда ACT, см. Рисунок 348.

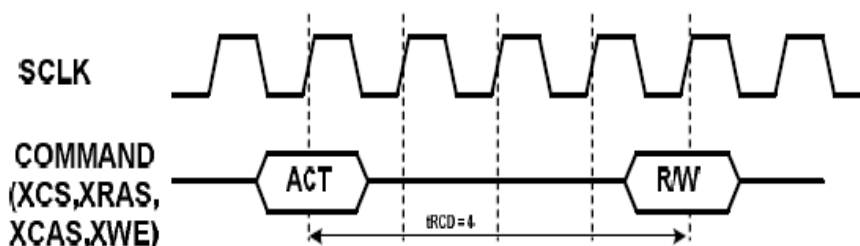


Рисунок 348 - Временная диаграмма, объясняющая параметр tRCD

tRRD- минимальный интервал, который должен быть выдержан между последовательно выданными командами ACTIVE(ACT) с различными банками, см. Рисунок 349.

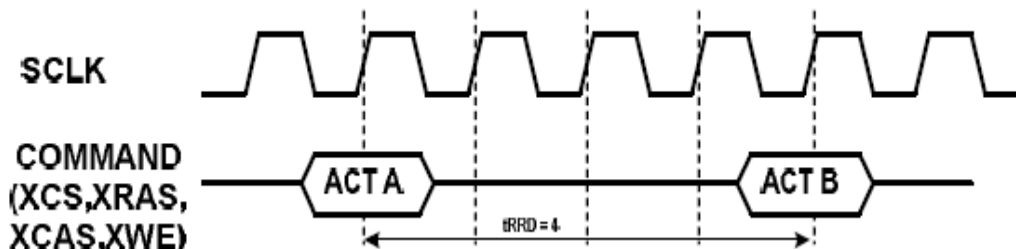
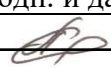


Рисунок 349 - Временная диаграмма, объясняющая параметр tRRD

tfaw- минимальный интервал, для окна между 4 командами АСК,когда при программировании используется Four Activate Window Timing Register, см. Рисунок 350.

					ЮФКВ.431268.005РЭ			Лист
								421
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

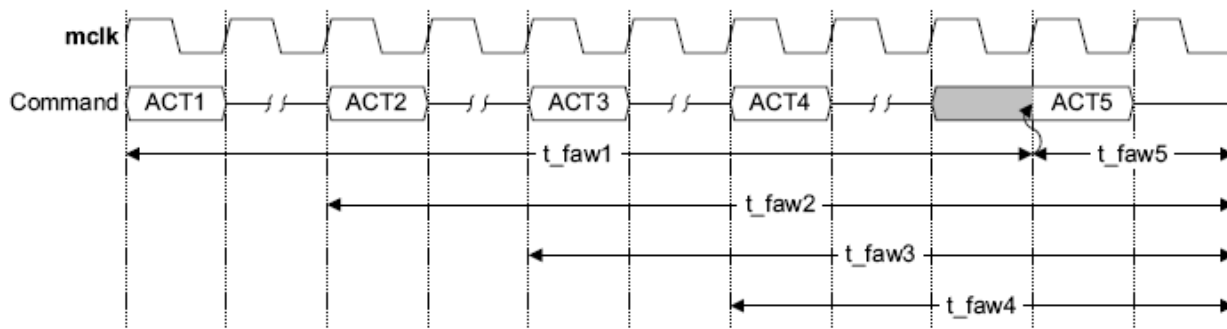


Рисунок 350 - Временная диаграмма, объясняющая параметр tFAW

tWR- минимальный интервал, между данными для записи и командой PRECHARGE. Программируя это значение, используйте Write to PRECHARGE Timing Register, см.Рисунок 351.

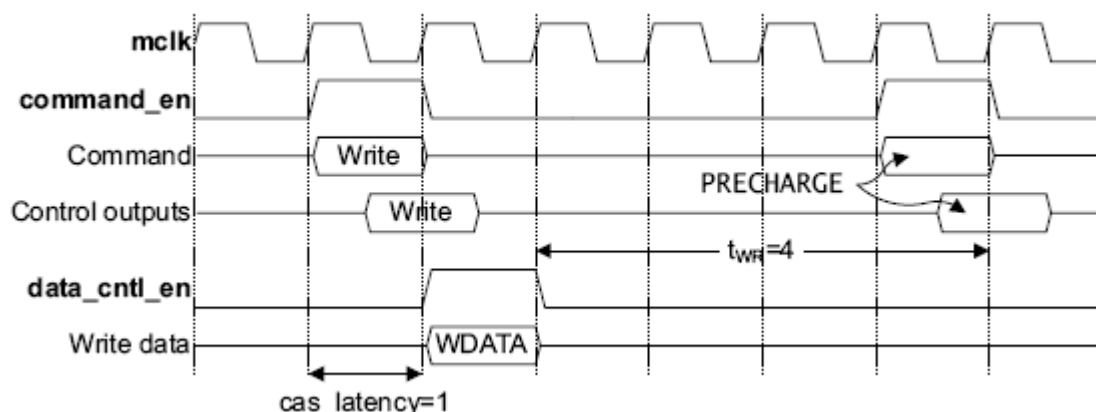


Рисунок 351 - Временная диаграмма, объясняющая параметр tWR

tWTR - минимальный интервал, между данными для записи и немедленно следующей командой Чтение. Программируйте это значение, используя Write to Read Timing Register

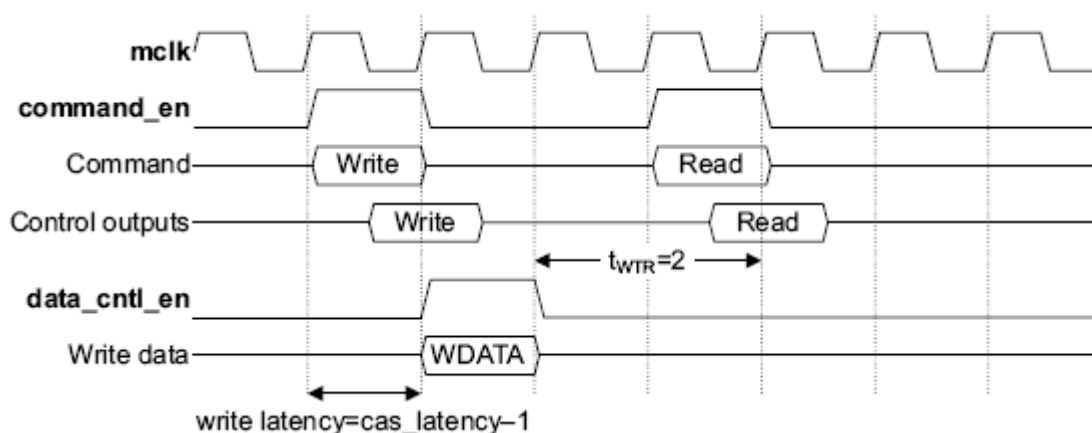


Рисунок 352 - Временная диаграмма, объясняющая параметр tWTR

tDQSS – интервал между командой записи и первыми данными для этой команды записи. tWTR – минимальный интервал, который должен быть выдержан между последовательными данными для записи и командой чтения. Интервал отсчитывается от первого положительного фронта сигнала SCLK после последних записанных данных, см. Рисунок 353.

					ЮФКВ.431268.005РЭ			Лист
								422
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		14.11.11		18212-1				

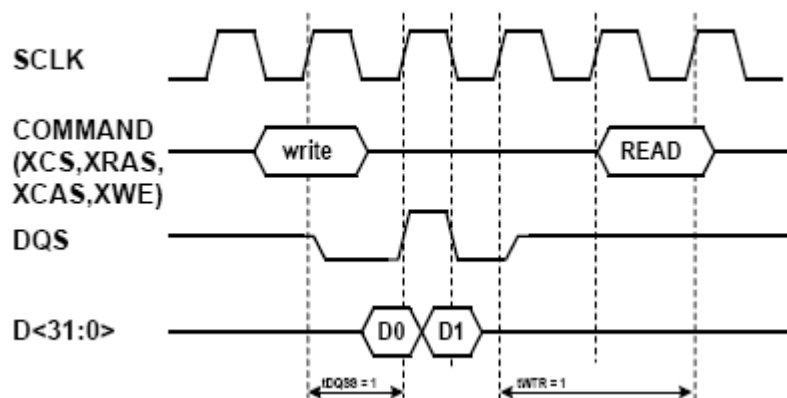


Рисунок 353 - Временная диаграмма, объясняющая параметры t_{DQSS} и t_{WTR}

t_{RC} – минимальный интервал между последовательными командами ACTICE (ACT) для одного и того же банка или между ACTICE (ACT) и AutoRefresh, см. Рисунок 354.

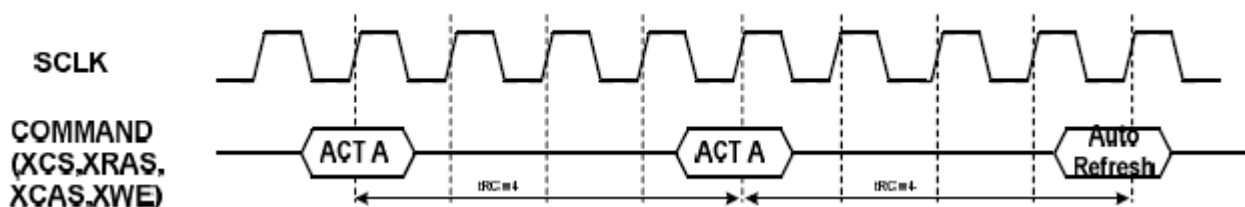


Рисунок 354 - Временная диаграмма, объясняющая параметр t_{RC}

t_{RAS} – минимальный интервал между командой ACTIVE (ACT) и командой Precharge. t_{RP} – время выполнения команды Precharge. В течение этого времени не выдается других команд. t_{RFC} – время выполнения команды AutoRefresh. В течение этого времени не выдается других команд, см Рисунок 355.

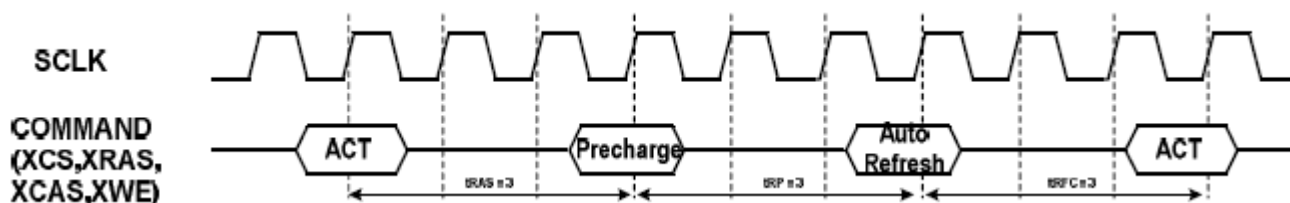
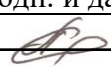


Рисунок 355 - Временная диаграмма, объясняющая параметры t_{RAS} , t_{RP} , t_{RFC}

t_{ESR} – минимальный интервал после команды SelfRefresh, после которого можно выдавать команду Exit SelfRefresh. t_{XSR} – минимальный интервал после команды ExitSelfRefresh, после которого можно выдавать какую-либо команду, (см.Рисунок 356)

					ЮФКВ.431268.005РЭ			Лист
								423
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

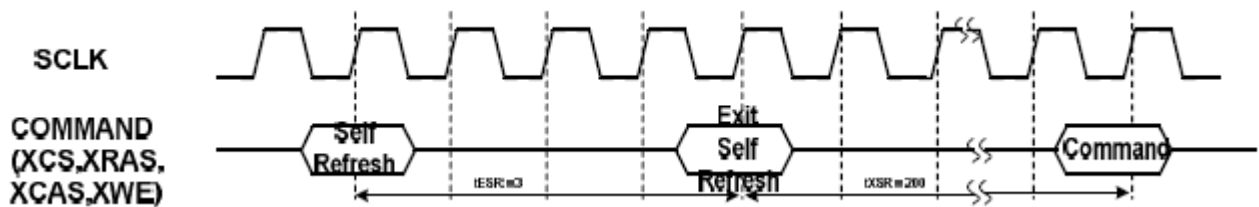


Рисунок 356 - Временная диаграмма, объясняющая параметры tESR, tXSR

tXP- минимальный интервал после команды до того как сработал счетчик power_dwn_prd ,когда истекла задержка команды или опустошилось FIFO чтения данных. Установлен ске, когда FIFO команд не пусто, см.Рисунок 357.

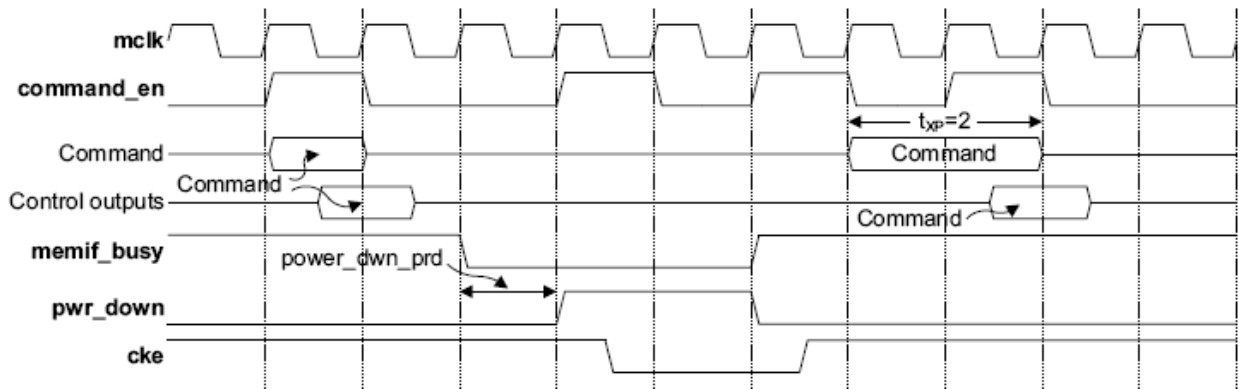


Рисунок 357 - Вход в отключение питания (Power down entry) и время выхода, tXP

1.3.5.3 Регистровая модель DDR2 DMC

Регистры DDR2 DMC приведены в **Ошибка! Источник ссылки не найден.**

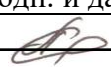
Таблица 291 - Регистры DDR2 DMC в порядке возрастания адресов

Адрес	Имя	Доступ	Значение при обнулении	Описание
0x000	memc_status	RO	-	Регистр статуса контроллера памяти
0x004	memc_cmd	WO	-	Регистр команд контроллера памяти
0x008	direct_cmd	WO	-	Регистр команды назначения
0x00C	memory_cfg	R/W	0x00010021	Регистр конфигурации памяти
0x010	refresh_prd	R/W	0x000001E7	Регистр периода регенерации
0x014	cas_latency	R/W	0x0000000A	Регистр задержки по CAS
0x018	write_latency	WO	0x00000004	Регистр задержки по записи
0x01C	t_mrd	R/W	0x00000002	Регистр задержки команды для MODEREG
0x020	t_ras	R/W	0x0000000E	Регистр задержки от ACTIVE до PRECHARGE
0x024	t_rc	R/W	0x00000012	Регистр задержки от ACTIVE до ACTIVE
0x028	t_rcd	R/W	0x00000205	Регистр задержки от ACTIVE до READ или WRITE
0x02C	t_rfc	R/W	0x00002023	Регистр задержки для авто-регенерации
0x030	t_rp	R/W	0x00000205	Регистр задержки для PRECHARGE

					ЮФКВ.431268.005РЭ			Лист
								424
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Продолжение таблицы Таблица 291

Адрес	Имя	Дос тип	Значение при обнулении	Описание
0x034	t_rrd	R/ W	0x00000004	Регистр задержки от ACTIVE до ACTIVE с различными задержками банков памяти
0x038	t_wr	R/ W	0x00000005	Регистр задержки от WRITE до PRECHARGE
0x03C	t_wtr	R/ W	0x00000004	Регистр задержки от WRITE до READ
0x040	t_xp	R/ W	0x00000002	Регистр задержки выхода в Power-down
0x044	t_xsr	R/ W	0x00000027	Регистр задержки выхода из ExitSelfRefresh
0x048	t_esr	R/ W	0x00000014	Регистр задержки входа вSelfRefresh
0x04C	memory_cfg 2	R/ W	-a	Регистр конфигурации памяти 1
0x050	memory_cfg 3	R/ W	0x00000007	Регистр конфигурации памяти 2
0x054	t_faw	R/ W	0x00001114	Регистр задержки активации 4 окон
0x058	update_type b	R/ W	0x00000000	Регистр модификации типа
0x05C	t_rddata_en b	R/ W	0x00000000	Регистр задержки чтения значимости данных
0x060	t_wrlat_dif b	R/ W	0x000000	Регистр задержки записи значимости данных
0x064-0x0FC	-	-	-	Зарезервировано, чтение запрещено, запись-0
0x100-0x13C	id<n>cfg	R/ W	0x00000000	QoS регистр конфигурации
0x140-0x1FC	-	-	-	Зарезервировано, чтение запрещено, запись-0
0x200 0x204 0x208 0x20C	Chip_cfg0 Chip_cfg1 Chip_cfg2 Chip_cfg3	R/ W	0x0000FF00	Регистры конфигурации микросхемы
0x210-0x2FC	-	-	-	Зарезервировано, чтение запрещено, запись-0
0x300	user_status	RO	0x00000000	Регистр статуса пользователя
0x304	user_config0	WO	0x00000000	Регистр конфигурации пользователя 0
0x308	user_config1	WO	0x00000000	Регистр конфигурации пользователя 1
0x30C	feature_ctrl	R/ W	0x00000000	Регистр управления характеристиками
0x310-0x4FC	-	-	-	Зарезервировано, чтение запрещено, запись-0
0x500	ecc_control d	R/ W	0x00000000	Регистр управления ECC
0x504	ecc_int_clr d	WO	0x00000000	Регистр обнуления прерываний ECC
0x508	ecc_status d	RO	0x00000000	Регистр статуса ECC
0x50C	ecc_info0 d	RO	0x00000000	Регистр информации ECC
0x510-0x5FC	-	-	-	Зарезервировано, чтение запрещено, запись-0
0xE00 0xE04 0xE08	int_cfg int_inputs int_outputs	См. программную модель тестовых регистров для большей информации об этих регистрах		
0xE0C-0xFDC	-	-	-	Зарезервировано, чтение запрещено, запись-0
0xFE0-0xFEC	periph_id_n	RO	0x00441341 e	Регистры идентификации периферии
0xFF0-0xFFC	Pcell_id_n	RO	0xB105F00D	Регистры идентификации PrimeCell

					ЮФКВ.431268.005РЭ			Лист
								425
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Примечание 1

- a. Зависит от конфигурации.
- b. Этот регистр присутствует только, если DDR2 DMC сконфигурирован, чтобы использовать DDR PHY Interface (DFI) , иначе чтения не определены, запись как
- c. Присутствие этого регистра зависит от числа chip selects, которые поддерживает сконфигурированный контроллер. Если контроллер не поддерживает этот регистр, тогда чтения не определены, запись как 0.
- d. Этот регистр присутствует только, если DDR2 DMC сконфигурирован, чтобы использовать ECC, иначе чтения не определены, запись как 0.
- e. Зависит от версии DDR2 DMC. См. Регистр идентификации периферии 2

Программная модель интеграционных тестовых регистров

Таблица 292 - Программная модель интеграционных тестовых регистров

Адрес	Имя	До сту п	Значение при обнулении	Описание
0xE00	int_cfg	R W	-	Интеграционный регистр конфигурации
0xE04	int_inputs	RO	-a	Интеграционный регистр входов
0xE08	int_outputs	W O	-	Интеграционный регистр выходов

Примечание2 а –зависит от состояния различных входных сигналов

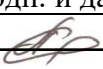
Предлагаемые размеры памяти

В каждом отдельном случае, ширина данных FIFO на запись равна ширине данных шины AXI. В то время, как глубина данных FIFO на чтение может быть больше размера шины AXI или реальной ширины памяти данных.

Таблица 293 содержит поддерживаемых комбинаций памяти и различных размеров шин AXI.

Таблица 293 – Список поддерживаемых комбинаций памяти и различных размеров шин AXI

Комбинации	Ширина памяти данных	Действ. ширина памяти данных	Ширина данных инт. AXI
a	16-bit	32-bit	32-bit
b	16-bit	32-bit	64-bit
c	32-bit	64-bit	32-bit
d	32-bit	64-bit	64-bit
e	32-bit	64-bit	128-bit
f	64-bit	128-bit	64-bit
g	64-bit	128-bit	128-bit

					ЮФКВ.431268.005РЭ			Лист
								426
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

А) Действующая ширина памяти данных равна размеру пересылки на полупериод, основополагаясь на интерфейс памяти.

Б) В добавок к выбору ширины памяти данных в отведенное время, возможно выбрать, использовать ли контроллер с конфигурируемой памятью размером вдвое меньшим ширины.

Контроллер может быть конфигурируем следующим образом:

- Статически, используя режим без связи
- программно, используя интерфейс APB

Ограничения на такие конфигурации:

Возможно использование $\frac{1}{2}$ от ширины памяти каждого контроллера PL341 с помощью программирования the memory_width при помощи интерфейса APB, но при условии:

- новый размер памяти не меньше, чем 16 бит
- действующий размер памяти не меньше, чем половина ширины интерфейса AXI

1.3.5.4 Определение интерфейса AXI

Данный интерфейс типа Slave имеет следующие основные характеристики:

Комбинированная принимающая способность

Максимальное число транзакций определяется способностями, предлагаемыми интерфейсом типа Slave. Это определяется тогда, когда Slave комбинирует транзакции хранения циклов записи и чтения, таким образом, что это обоюдно ограничивает принимающую способность на цикл чтения или запись.

Расслоенная глубина памяти для данных в цикле «Запись»

Это количество активных транзакций цикла «Запись», в котором Slave может получить данные. Считается от самой ранней транзакции.

Реорганизуемая глубина памяти данных в цикле «Чтение»

Количество активных транзакций на цикл «Чтение», в котором Slave может передавать данные. Считается от самой ранней транзакции.

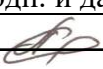
Особенности форматов DDR2 DMC рассматриваются в таблице 15.

Таблица 294 – Список особенностей форматов DDR2 DMC

Особенности	Значения
Комбинированная принимающая способность	Глубина арбитражной очереди
Расслоенная глубина памяти для данных в цикле «Запись»	Количество активных транзакций цикла «Запись»
Реорганизуемая глубина памяти данных в цикле «Чтение»	Количество активных транзакций на цикл «Чтение»

1.3.5.5 Функциональное описание

На Рисунок 358 показана структурная схема блока.

					ЮФКВ.431268.005РЭ			Лист
								427
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

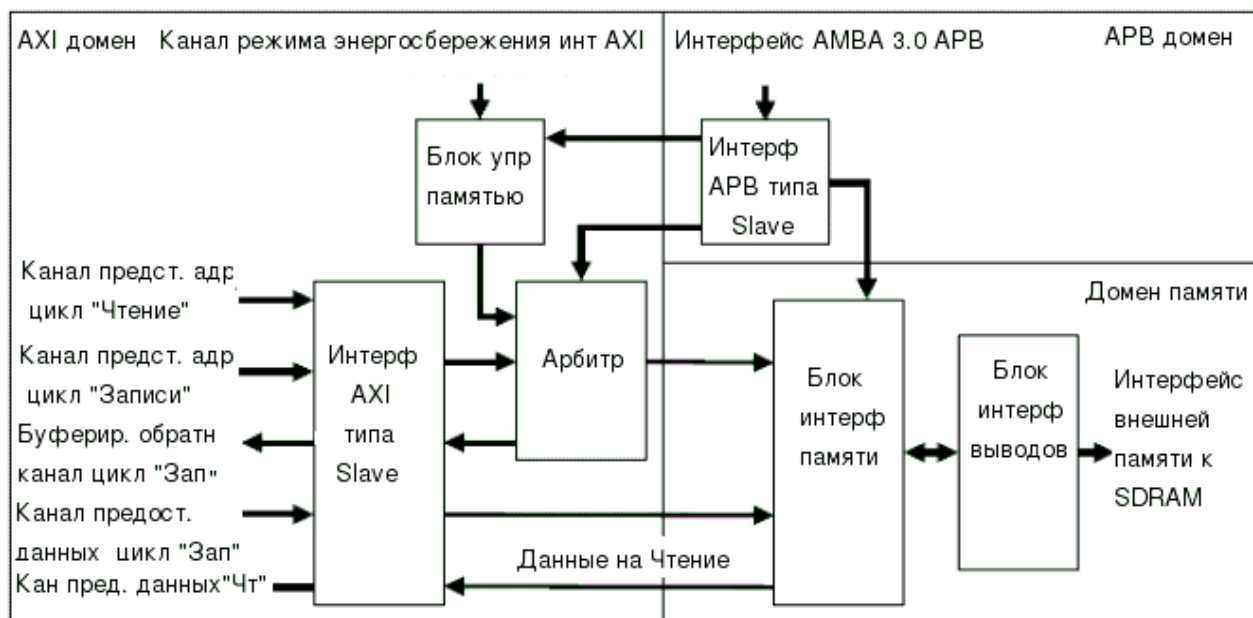


Рисунок 358 – Структурная схема блока DDR2 DMC

Основными блоками, входящие в структуру контроллера памяти, являются:

- Интерфейс AXI типа Slave, страница 5;
- Арбитр, страница 8;
- Блок управления памятью, страница 9;
- Интерфейс APB типа Slave, страница 11;
- Блок интерфейса памяти, страница 11;
- Блок интерфейса выводов, страница 13;

1.3.5.5.1 Интерфейс AXI типа Slave

Для получения подробной информации о интерфейсе AXI, смотрите документацию the AMBA AXI Protocol Specification [1]. Интерфейс AXI типа Slave включает следующие каналы:

Канал предоставления шины адресов шины AXI для цикла «Запись»

Способен передавать адреса и остальные данные управления, необходимые устройству, для выполнения цикла «Запись» при помощи шины AXI.

Канал предоставления шины данных шины AXI для цикла «Запись»

Способен передавать данные на запись и стробы подтвержденных байтов данных устройству.

Буферированный обратный канал шины AXI для цикла «Запись»

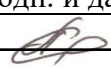
Способен передавать ответную информацию в цикле «Запись», взаимосвязанную с каналом предоставления шины данных шины AXI для цикла «Запись».

Канал предоставления шины адресов шины AXI для цикла «Чтение»

Способен передавать адреса и остальные данные управления, необходимые устройству, для выполнения цикла «Чтение» при помощи шины AXI.

Канал предоставления шины данных шины AXI для цикла «Чтение»

Способен передавать данные на запись и обратную информацию в цикле «Чтение».

					ЮФКВ.431268.005РЭ			Лист
								428
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Новые данные могут быть потеряны. Если сигнал **rready** определен как LOW и удерживается дольше времени обновления новых данных, то данные FIFO на чтение, команды FIFO и арбитражная очередь становится переполненной. В подобной ситуации может возникнуть OVL ошибки. Убедитесь, что устройство имеет достаточно высокую организацию системы приоритетов для предотвращения подобных ситуаций.

1.3.5.6 Описание регистров контроллера внешней динамической памяти DDR2

Регистр статуса контроллера памяти

Назначение: Обеспечивает информацией о конфигурации и текущем состоянии DDR2 DMC

Ограничения при использовании: Недоступен в состоянии RESET Power on RESET (POR)

Конфигурации: Доступен во всех конфигурациях

Атрибуты : См. таблицу **Регистры DDR2 DMC в порядке возрастания адресов**

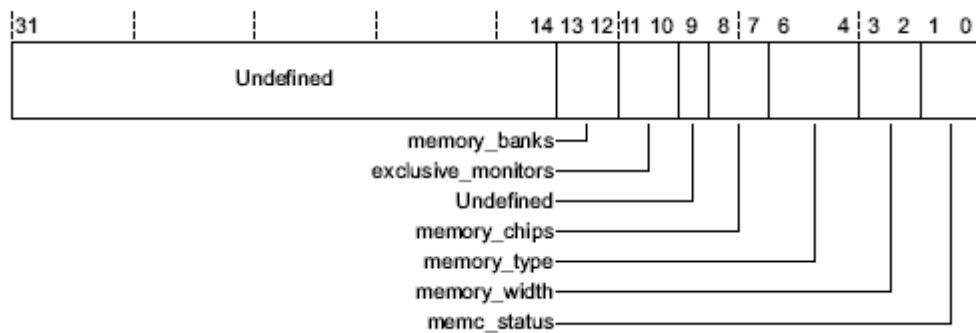


Рисунок 359 - Регистр статуса контроллера памяти

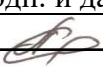
					ЮФКВ.431268.005РЭ				Лист
									429
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
18212-2			14.11.11		18212-1				

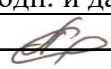
Таблица 295 - Назначение битов memc_status регистра

Биты	Название	Функция
[31:14]	-	Чтение не определено
[13:12]	memory_banks	Возвращает максимальное число банок на микросхему памяти: b00 = 4 banks b01 = 2 banks, не поддерживается b10 = 1 banks, не поддерживается b11 = 8 banks. Это поле сконфигурировано Memory Banks на микросхему опцией.
[11:10]	exclusive_monitors	Возвращает количество мониторов с искл. доступом, использ. в контроллере: b00 = 0 monitors b01 = 1 monitor b10 = 2 monitors b11 = 4 monitors. Это поле сконфигурировано Exclusive Monitors* опцией
[9]	-	не определено, считывается как 0
[8:7]	memory_chips	Возвращает количество разл. chip selects, которое сконфиг. контроллер поддерживает: b00 = 1 chip b01 = 2 chips b10 = 3 chips b11 = 4 chips. Это поле сконфигурировано Memory Chips* опцией

Биты	Название	Тип
[6:4]	memory_type	Возвращает тип SDRAM, который контроллер поддерживает b000-b100 = зарезервировано b101 = DDR2 SDRAM b110-b111 = зарезервировано
[3:2]	memory_width	Возвращает ширину шины данных, MEMWIDTH, между PHY и DDR2 SDRAM: b00 = 16-bit b01 = 32-bit b10 = 64-bit b11 = reserved. Это поле может быть сконфигурировано Memory Bus Width* опцией
[1:0]	memc_status	Возвращает статус контроллера памяти b00 = Config b01 = Ready b10 = Paused b11 = Low_power.

Регистр команд контроллера памяти Memc_cmd

Регистр memc_cmd доступен только для записи. Регистр управляет состоянием контроллера. Изменение данного регистра переводит контроллер в соответствующее состояние. Если новая команда поступает в то время как предыдущая команда еще не отработала (контроллер еще не перешел в нужное состояние), новая команда не воспринимается (pready=0) Формат регистра приведен на Рисунок 360

					ЮФКВ.431268.005РЭ			Лист
								430
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

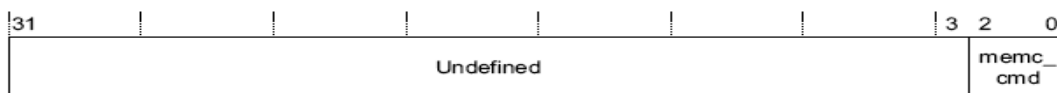


Рисунок 360 - Формат регистра memc_cmd

Поле **memc_cmd** (2-0 разряды) задает команду для перехода контроллера в соответствующее состояние. Возможны следующие значения:

- 0h - Go;
- 1h - Sleep;
- 2h - Wakeup;
- 3h - Pause;
- 4h - Configure;
- 7h - Active_Pause.

Разряды 31-3 при записи должны быть нулями.

Регистр прямых команд direct_cmd

Регистр **direct_cmd** доступен только для записи. Данный регистр позволяет записывать регистры конфигурации микросхем внешней памяти, а так же выдавать команды NOP, Precharge, Auto-refresh, таким образом, осуществляется необходимая инициализация микросхем памяти. Запись в данный регистр возможна только в режиме Config или в режиме LOW-power. Формат регистра приведен ниже, см. Рисунок 361.

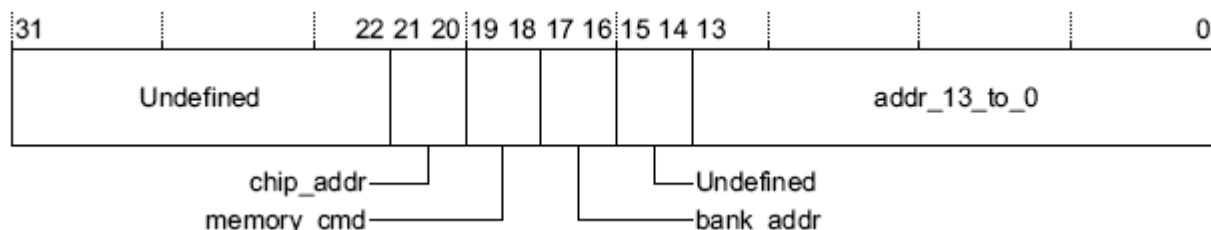
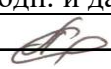


Рисунок 361 - Формат регистра direct_cmd

Таблица 296 - Назначение битов direct_cmd регистра

Bits	Name	Function
[31:22]	-	Undefined, write as zero.
[21:20]	chip_addr	Bits mapped to external memory chip selects, cs_n[MEMORY_CHIPS-1:0] or dfi_cs_n[MEMORY_CHIPS-1:0].
[19:18]	memory_cmd	Selects the command required: b00 = PRECHARGEALL b01 = AUTO REFRESH b10 = MODEREG or Extended MODEREG access b11 = NOP.
[17:16]	bank_addr	Bits mapped to external memory bank address bits, ba[1:0] or dfi_bank[1:0], when the controller issues a MODEREG command.
[15:14]	-	Undefined, write as zero.
[13:0]	addr_13_to_0	Bits mapped to external memory address bits, add[13:0] or dfi_address[13:0], when the controller issues a MODEREG command.

					ЮФКВ.431268.005РЭ			Лист 431
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Регистр конфигурации памяти memory_cfg

Регистр **memory_cfg** доступен для записи и чтения. Запись в данный регистр или чтение возможно только в режиме Config или в режиме Low-power. Формат регистра memory_cfg приведен ниже, см. **Рисунок 362**.

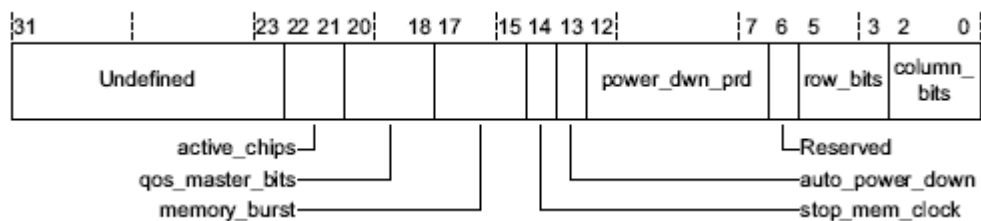


Рисунок 362 - Формат регистра memory_cfg

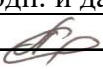
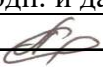
					ЮФКВ.431268.005РЭ			Лист
								432
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Таблица 297 - Назначение битов memory_cfg регистра

Bits	Name	Function
[31:23]	-	Read undefined, write as zero.
[22:21]	active_chips	Enables the DDR2 DMC to generate refresh commands for the following number of memory chips: b00 = 1 chip b01 = 2 chips b10 = 3 chips b11 = 4 chips. It is only possible to generate commands up to and including the number of chips in the configuration that the memc_status Register defines, see <i>Memory Controller Status Register</i> on page 3-10.
[20:18]	qos_master_bits	Controls which bits of the arid bus that the controller uses when it selects the QoS value for an AXI read transfer: b000 = arid[3:0] b001 = arid[4:1] b010 = arid[5:2] b011 = arid[6:3] b100 = arid[7:4] b101 = arid[8:5] b110 = arid[9:6] b111 = arid[10:7]. See <i>Quality of Service</i> on page 2-19 for more information.
[17:15]	memory_burst	Controls how many data accesses that the controller performs to a memory device, for each Read or Write command: b010 = burst of 4 b011 = burst of 8 others = reserved. The chosen burst value must also be programmed into the mode register of the DDR2 SDRAM using the direct_cmd Register. See <i>Direct Command Register</i> on page 3-14.
[14]	stop_mem_clock	This enables the controller to stop the clock to the SDRAMs after the memory devices enter self-refresh mode. When set to 1, if the DDR2 DMC implements a: Legacy pad interface It dynamically stops the clk_out[MEMORY_CHIPS-1:0] signals. DFI pad interface It sets dfi_dram_clk_disable[MEMORY_CHIPS-1:0] HIGH.
[13]	auto_power_down	When this is set, the memory interface automatically places the DDR2 SDRAMs into power-down state by deasserting cke, or dfi_cke, when the command FIFO has been empty for power_dwn_prd memory clock cycles.
[12:7]	power_dwn_prd	Number of memory clock cycles for auto power-down of the DDR2 SDRAMs. You must only change this field when either: • auto_power_down bit is 0 • DDR2 DMC is in the Low power state
[6]	-	Reserved. Ignored for writes, read as zero.

					ЮФКВ.431268.005РЭ			Лист
								433
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Bits	Name	Function
[5:3]	row_bits	Encodes the number of bits of the AXI address that comprise the row address: b000 = reserved b001 = reserved b010 = 13 bits b011 = 14 bits b100 = 15 bits b101 = 16 bits b110-b111 = reserved.
[2:0]	column_bits	Encodes the number of bits of the AXI address that comprise the column address: b000 = reserved. b001 = 9 bits. b010 = 10 bits. b011 = 11 bits. This means that A0-A9, and A11 are used for column address because A10 is a dedicated AP bit. b100-b111 = reserved.

Регистр периода регенерации Refresh_prd

Регистр refresh_prd доступен для записи и чтения, определяет период регенерации памяти SDRAM. Запись в данный регистр или чтение возможно только в режиме Config или Low-power. Формат регистра CAS_latency приведен ниже, см Рисунок 363.

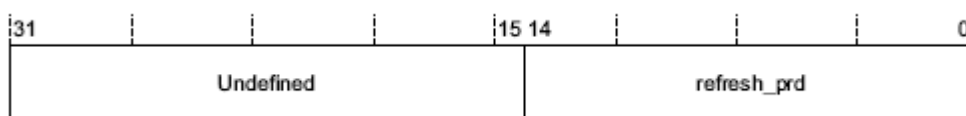


Рисунок 363 - Формат регистра refresh_prd

Поле refresh_prd (14-0 разряды) определяет период регенерации памяти SDRAM, выраженный в тактах синхросигнала SCLK. Поддерживаемые значения 63-32767.

Разряды 31-15 при записи должны быть нулями, при чтении они могут находиться в любом состоянии.

Регистр задержки CAS_latency

Регистр Cas_latency доступен для записи и чтения, содержит значения Cas Latency. Запись в данный регистр или чтение возможны только в режиме Config или Low-power. Формат регистра CAS_latency приведен ниже, см Рисунок 364.

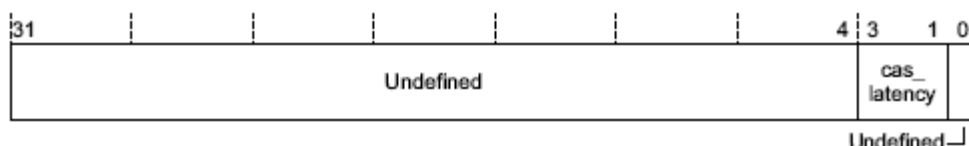


Рисунок 364 - Формат регистра CAS_latency

Разряды [31:4] – Чтение не определено, при записи должны быть нулями.

Разряды [3:1] – Задержка CAS в mclk. Поддерживаются значения 3-6.

Разряд [0] – Не определено, чтение и запись как 0.

					ЮФКВ.431268.005РЭ			Лист
								434
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11	18212-1				

Регистр задержки write_latency

Регистр write_latency доступен только по чтению. Доступно только в Config или Low_power.

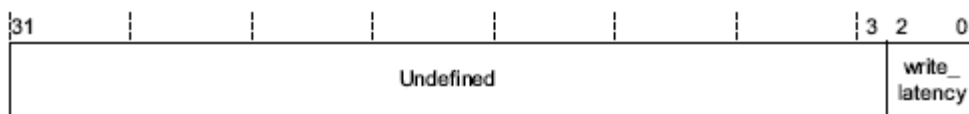


Рисунок 365 - Формат регистра write_latency

Разряды [31:3] – Чтение не определено.

Разряды [2:0] – Задержка write_latency в синхроимпульсах памяти mclk. Поддерживаются значения 2-5.

Примечание.

write_latency = cas_latency -1

Регистр задержки команды для MODEREG, t_mrd

Регистр t_mrd доступен для записи и чтения. Запись в данный регистр или чтение возможно только в режиме Config или Low-power. Формат регистра t_mrd приведен ниже

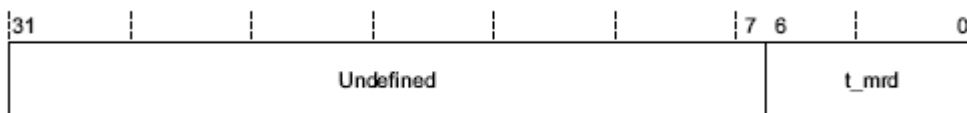


Рисунок 366 - Формат регистра t_mrd

В разрядах [6:0] устанавливается задержка в синхроимпульсах памяти mclk, для DDR2DMC, чтобы выдать команду после того, как выдается MODEREG команда. Поддерживаются значения 1-127.

Разряды 31-7 при записи должны быть нулями, при чтении они могут находиться в любом состоянии.

Регистр задержки от ACTIVE до PRECHARGE, t_ras

Регистр t_ras доступен для записи и чтения. Запись в данный регистр или чтение возможно только в режиме Config или Low-power. Формат регистра t_ras приведен ниже

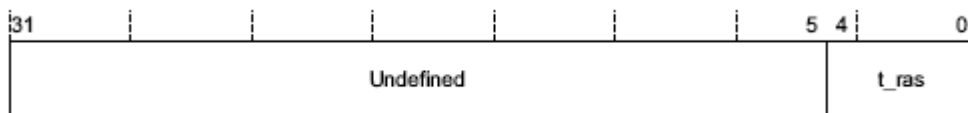
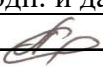


Рисунок 367 - Формат регистра t_ras

Разряды [31:5] – Чтение не определено, запись 0.

Разряды [4:0] – задержка от ACTIVE до PRECHARGE в синхроимпульсах памяти mclk. Поддерживаются значения 1-31.

					ЮФКВ.431268.005РЭ			Лист
								435
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Регистр задержки от ACTIVE до ACTIVE , t_rc

Регистр t_rc доступен для записи и чтения. Запись в данный регистр или чтение возможно только в режиме Config или Low-power. Формат регистра t_rc приведен ниже

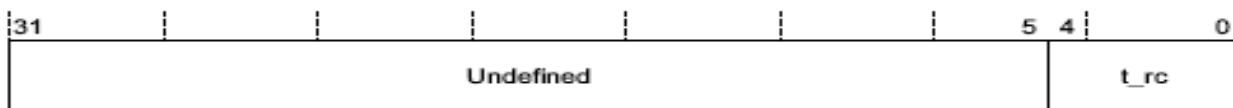


Рисунок 368 - Формат регистра t_rc

Разряды [31:5] – Чтение не определено, запись 0..

Разряды [4:0] – задержка от ACTIVE банки X до ACTIVE банки X в синхроимпульсах памяти mclk . Поддерживаются значения 1-31.

Регистр задержки от ACTIVE до READ или WRITE, t_rcd

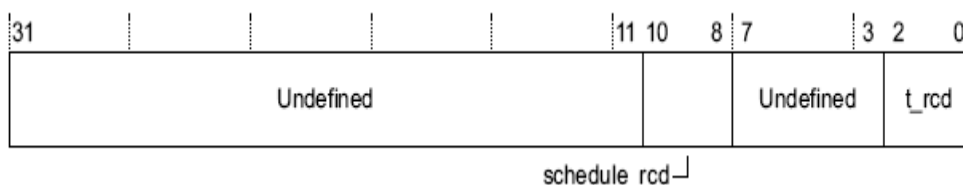


Рисунок 369 - Формат регистра t_rcd

Разряды [31:11] – Чтение не определено, запись 0..

Разряды [10:8] – задержка от RAS до CAS в aclk синхроимпульсах минус 3.

Используется как задержка scheduler, значения в диапазоне 0-4.

Разряды [7:3] – Чтение не определено, запись 0..

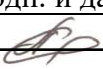
Разряды [2:0] – Устанавливает t_rcd задержку от от RAS до CAS в синхроимпульсах.

Поддерживаются значения 1-7.

Примечание

А - См PrimeCell DDR2 Memory Controller (PL341) Supplement AMBA Designer (FD001) User Guide для информации о конфигурировании этой опции.

Более подробно о работе с контроллером внешней динамической памяти DDR2 рассказывается в документе: “PrimeCell DDR2 Dynamic Memory Controller (PL341), Technical Reference Manual r0p0”

					ЮФКВ.431268.005РЭ			Лист
								436
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.6 Внешние интерфейсы СБИС ДЦТС

1.3.6.1 Интерфейс транспортного потока

Интерфейс транспортного потока реализован с помощью блока демультимплексора транспортного потока (ТП). СФ-блок демультимплексора транспортного потока предназначен для аппаратного ускорения обработки транспортного потока стандарта ISO/IEC 13818-1 (MPEG 2) [1]. В составе системы блок выполняет следующие функции:

- получение данных транспортного потока от внешнего тюнера либо из внешней системной памяти (с помощью встроенного DMA контроллера);
- демультимплексирование ТП (одновременно до двух потоков): прием аудио-видео потока нужной ТВ-программы, прием сервисной информации из потока;
- формирование частного транспортного потока (ЧТП) для последующей записи на HDD или любой другой внешний носитель;
- запись прошедших фильтрацию и обработку данных в общую системную память;
- подстройка системной тактовой частоты с использованием извлекаемой из ТП информации с помощью встроенного ШИМ генератора.

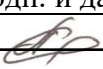
Архитектура блока разработана таким образом, чтобы обеспечить максимальную разгрузку центрального процессора в задачах демультимплексирования транспортного потока и наиболее полную интеграцию в конвейер обработки данных подсистемы MPEG.

Возможности блока позволяют реализовать такие сложные сценарии применения, как «картинка в картинке» - просмотр двух телевизионных программ одновременно (в том числе с разных тюнеров), Time Shifting – просмотр телепрограмм с задержкой по отношению к эфирному вещанию, а также одновременный просмотр одного канала и запись другого (Personal video recorder, PVR).

1.3.6.1.1 Общие технические характеристики демультимплексора транспортного потока

Блок демультимплексора транспортного потока обладает следующими характеристиками:

- Одновременная обработка до двух параллельных транспортных потоков:
 - Скорость потоков до 108 Мбит/с;
 - Параллельные интерфейсы SPI для приема транспортных потоков;
 - Возможность синхронизации с транспортным потоком: как по синхробайтам, так и по внешнему синхросигналу.
- Коррекция значения системной тактовой частотой по отсчетам PCR с помощью встроенного ШИМ генератора (только для одного ТП).
- Наличие двухканального DMA контроллера для чтения записанных транспортных потоков из памяти.
- PID фильтрация:
 - 48 универсальных PID фильтров;
 - Быстрая PID фильтрация (3 такта системной частоты) за счет использования полностью ассоциативной регистровой памяти.
- Запись транспортного потока:
 - Возможность записывать частный транспортный поток, состоящий из любой комбинации PID потоков;
 - Возможность записывать полный транспортный поток.

					ЮФКВ.431268.005РЭ			Лист
								437
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

- Наличие контроллера DMA для записи в системную память:
 - 48 независимых DMA каналов (по одному на каждый PID фильтр);
 - Возможность записывать несколько различных PID потоков в один DMA буфер;
 - Режим работы «карусель» для обеспечения непрерывности записи транспортного потока в память.
- Интерфейс выходного транспортного потока для дешифрации записанного транспортного потока на внешнем устройстве.
 - Возможность интеграции блоков потоковой дешифрации транспортного потока.
 - Размер блока составляет около 100 000 эквивалентных вентилей (двухвходовых NAND элементов). Блок включает 6980 байт двухпортовой памяти типа RAM.

1.3.6.1.1.1 Характеристики аппаратных интерфейсов блока

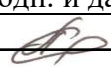
В Таблица 298 представлен полный список внешних аппаратных интерфейсов RTL-модели их основные характеристики.

Таблица 298 - Внешние аппаратные интерфейсы RTL-модели

Название	Протокол	Разрядность по данным	Краткое описание
AXI Master	AMBA 3.0 AXI в режиме Master [2]	64	Канал записи-чтения данных из системной памяти
APB Slave	AMBA 3.0 APB в режиме Slave [3]	32	Канал для записи-чтения конфигурационных регистров
Tuner SPI 1	SPI [4]	8	Канал приема транспортного потока от тюнера №1
Tuner SPI 2	SPI	8	Канал приема транспортного потока от тюнера №2
Output SPI 3	SPI	8	Выходной транспортный поток

Все интерфейсы соответствуют стандартным спецификациям со следующими ограничениями:

- AXI Master:
 - не поддерживаются неупорядоченные транзакции;
 - нет поддержки системных КЭШей;
 - нет поддержки режимов обращения locked и exclusive;
 - нет поддержки защищенных режимов обращения;
 - реализуется только инкрементальный режим пакетной передачи;
 - в качестве тактового сигнала ACLK используется системный тактовый сигнал;
 - в качестве сигнала сброса ARESETn используется системный сигнал сброса;
- APB Slave:
 - не используется тактовый сигнал PCLK, вместо него используется системный тактовый сигнал;
 - не используется сигнал сброса PRESETn, вместо него используется системный сигнал сброса;
 - не используется сигнал PSLVERR.

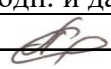
					ЮФКВ.431268.005РЭ			Лист
								438
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.6.1.1.2 Характеристики программного интерфейса блока

Программный интерфейс блока представлен как набор регистров, доступных для чтения и записи по шине AMBA 3 APB. Адресное пространство блока ограничено 4 килобайтами (0x000 – 0xffff, 12 младших бит адресной шины). В Таблица 299 представлена регистровая карта блока демультиплексора ТП.

Таблица 299 - Регистровая карта блока демультиплексора ТП

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
Регистры подсистемы DEMUX_CORE					
INBUF_CH 1 Параметры канала 1	000	RW	[31:19]	-	Не используется
			[18]	1	Мультиплексор входных данных: 0 - прием данных из памяти 1 - прием данных от тюнера
			[17]	0	Включение канала 0 - канал выключен 1 - канал включен
			[16]	1	Тип синхронизации 0 - поиск синхробайта в потоке 1 - по синхросигналу
			[15:12]	3	Количество верных очередных синхробайт в потоке, после обнаружения которых синхронизация
			[11:8]	3	Количество неверных очередных синхробайт в потоке, после обнаружения которых синхронизация считается утраченной и выдается
			[7:0]	1F	В случае нулевого значения поля [11:8] – количество неверных синхробайт в байтовом потоке, после отсчета которого синхронизация считается утраченной и выдается прерывание
LVAL_CH1 Параметры канала 1	004	RW	[31:0]	FFFFFFF	Время (в периодах входной тактовой частоты интерфейса SPI), по истечению которого в случае нахождения строба данных интерфейса SPI в низком уровне выдается прерывание (если канал включен)
INBUF_CH 2 Параметры канала 2	008	RW	Аналогично INBUF_CH1		
LVAL_CH2	00c	RW	Аналогично LVAL_CH1		

					ЮФКВ.431268.005РЭ		Лист
							439
Изм.	Лист	№ докум.	Подп.	Дата			
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата	
18212-2	 14.11.11		18212-1				

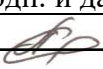
Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
Параметры канала 2					
TS_PES Параметры разбора пакетов ТП	010	RW	[31:3]	-	Не используется
			[2]	0	1- отбрасывать пакеты с ошибкой (бит TEI)
			[1]	0	1 - отбрасывать пакеты с неверным значением счетчика непрерывности (поле CC) 0 - принимать на обработку
			[0]	0	1 - приставлять перед заголовком каждого пакета старшие 32 бита значения счетчика STC, захваченного при поступлении первого байта пакета 0 - не модифицировать пакеты
PID_DSC Дескриптор PID потока	014	RW	[31:25]	-	Не используется
			[24]	0	1 - PID поток содержит PSI данные (вырабатывается прерывание PSI после отправки каждого очередного пакета в память) 0 - PID поток не содержит PSI данные
			[23:18]	0	Номер канала DMA для записи PID
			[17]	0	1 - приставлять заголовки пакетов PID потока перед отправкой их в память (формирование ЧТП) 0 - отбрасывать заголовки пакетов
			[16]	0	1 - PID поток содержит значения PCR 0 - не содержит
			[15]	0	1 - PID поток содержит PES поток 0 - PID поток содержит другие данные Установка данного бита в 1 определяет, будет ли демультимплексор анализировать заголовки PES пакетов для определения шифрован ли поток на PES уровне. Если заранее известно,
			[14]	0	1 - дескриптор активен 0 - дескриптор неактивен
			[13]	0	Номер канала, по которому поступает PID поток
			[12:0]	0	Значение идентификатора PID
PID_DSC_	018	W	[31:7]	-	Не используется

					ЮФКВ.431268.005РЭ	Лист 440	
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата
18212-2		 14.11.11		18212-1			

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
WR Запись/чтение дескриптора PID_DSC			[6]	0	1 - запись дескриптора PID_DSC 0 - чтение дескриптора PID_DSC
			[5:0]	0	Адрес для записи дескриптора в таблицу
KEYODD1_	01c	RW	[31:0]	0	Ст биты нечетного ключа канала 1
KEYODD1_	020	RW	[31:0]	0	Мл биты нечетного ключа канала 1
KEYEVEN1_	024	RW	[31:0]	0	Ст биты четного ключа канала 1
KEYEVEN1_	028	RW	[31:0]	0	Мл биты четного ключа канала 1
KEYODD2_	02c	RW	[31:0]	0	Ст биты нечетного ключа канала 2
KEYODD2_	030	RW	[31:0]	0	Мл биты нечетного ключа канала 2
KEYEVEN2_	034	RW	[31:0]	0	Ст биты четного ключа канала 2
KEYEVEN2_	038	RW	[31:0]	0	Мл биты четного ключа канала 2
PWM_CON F1 Параметры ШИМ	03c	RW	[31:25]	-	Не используется
			[24]	0	1 - включение ШИМ генератора 0 - отключение ШИМ генератора
			[23:12]	1FF	Базовая длительность импульса ШИМ в тактах системной частоты
			[11:0]	3FF	Период импульса ШИМ в тактах системной частоты
PWM_CON F2 Параметры ШИМ	040	RW	[31:12]	-	Не используется
			[11:0]	0	Направление и величина сдвига PCR-STC для формирования корректирующего напряжения
PWM_MD1 Параметры ШИМ	044	RW	[31:0]	0	Старшие 32 бита порогового значения разницы PCR-STC, при превышении которого вырабатывается прерывание
PWM_MD2 Параметры ШИМ	048	RW	[9:0]	0	Младшие 10 бит порогового значения разницы PCR-STC
AD_CONF Доп. параметры работы	04c	RW	[31:18]	-	Не используется
			[17:12]	0	Номер канала DMA для записи ТП с канала 2 в режиме с отключенным
			[11:6]	0	Номер канала DMA для записи ТП с канала 1 в режиме с отключенным
			[5]	0	1 - отключение PID фильтра канал 2 0 - PID фильтр работает канал 2
			[4]	0	1 - отключение PID фильтра канал 1 0 - PID фильтр работает канал 1

					ЮФКВ.431268.005РЭ			Лист
								441
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

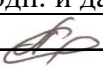
Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
			[3:0]	-	Не используется
Регистры канала записи AXI					
WDMA_C0 1 Параметры DMA канала записи AXI	050	RW	[31:0]	0	Регистр адреса начала буфера
WDMA_C0 2 Параметры DMA канала записи AXI	054	RW	[31:0]	0	Регистр адреса конца буфера - адрес последней пересылки
WDMA_C0 3 Параметры DMA канала записи AXI	058	RW	[31]	0	Бит инициации записи дескриптора в стандартную таблицу. После установки этого бита происходит загрузка параметров дескриптора. Бит сбрасывается после совершения операции. Запись возможна только когда не производится никаких
			[30]	0	Бит инициации чтения из основной таблицы дескрипторов. После установки этого бита происходит загрузка параметров дескриптора с номером WDMA_C03[5:0] из таблицы внутри DMA в регистры.
			[29]	0	Бит инициации записи дескриптора в таблицу «Текущий + 32» для использования в режиме карусели. После установки этого бита происходит загрузка параметров дескриптора. Бит сбрасывается после совершения операции. Запись возможна только когда не

					ЮФКВ.431268.005РЭ			Лист
								442
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

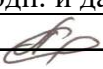
Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
			[28]	0	Бит инициации чтения из таблицы дескрипторов «Текущий + 32». После установки этого бита происходит загрузка параметров карусельного дескриптора с номером WDMA_C03[5:0] из таблицы внутри DMA в регистры. Бит сбрасывается после завершения операции
			[27:24]	0	Не используется
			[23:22]	0	Тип буфера. Действия после достижения адреса конца: 00 - прерывание об окончании буфера и ожидание загрузки нового дескриптора(одиночный буфер); 01 - прерывание об окончании буфера, присвоение текущему адресу значения адреса начала буфера (кольцевой буфер); 10 - прерывание об окончании буфера и загрузка
			[21:6]	0	Размер сегмента буфера до 64Кбайт
			[5:0]	0	Номер DMA-канала, для которого записывается дескриптор. Должно быть однозначное соответствие между номером канала и буфером
WDMA_C04 Параметры DMA канала записи AXI	05c	R	[31:0]	X	Указатель текущего адреса для считываемого дескриптора
WAXI_C01 Параметры канала записи AXI	064	RW	[31:5]	-	Не используется
			[4]	1	Порядок байт в отправляемом в память слове данных 1 - первый байт находится в разрядах [63:56]
			[3:0]	F	Максимальный размер пакетных AXI-транзакций, которые генерирует канал записи AXI (AWLEN)
Регистры канала чтения AXI					
RDMA_C01 Параметры	068	RW	[31:0]	0	Регистр адреса начала буфера

					ЮФКВ.431268.005РЭ			Лист	
								443	
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11		18212-1					

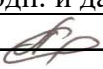
Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
DMA канала чтения AXI					
RDMA_C02 Параметры DMA канала чтения AXI	06с	RW	[31:0]	0	Регистр адреса конца буфера - адрес последней пересылки
RDMA_C03 Параметры DMA канала чтения AXI	070	RW	[31]	0	Бит инициации записи дескриптора в стандартную таблицу. После установки этого бита происходит загрузка параметров дескриптора. Бит сбрасывается после совершения операции. Запись возможна только когда не производится никаких
			[30]	0	Бит инициации чтения из таблицы дескрипторов. После установки этого бита происходит загрузка параметров дескриптора с номером WDMA_C03[5:0] из таблицы внутри DMA в регистры. Бит сбрасывается после завершения операции
			[29]	0	Бит инициации записи дескриптора в основную таблицу для использования в режиме карусели. После установки этого бита происходит загрузка параметров дескриптора. Бит сбрасывается после совершения
			[28]	0	Бит инициации чтения из таблицы дескрипторов «Текущий + 32». После установки этого бита происходит загрузка параметров карусельного дескриптора с номером WDMA_C03[5:0] из таблицы внутри DMA в регистры. Бит сбрасывается после завершения операции
			[27:24]	0	Не используется

					ЮФКВ.431268.005РЭ			Лист
								444
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
			[23:22]	0	Тип буфера. Действия после достижения адреса конца: 00 - прерывание об окончании буфера и ожидание загрузки нового дескриптора(одиночный буфер); 01 - прерывание об окончании буфера, присвоение текущему адресу значения адреса начала буфера (кольцевой буфер); 10 - прерывание об окончании буфера и загрузка
			[21:6]	0	Размер сегмента буфера до 64Кбайт
			[5:1]	0	Не используется
			[0]	0	Номер DMA-канала, для которого записывается дескриптор. Должно быть однозначное соответствие между номером канала и буфером
RDMA_C04 Параметры DMA канала чтения AXI	074	R	[31:0]	X	Указатель текущего адреса для считываемого дескриптора
RAXI_C01 Параметры канала чтения AXI	07c	RW	[31:4]	-	Не используется
			[3:0]	0	Максимальный размер пакетных AXI-транзакций, которые генерирует канал чтения AXI (ARLEN)
RAXI_C02 Параметры канала чтения AXI	080	RW	[31:9]	-	Не используется
			[8]	0	Признак конечного буфера. Если он установлен в 1, то, когда в Буфер данных №2 поступает слово, считанное из последней ячейки конечного DMA-буфера, то Буфер данных №2 автоматически
			[7]	0	Признак конечного буфера. Если он установлен в 1, то, когда в Буфер данных №1 поступает слово, считанное из последней ячейки конечного DMA-буфера, то Буфер данных №1 автоматически
			[6:0]	-	Не используется

					ЮФКВ.431268.005РЭ			Лист
								445
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
RAXI_C03 Параметры канала чтения AXI	084	RW	[31]	0	Бит программного сброса AXI_INPUT. Установка этого бита в 1 приводит к программному сбросу AXI_INPUT. По завершении программного сброса, этот бит
			[30]	0	Бит разрешения работы буфера
			[29:2]	-	Не используется
			[16]	0	Бит индикации активности канала №2.
			[15]	0	Бит индикации активности канала №1. Если установлен в 1, это значит, что канал выдал запрос на считывание данных и находится в ожидании получения считанных из памяти данных. Бит только для чтения.
			[1]	0	Бит разрешения работы буфера данных канала №2
			[0]	0	Бит разрешения работы буфера данных канала №1
IN_MLSB Порядок байт	08с	RW	[31:4]	-	Не используется
			[3]	0	Включение выходного интерфейса ТП 1 – интерфейс включен 0 – интерфейс выключен
			[2]	0	Выбор источника данных для выходного интерфейса ТП 1 – канал 2 чтения из памяти 0 – канал 1 чтения из памяти
			[1]	0	Порядок байт в считываемом слове данных (канал 2) 1 - первый байт находится в разрядах [63:56] 0 - первый байт находится в разрядах
			[0]	0	Порядок байт в считываемом слове данных (канал 1) 1 - первый байт находится в разрядах [63:56] 0 - первый байт находится в разрядах [7:0]
Статусные регистры, программный сброс и маски прерываний					
MASK_C	090	RW	[31]	-	Не используется

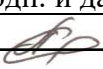
					ЮФКВ.431268.005РЭ			Лист
								446
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание	
Маски прерываний			[30]	0	Параметр, регулирующий момент выработки прерываний по концу буфера и сегмента буфера DMA (канал чтения): 0 - одновременно с передачей адреса 1 - после получения подтверждения об отсылке данных	
			[29]	0	Параметр, регулирующий момент выработки прерываний по концу буфера и сегмента буфера DMA (канал записи): 0 - одновременно с передачей адреса 1 - после получения подтверждения об отсылке данных	
			[28]	0	Маска прерывания при передаче последнего адреса сегмента, канал	
			[27]	0	Маска прерывания по обращению к запрещенному номеру канала (обращение к 5 каналам, а их всего 1)	
			[26]	0	Маска прерывания по запросу адреса при неактивном дескрипторе (либо незагружен либо полностью)	
			[25]	0	Маска прерывания при передаче последнего адреса текущего буфера.	
			[24]	0	Маска прерывания при передаче последнего адреса сегмента, канал	
			[23]	0	Маска прерывания по обращению к запрещенному номеру канала (обращение к 5 каналам, а их всего 1)	
			[22]	0	Маска прерывания по запросу адреса при неактивном дескрипторе (либо незагружен либо полностью)	
			[21]	0	Маска прерывания при передаче последнего адреса текущего буфера.	
			[20]	0	Маска прерывания по ответу SLVERR от коммутационной среды. Если маска установлена в 0, то установка соответствующего флага в 1 не приводит к генерации сигнала прерывания, канал чтения	
			[19:18]	-	Не используется	
			[17]	0	Маска прерывания по отсылке данных DSI	
			[16]	0	Маска прерывания по получению ответа SLVERR по каналу записи	
			[15]	-	Не используется	
			ЮФКВ.431268.005РЭ			Лист 447
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата
18212-2	 14.11.11		18212-1			

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
			[14]	0	Маска прерывания по переполнению бѳера канала записи AXI
			[13]	0	Маска прерывания по ошибке программирования ШИМ
			[12]	0	Маска прерывания по превышению порогового значения разности PCR-
			[11]	0	Маска прерывания по неверному значению счетчика непрерывности
			[10]	0	Маска прерывания по обнаружению ошибки в пакете
			[9]	0	Маска прерывания по ошибке входных данных канал 2
			[8]	0	Маска прерывания по потере синхронизации канал 2
			[7]	0	Маска прерывания по прекращению поступления данных канал 2
			[6]	0	Маска прерывания по переполнению бѳера FIFO канал 2
			[5]	-	Не используется
			[4]	0	Маска прерывания по ошибке входных данных канал 1
			[3]	0	Маска прерывания по потере синхронизации канал 1
			[2]	0	Маска прерывания по прекращению поступления данных канал 1
			[1]	0	Маска прерывания по переполнению бѳера FIFO канал 1
			[0]	-	Не используется
STATUS Регистр статуса прерываний	094	R	[31:29]	-	Не используется
			[28]	0	Прерывание при передаче последнего адреса сегмента. канал чтения
			[27]	0	Прерывание по обращению к запрещенному номеру канала (обращение к 5 каналу, а их всего 1)
			[26]	0	Прерывание по запросу адреса при неактивном дескрипторе (либо незагружен либо полностью)
			[25]	0	Прерывание при передаче последнего адреса текущего бѳера. канал
			[24]	0	Прерывание при передаче последнего адреса сегмента. канал записи
			[23]	0	Прерывание по обращению к запрещенному номеру канала (обращение к 5 каналу, а их всего 1)

					ЮФКВ.431268.005РЭ	Лист
						448
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
18212-2		 14.11.11		18212-1		

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
			[22]	0	Прерывание по запросу адреса при неактивном дескрипторе (либо незагружен либо полностью)
			[21]	0	Прерывание при передаче последнего адреса текущего буфера. канал
			[20]	0	Прерывание по получению ответа SLVERR по каналу чтения AXI
			[19]	1	Индикация пустоты буфера канала чтения AXI канал 2
			[18]	1	Индикация пустоты буфера канала чтения AXI канал 1
			[17]	0	Прерывание по отсылке данных PSI
			[16]	0	Прерывание по получению ответа SLVERR по каналу записи AXI
			[15]	1	Индикация пустоты буфера канала записи AXI
			[14]	0	Прерывание по переполнению буфера канала записи AXI
			[13]	0	Прерывание по ошибке программирования ШИМ
			[12]	0	Прерывание по превышению порогового значения разности PCR-
			[11]	0	Прерывание по неверному значению счетчика непрерывности СС
			[10]	0	Прерывание по обнаружению ошибки в пакете
			[9]	0	Прерывание по ошибке входных данных канал 2
			[8]	0	Прерывание по потере синхронизации канал 2
			[7]	0	Прерывание по прекращению поступления данных канал 2
			[6]	0	Прерывание по переполнению буфера FIFO канал 2
			[5]	1	Индикация пустоты входного буфера FIFO канал 2
			[4]	0	Прерывание по ошибке входных данных канал 1
			[3]	0	Прерывание по потере синхронизации канал 1
			[2]	0	Прерывание по прекращению поступления данных канал 1
			[1]	0	Прерывание по переполнению буфера FIFO канал 1

					ЮФКВ.431268.005РЭ			Лист
								449
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

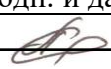
Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
			[0]	1	Индикация пустоты входного буфера FIFO канал 1
DMAW_S1 Статус DMA канала записи AXI	098	R	[31:0]	0	Прерывание по концу сегмента для каналов 63:32 соответственно
DMAW_S2 Статус DMA канала записи AXI	09c	R	[31:0]	0	Прерывание по концу сегмента для каналов 31:0 соответственно
DMAW_S3 Статус DMA канала записи AXI	0a0	R	[31:0]	0	Прерывание по концу буфера для каналов 63:32 соответственно
DMAW_S4 Статус DMA канала записи AXI	0a4	R	[31:0]	0	Прерывание по концу буфера для каналов 31:0 соответственно
DMAW_S5 Статус DMA канала записи AXI	0a8	R	[31:0]	0	Прерывание по обращению к неактивному дескриптору для каналов 63:32 соответственно
DMAW_S6 Статус DMA канала записи AXI	0ac	R	[31:0]	0	Прерывание по обращению к неактивному дескриптору для каналов 31:0 соответственно
AXIW_S1 Статус канала записи AXI	0b0	R	[31:8]	-	Не используется
			[7:6]	0	Значение поля BRESP транзакции с ответом SLVERR
			[5:0]	0	Номер канала DMA, по которому пришел ответ SLVERR
DMAR_S1	0b4	R	[31:6]	-	Не используется

					ЮФКВ.431268.005РЭ	Лист
						450
Изм.	Лист	№ докум.	Подп.	Дата		
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
18212-2		 14.11.11		18212-1		

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
Статус DMA канала чтения AXI			[5:4]	0	Прерывание по концу сегмента для каналов 1:0 соответственно
			[3:2]	0	Прерывание по концу буфера для каналов 1:0 соответственно
			[1:0]	0	Прерывание по обращению к неактивному дескриптору для каналов 1:0 соответственно
AXIR_S1 Статус канала чтения AXI	0b8	R	[31:5]	0	Не используется
			[4:1]	0	Количество активных транзакций чтения в текущий момент
			[0]	0	Статусный бит, отражающий наличие в текущий момент активных транзакций чтения
AXIR_S2 Статус канала чтения AXI	0c0	R	[31:0]	0	Адрес транзакции чтения, при выполнении которой SLAVE-устройство выдало статус ошибки RRESP=SLVERR
SW_RST Программный сброс	0c4	W	[31:1]	-	Не используется
			[0]	0	1 - программный сброс 0 - нормальная работа
Регистры блока дешифрации 3DES					
Ключи и параметры дешифрации блока 3DES, 1 канал четный набор ключей					
3D_K00H	0f0	RW	[31:0]	0	Ключ для первой ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
3D_K01H	0f4	RW	[31:0]	0	Ключ для второй ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
3D_K02H	0f8	RW	[31:0]	0	Ключ для третьей ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
3D_K00L	0fc	RW	[31:0]	0	Ключ для первой ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
3D_K01L	100	RW	[31:0]	0	Ключ для второй ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
3D_K02L	104	RW	[31:0]	0	Ключ для третьей ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
3D_CONF1 G0	108	RW	0	0	Режим работы первой ступени 3DES: (1 - шифрация, 0 - дешифрация).
			1	0	Режим работы второй ступени 3DES: (1 - шифрация, 0 - дешифрация).

					ЮФКВ.431268.005РЭ			Лист	
								451	
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11		18212-1					

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
			2	0	Режим работы третьей ступени 3DES: (1 - шифрация, 0 - дешифрация).
			3	0	1 - шифрация, 0 - дешифрация в режиме CBC; биты 2:0 при этом необходимо указывать так же, как и в режиме ECB
			[28:4]	0	Не используется
			29	0	Режим работы с блоками не картными 8 байтам, только для CBC
			30	0	0 - ECB режим работы 1 - CBC режим работы
			31	0	0 - работа по алгоритму 3DES 1 - работа по алгоритму DES, при этом используется ключ первой ступени и, для указания режима шифрации/дешифрации, 0-й бит регистра конфигурации
3D_IV0H	10c	RW	[31:0]	0	Вектор начальной инициализации (старшие 32 разряда [31:0])
3D_IV0L	110	RW	[31:0]	0	Вектор начальной инициализации (младшие 32 разряда [31:0])
Ключи и параметры дешифрации блока 3DES, 1 канал нечетный набор ключей					
3D_K10H	114	RW	[31:0]	0	Ключ для первой ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
3D_K11H	118	RW	[31:0]	0	Ключ для второй ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
3D_K12H	11c	RW	[31:0]	0	Ключ для третьей ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
3D_K10L	120	RW	[31:0]	0	Ключ для первой ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
3D_K11L	124	RW	[31:0]	0	Ключ для второй ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
3D_K12L	128	RW	[31:0]	0	Ключ для третьей ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
3D_IV1H	12c	RW	[31:0]	0	Вектор начальной инициализации (старшие 32 разряда [31:0])
3D_IV1L	130	RW	[31:0]	0	Вектор начальной инициализации (младшие 32 разряда [31:0])
3D_CONFI G1	134	RW	0	0	Режим работы первой ступени 3DES: (1 - шифрация, 0 - дешифрация).
			1	0	Режим работы второй ступени 3DES: (1 - шифрация, 0 - дешифрация).
			2	0	Режим работы третьей ступени 3DES: (1 - шифрация, 0 - дешифрация).

					ЮФКВ.431268.005РЭ			Лист
								452
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
			3	0	1 - шифрация, 0 - дешифрация в режиме CBC; биты 2:0 при этом необходимо указывать так же, как и в режиме ECB
			[28:4]	0	Не используется
			29	0	Режим работы с блоками не картными 8 байтам, только для CBC
			30	0	0 - ECB режим работы 1 - CBC режим работы
			31	0	0 - работа по алгоритму 3DES 1 - работа по алгоритму DES, при этом используется ключ первой ступени и, для указания режима шифрации/дешифрации, 0-й бит регистра конфигурации
Ключи и параметры дешифрации блока 3DES, 2 канал четный набор ключей					
3D_K20H	138	RW	[31:0]	0	Ключ для первой ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
3D_K21H	13c	RW	[31:0]	0	Ключ для второй ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
3D_K22H	140	RW	[31:0]	0	Ключ для третьей ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])
3D_K20L	144	RW	[31:0]	0	Ключ для первой ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
3D_K21L	148	RW	[31:0]	0	Ключ для второй ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
3D_K22L	14c	RW	[31:0]	0	Ключ для третьей ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])
3D_CONFI G2	150	RW	0	0	Режим работы первой ступени 3DES: (1 - шифрация, 0 - дешифрация).
			1	0	Режим работы второй ступени 3DES: (1 - шифрация, 0 - дешифрация).
			2	0	Режим работы третьей ступени 3DES: (1 - шифрация, 0 - дешифрация).
			3	0	1 - шифрация, 0 - дешифрация в режиме CBC; биты 2:0 при этом необходимо указывать так же, как и в режиме ECB
			[28:4]	0	Не используется
			29	0	Режим работы с блоками не картными 8 байтам, только для CBC
			30	0	0 - ECB режим работы 1 - CBC режим работы
			31	0	0 - работа по алгоритму 3DES 1 - работа по алгоритму DES, при этом используется ключ первой ступени и, для

					ЮФКВ.431268.005РЭ	Лист	
						453	
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата
18212-2		 14.11.11		18212-1			

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание			
					указания режима шифрации/дешифрации, 0-й бит регистра конфигурации			
3D_IV2H	154	RW	[31:0]	0	Вектор начальной инициализации (старшие 32 разряда [31:0])			
3D_IV2L	158	RW	[31:0]	0	Вектор начальной инициализации (младшие 32 разряда [31:0])			
Ключи и параметры дешифрации блока 3DES, 2 канал нечетный набор ключей								
3D_K30H	15c	RW	[31:0]	0	Ключ для первой ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])			
3D_K31H	160	RW	[31:0]	0	Ключ для второй ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])			
3D_K32H	164	RW	[31:0]	0	Ключ для третьей ступени алгоритма 3DES при потоковом режиме работы (старшие 32 разряда [63:32])			
3D_K30L	168	RW	[31:0]	0	Ключ для первой ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])			
3D_K31L	16c	RW	[31:0]	0	Ключ для второй ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])			
3D_K32L	170	RW	[31:0]	0	Ключ для третьей ступени алгоритма 3DES при потоковом режиме работы (младшие 32 разряда [31:0])			
3D_IV3H	174	RW	[31:0]	0	Вектор начальной инициализации (старшие 32 разряда [31:0])			
3D_IV3L	178	RW	[31:0]	0	Вектор начальной инициализации (младшие 32 разряда [31:0])			
3D_CONF1 G3	17c	RW	0	0	Режим работы первой ступени 3DES: (1 - шифрация, 0 - дешифрация).			
			1	0	Режим работы второй ступени 3DES: (1 - шифрация, 0 - дешифрация).			
			2	0	Режим работы третьей ступени 3DES: (1 - шифрация, 0 - дешифрация).			
			3	0	1 - шифрация, 0 - дешифрация в режиме CBC; биты 2:0 при этом необходимо указывать так же, как и в режиме ECB			
			[28:4]	0	Не используется			
			29	0	Режим работы с блоками не картными 8 байтам, только для CBC			
			30	0	0 - ECB режим работы 1 - CBC режим работы			
			31	0	0 - работа по алгоритму 3DES 1 - работа по алгоритму DES, при этом используется ключ первой ступени и, для указания режима шифрации/дешифрации, 0-й бит регистра конфигурации			
Номер версии устройства								
					ЮФКВ.431268.005РЭ			
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Лист 454

Название	Адрес (hex)	Доступ	Поле	Значение после сброса	Описание
VENVERID	ff8	R	[31:0]	4d545350	ID устройства
VERSION	ffc	R	[31:28]	1	Номер версии устройства
			[27:0]	3	Номер модификации версии

1.3.6.1.2 Структура блока

На Рисунок 370 изображена внутренняя структура блока демультиплексора ТП.

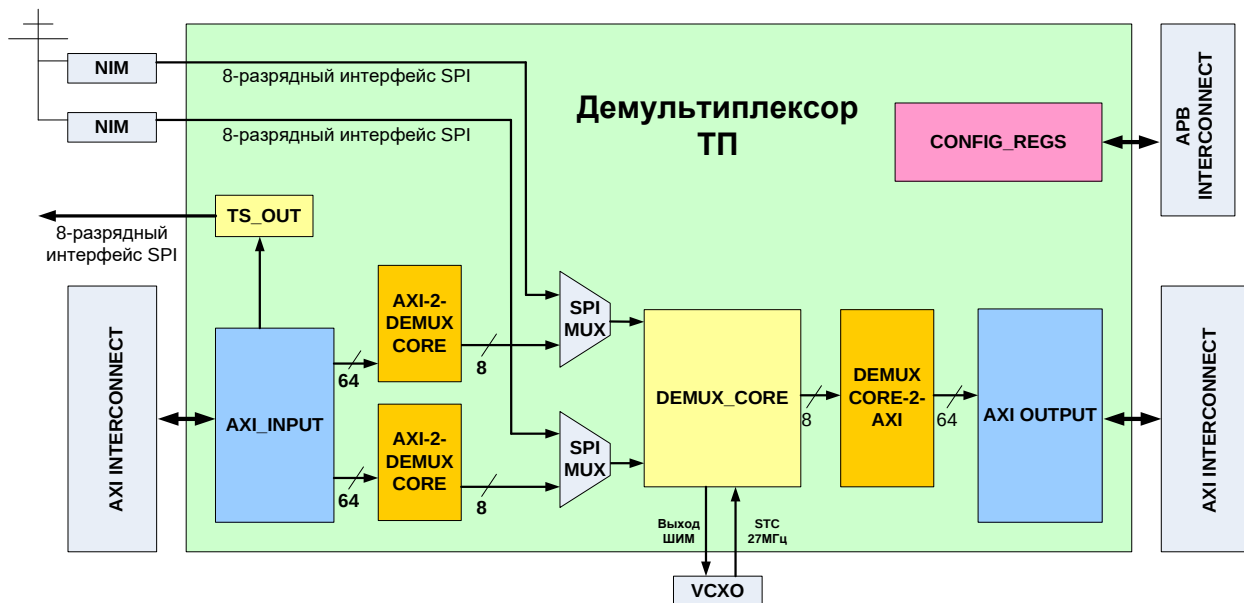


Рисунок 370 - Внутренняя структура блока демультиплексора ТП

В состав блока входят несколько функциональных подсистем, а именно:

- подсистема AXI_INPUT для чтения данных (ТП и ЧТП) из общей системной памяти по шине AMBA 3 AXI;
- подсистема обработки в реальном времени (фильтрации и демультиплексирования) транспортных потоков DEMUX_CORE;
- подсистема TS_OUT для выдачи выходного ТП по 8-разрядному интерфейсу SPI;
- подсистема AXI_OUTPUT для записи обработанных данных в общую системную память по шине AMBA 3 AXI;
- подсистема CONF_REGS для управления программируемыми параметрами по шине AMBA 3 APB;
- переходники AXI-2-DEMUX_CORE и DEMUX_CORE-2-AXI с 64-разрядного внутреннего интерфейса на 8-разрядный и наоборот соответственно, предназначенные для интеграции в состав демультиплексора ТП подсистем AXI_INPUT и AXI_OUTPUT;
- мультиплексоры SPI_MUX для мультиплексирования входных данных.

На Рисунок 370 также изображены коммутационные среды AXI и APB (AXI Interconnect и APB Interconnect), к которым подключаются аппаратные интерфейсы СФ-блока

					ЮФКВ.431268.005РЭ			Лист
								455
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

для обмена данными с оперативной памятью системы и центральным процессором соответственно.

Транспортный поток может поступать в СФ-блок от двух внешних сетевых интерфейсных модулей (НИМ на Рисунок 370) по 8-разрядным интерфейсам SPI.

Управляемый напряжением генератор тактового сигнала (VCXO на Рисунок 370) вырабатывает системную тактовую частоту 27МГц. Коррекция значения этой частоты производится с помощью подстройки данного генератора управляющим выходным сигналом встроенного в подсистему DEMUX_CORE ШИМ генератора.

1.3.6.1.3 Устройство и работа блока

Блок демультиплексора транспортного потока может получать ТП либо из общей системной памяти (по двум каналам), либо с внешних тюнеров (также по двум каналам). Таким образом, ТП может поступать из четырех источников, при этом в реальном времени возможна обработка до двух ТП. Далее происходит синтаксический разбор заголовков пакетов и фильтрация пакетов ТП по идентификаторам PID, после чего содержимое прошедших фильтрацию пакетов через канал записи с DMA отправляется в системную память.

Подсистема DEMUX_CORE реализует весь тракт обработки транспортного потока. На Рисунок 271 показана внутренняя структура данной подсистемы.

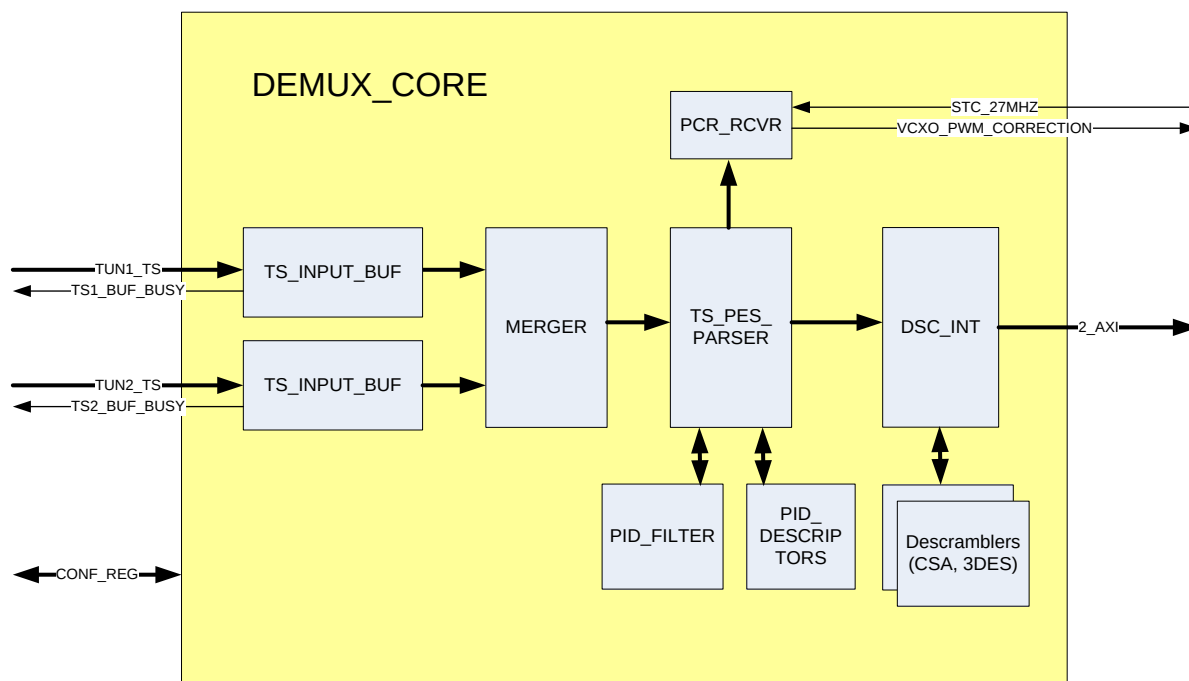
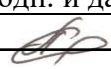


Рисунок 371 – Структура подсистемы DEMUX_CORE

В состав подсистемы входят следующие блоки:

- Блок входного буфера данных TS_INPUT_BUF. Выполняет такие функции, как определение начала транспортного пакета и слежение за синхронизацией потока, буферизация данных транспортного потока (потоків TUN1_TS и TUN2_TS), а также захват значения счетчика системной тактовой частоты при поступлении пакета.

					ЮФКВ.431268.005РЭ			Лист
								456
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

- Арбитражный блок MERGER. Основной функцией данного блока является распределение запросов на чтение данных между двумя каналами (мультиплексирование каналов).

- Блок TS_PES_PARSER, который реализует основной алгоритм обработки ТП, выполняя такие функции, как синтаксический разбор заголовков транспортных пакетов (включая необязательное поле Adaptation Field), синтаксический разбор заголовков PES пакетов, обработка результатов PID фильтрации и анализ PID дескрипторов, формирование частного транспортного потока ЧТП (с возможностью дополнения транспортного пакета значением счетчика STC).

- Блок PID_FILTER производит сравнение входного значения поля PID пакета транспортного потока с хранимыми в регистрах значениями (до 48 активных значений) и выдает результат за 3 такта системной частоты.

- Блок PID_DESCRIPTOR отвечает за хранение заданных значений дескрипторов для каждого регистра-фильтра PID.

- Блок PCR_RCVR отвечает за формирование корректирующего ШИМ сигнала VCXO_PWM_CORRECTION для подстройки системной тактовой частоты.

- Блок DSC_INT реализует подключение двух потоковых дешифраторов, работающих по алгоритмам DVB CSA и ATSC 3DES (блоки Descramblers на Рисунок 371).

После синхронизации с транспортным потоком (реализовано несколько регулируемых механизмов синхронизации) ТП поступает в FIFO буфер размером 376 байт (2 транспортных пакета). Как только в буфер поступает полный пакет (188 байт), начинается его считывание и обработка, при этом, поскольку данные поступают непрерывно, второй пакет буферизуется одновременно с обработкой первого. Поскольку система должна уметь обрабатывать два транспортных потока одновременно, то для каждого из транспортных потоков работает отдельный FIFO буфер, при этом тракт обработки транспортных пакетов один. Для обеспечения непрерывной обработки двух потоков одним трактом реализован специальный арбитр, который последовательно опрашивает состояние буферов, меняя при каждом опросе приоритет (если при первом опросе состояния сначала опрашивался первый буфер, то при последующем опросе первым будет опрашиваться второй буфер).

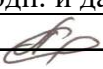
После поступления пакета на обработку анализируется его заголовок на предмет ошибок в пакете и значения счетчика непрерывности, затем считывается значение идентификатора PID и пакет проходит через PID-фильтр. PID-фильтр представляет собой полностью ассоциативную память размером 48 вложений, что позволяет фильтровать пакеты всего за три такта системной частоты, обеспечивая при этом возможность обработки до 48 PID потоков на два независимых транспортных потока.

Не прошедшие PID фильтрацию пакеты отбрасываются. В случае если пакет прошел PID фильтрацию, определяется номер выходного DMA канала, по которому пакет будет направлен в системную память, а также анализируется необходимость дешифрации пакета и другие параметры.

В подсистему DEMUX_CORE также входит реализация алгоритма корректировки системной тактовой частоты по отсчетам PCR частоты передатчика. Подробно алгоритм рассмотрен в стандарте MPEG 2 [1]. Для реализации данного алгоритма используется программируемый генератор импульсов ШИМ, импульсы которого затем могут преобразовываться в аналоговый управляющий сигнал для корректировки частоты генератора VCXO на плате с помощью RC цепочки (Приложение 1).

Подсистема AXI_INPUT представляет собой специализированный двухканальный DMA контроллер, который получает данные из системной памяти по 64-битному интерфейсу AMBA 3 AXI и передает их по специальным внутренним интерфейсам подсистеме DEMUX_CORE.

Одним из основных элементов подсистемы является генератор адресов для прямого доступа к памяти, который может работать в трех режимах генерации адресов. Первый, самый

					ЮФКВ.431268.005РЭ			Лист
								457
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

простой режим – режим конечных буферов, когда на каждый DMA канал выделяется один буфер в системной памяти, и при достижении конечного адреса этого буфера DMA останавливается, сигнализируя об окончании буфера прерыванием. Второй режим – режим кольцевого буфера – аналогичен первому, но DMA не останавливается по достижению конца буфера, а загружает начальный адрес этого буфера и использует его снова. При этом также реализована возможность сигнализировать прерыванием о достижении конца сегмента буфера (до 64 килобайт). Третий режим – режим «карусели» – когда каждому DMA каналу ставится в соответствии два буфера в памяти, работа с которыми происходит поочередно. При работе в таком режиме достигается максимальная производительность за счет того, что обеспечивается непрерывность поступления данных.

Подсистема AXI_OUTPUT реализует функцию прямой записи в системную память. Ее основным элементом является генератор адресов DMA DMA_ENG, аналогичный тому, что используется в подсистеме AXI_INPUT, но расширенный до 48 независимых каналов DMA. Таким образом, каждому PID фильтру подсистемы DEMUX_CORE соответствует один канал DMA. При записи в память для обеспечения непрерывности буфера в памяти наиболее целесообразным является режим работы DMA «карусель», описанный выше. В состав данной подсистемы также входит интерфейсный блок, который реализует канал записи AMBA 3 AXI Master. Функциональной особенностью этого блока является полная поддержка пересылок по адресам, не выровненным по 8 байт (побайтовая адресация), что является необходимым условием корректного функционирования блока демультиплексора транспортного потока, поскольку транспортный поток может поступать неравномерно, и необходима побайтовая точность при записи в память.

1.3.6.1.4 Использование блока

В данном разделе на примерах рассмотрены последовательности записей в регистры, необходимые для настройки и работы блока демультиплексора транспортного потока.

1.3.6.1.4.1 Программный сброс

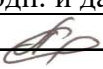
Перед программным сбросом блока демультиплексора транспортного потока (регистр SW_RST) необходимо остановить канал чтения из памяти AXI (записать значение 0x0 в регистр RAXI_C03), затем удостовериться, что нет активных AXI транзакций по каналу чтения AXI (сброшен бит [0] регистра AXIR_S1).

1.3.6.1.4.2 Настройка PID фильтров и параметров фильтрации

Для начала приема аудио- и видеоданных телевизионной программы из транспортного потока необходимо извлечь сервисную информацию PSI, которая в виде таблиц находится в транспортных пакетах с фиксированными в стандарте ISO13818-1 [1] значениями 13-битных идентификаторов PID. Таким образом, в начале работы необходимо настроить несколько PID фильтров для приема пакетов с этими таблицами. В Таблица 300 приведен пример настройки PID фильтра для пакетов с идентификатором со значением 0 (последовательность настройки регистров соответствует порядку их перечисления в таблице). Символ «X» в колонке «значение» во всех таблицах означает, что возможно задать любое значение поля.

Таблица 300 - Настройка PID фильтра для пакетов с идентификатором со значением 0

Регистр	Адрес в 16-ричном формате	Поле	Значение в 16-ричном формате	Описание

					ЮФКВ.431268.005РЭ			Лист
								458
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

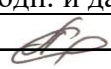
PID_DSC	014	[31:25]	X	Не используется
Дескриптор PID потока		[24]	0	PID поток не содержит PSI данные
		[23:18]	0	Номер канала DMA для записи PID потока
		[17]	0	Отбрасывать заголовки пакетов (не формировать ЧТП)
		[16]	0	PID поток не содержит значения PCR
		[15]	0	PID поток не содержит PES поток
		[14]	1	Дескриптор активен
		[13]	0	Номер канала, по которому поступает PID поток – канал 1
PID_DSC_W R	018	[12:0]	0	Значение идентификатора PID
		[31:7]	X	Не используется
		[6]	1	Запись дескриптора PID_DSC
Запись дескриптора PID_DSC		[5:0]	0	Адрес дескриптора в таблице
TS_PES	010	[31:3]	X	Не используется
Параметры разбора пакетов ТП		[2]	0	Принимать на обработку пакеты с ошибкой (бит TEI)
		[1]	0	Принимать на обработку пакеты с неверным значением счетчика непрерывности (поле CC)
		[0]	0	Не приставлять перед заголовком каждого пакета старшие 32 бита значения счетчика STC, захваченного при поступлении первого байта пакета

1.3.6.1.4.3 Настройка параметров канала записи данных в память

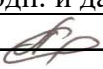
При настройке параметров PID фильтра указывался номер канала DMA для записи PID потока. Указанный канал DMA необходимо инициализировать и настроить. В Таблица 301 приведен пример настройки DMA для канала номер 0 (работа в режиме “карусель”) и параметров канала записи AXI (последовательность настройки регистров соответствует порядку их перечисления в таблице).

Таблица 301 - Настройка DMA для канала номер 0 и параметров канала записи AXI

Регистр	Адрес в 16-ричном формате	Поле	Значение в 16-ричном формате	Описание
WDMA_C0 1	050	[31:0]	2000000	Начальный адрес буфера канала DMA
WDMA_C0 2	054	[31:0]	2FFFFFF	Конечный адрес буфера канала DMA

					ЮФКВ.431268.005РЭ			Лист
								459
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

WDMA_C0 058 3	[31]	1	Бит инициации записи дескриптора в стандартную таблицу. После установки этого бита происходит загрузка параметров дескриптора. Бит сбрасывается после совершения операции. Запись возможна только когда не производится никаких текущих
	[30]	0	Бит инициации чтения из таблицы
	[29]	0	Бит инициации записи дескриптора в таблицу для использования в режиме
	[28]	0	Бит инициации чтения из таблицы дескрипторов «Текущий + 32». После установки этого бита происходит загрузка параметров карусельного дескриптора с номером WDMA_C03[5:0] из таблицы внутри DMA в регистры. Бит
	[27:24]	X	Не используется
	[23:22]	2	Тип буфера. Действия после достижения адреса конца: 2 - Прерывание об окончании буфера и загрузка дескриптора с тем же номером, но из таблицы "Текущий + 32" (режим
	[21:6]	FFFF	Размер сегмента буфера до 64Кбайт
	[5:0]	0	Номер DMA-канала, для которого записывается дескриптор. Должно быть однозначное соответствие между номером канала и буфером
WDMA_C0 050 1	[31:0]	3000000	Начальный адрес второго буфера канала DMA (режим карусели)
WDMA_C0 054 2	[31:0]	3FFFFFF	Конечный адрес второго буфера канала DMA (режим карусели)
WDMA_C0 058 3	[31]	0	Бит инициации записи дескриптора в стандартную таблицу. После установки этого бита происходит загрузка параметров дескриптора. Бит сбрасывается после совершения операции. Запись возможна только когда не производится никаких текущих
	[30]	0	Бит инициации чтения из таблицы дескрипторов

					ЮФКВ.431268.005РЭ			Лист
								460
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

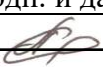
		[29]	1	Бит инициации записи дескриптора в
		[28]	0	Бит инициации чтения из таблицы дескрипторов «Текущий + 32». После установки этого бита происходит загрузка параметров карусельного дескриптора с номером WDMA_C03[5:0] из таблицы внутри DMA в регистры. Бит сбрасывается после завершения
		[27:24]	X	Не используется
		[23:22]	2	Тип буфера. Действия после достижения адреса конца: 2 - Прерывание об окончании буфера и загрузка дескриптора с тем же номером, но из таблицы "Текущий + 32" (режим карусели)
		[21:6]	FFFF	Размер сегмента буфера - 64Кбайт
		[5:0]	0	Номер DMA-канала, для которого записывается дескриптор. Должно быть однозначное соответствие между номером канала и буфером
WAXI_C01	064	[31:5]	X	Не используется
		[4]	1	Порядок байт в отправляемом в память слове данных: первый байт находится в разрядах [31:5:0]
		[3:0]	F	Максимальный размер пакетных AXI-транзакций, которые генерирует канал записи AXI – 16 слов

1.3.6.1.4.4 Настройка параметров канала приема ТП

Для начала приема данных необходимо инициализировать хотя бы один из двух каналов приема транспортного потока ядра блока демультимплексора ТП. Для каждого из каналов доступно 2 регистра с параметрами, в Таблица 302 приведен пример настройки этих регистров для первого канала для режима приема данных из памяти по каналу чтения интерфейса AXI (последовательность настройки регистров соответствует порядку их перечисления в таблице).

Таблица 302 - Настройка канала приема ТП

Регистр	Адрес в 16-ричном формате	Поле	Значение в 16-ричном формате	Описание
INBUF_CH1	000	[31:19]	X	Не используется
		[18]	0	Мультиплексор входных данных - прием данных из памяти
		[17]	1	Включение канала - канал включен

					ЮФКВ.431268.005РЭ			Лист
								461
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

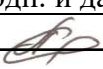
		[16]	0	Тип синхронизации - поиск синхробайта в потоке (при работе в режиме чтения ТП из памяти возможна работа только в этом режиме, поскольку не формируется сигнал SYNC)
		[15:12]	2	Количество верных очередных синхробайт в потоке, после обнаружения которых синхронизация считается успешной
		[11:8]	8	Количество неверных очередных синхробайт в потоке, после обнаружения которых синхронизация считается утраченной и выдается прерывание
		[7:0]	0	В случае нулевого значения поля [11:8] – количество неверных синхробайт в байтовом потоке, после превышения которого синхронизация считается утраченной и выдается прерывание
LVAL_CH1	004	[31:0]	FFFF	Время (в периодах входной тактовой частоты интерфейса SPI), по истечению которого в случае нахождения строба данных интерфейса SPI в низком уровне выдается прерывание (если канал включен)

1.3.6.1.4.5 Настройка параметров канала чтения AXI

После инициализации канала приема транспортного потока ядра СФ-блока демультимплексора ТП канал находится в режиме ожидания поступления данных (в данном примере это ТП, считанный из памяти по каналу AXI). Для начала чтения данных из памяти необходимо настроить соответствующий канал DMA и параметры канала чтения AXI. В Таблица 303 приведен пример настройки DMA для первого канала (работа в режиме “карусель”) и параметров канала чтения AXI (последовательность настройки регистров соответствует порядку их перечисления в таблице).

Таблица 303 - настройки DMA для первого канала и параметров канала чтения AXI

Регистр	Адрес в 16-ричном формате	Поле	Значение в 16-ричном формате	Описание
IN_MLSB	08с	[31:2]	X	Не используется
		[1]	1	Порядок байт в считываемом слове данных (канал 2) 1 - первый байт находится в разрядах
		[0]	1	Порядок байт в считываемом слове данных (канал 1) 1 - первый байт находится в разрядах [63:56] 0 - первый байт находится в разрядах [7:0]
RDMA_C0 1	068	[31:0]	0	Начальный адрес буфера канала DMA
RDMA_C0	06с	[31:0]	FFFFFF	Конечный адрес буфера канала DMA

					ЮФКВ.431268.005РЭ			Лист
								462
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

2

RDMA_C0 070

[31] 1

3

Бит инициации записи дескриптора в стандартную таблицу. После установки этого бита происходит загрузка параметров дескриптора. Бит сбрасывается после совершения операции. Запись возможна только когда не производится никаких

[30] 0

Бит инициации чтения из таблицы

[29] 0

Бит инициации записи дескриптора в таблицу для использования в режиме

[28] 0

Бит инициации чтения из таблицы дескрипторов «Текущий + 32». После установки этого бита происходит загрузка параметров карусельного дескриптора с номером RDMA_C03[5:0] из таблицы внутри DMA в регистры. Бит сбрасывается

[27:24] X

Не используется

[23:22] 2
]

Тип буфера. Действия после достижения адреса конца:

2 - Прерывание об окончании буфера и загрузка дескриптора с тем же номером, но из таблицы "Текущий + 32" (режим карусели)

[21:6] FFFF

Размер сегмента буфера - 64Кбайт

[5:0] 0

Номер DMA-канала, для которого записывается дескриптор. Должно быть однозначное соответствие между номером канала и буфером. Для канала чтения доступно 2 канала (0 - первый, 1 - второй)

RDMA_C0 068

[31:0] 1000000

1

Начальный адрес второго буфера канала DMA (режим карусели)

RDMA_C0 06с

[31:0] 1FFFFFFF

2

Конечный адрес второго буфера канала DMA (режим карусели)

[31] 0

Бит инициации записи дескриптора в стандартную таблицу. После установки этого бита происходит загрузка параметров дескриптора. Бит сбрасывается после совершения операции. Запись возможна только когда не производится никаких

RDMA_C0 070

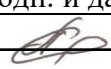
[30] 0

3

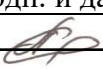
Бит инициации чтения из таблицы дескрипторов.

[29] 1

Бит инициации записи дескриптора в

					ЮФКВ.431268.005РЭ			Лист
								463
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

		[28]	0	Бит инициации чтения из таблицы дескрипторов «Текущий + 32». После установки этого бита происходит загрузка параметров карусельного дескриптора с номером WDMA_C03[5:0] из таблицы внутри DMA в регистры. Бит сбрасывается
		[27:24]	X	Не используется
		[23:22]	2	Тип буфера. Действия после достижения адреса конца:
			]	2 - Прерывание об окончании буфера и загрузка дескриптора с тем же номером, но из таблицы "Текущий + 32" (режим <i>карусели</i>)
		[21:6]	FFFF	Размер сегмента буфера - 64Кбайт
		[5:0]	0	Номер DMA-канала, для которого записывается дескриптор. Должно быть однозначное соответствие между номером канала и буфером. Для канала чтения доступно 2 канала (0 - первый, 1 - второй)
RAXI_C01	07c	[31:4]	X	Не используется
		[3:0]	F	Максимальный размер пакетных AXI-транзакций, которые генерирует канал чтения AXI (ARLEN)
RAXI_C02	080	[31:9]	X	Не используется
*		[8]	0	Признак конечного буфера. Если он установлен в 1, то, когда в буфер данных №2 поступает слово, считанное из последней ячейки конечного DMA-буфера, то буфер данных №2 автоматически прекращает генерировать запросы на
		[7]	0	Признак конечного буфера. Если он установлен в 1, то, когда в буфер данных №1 поступает слово, считанное из последней ячейки конечного DMA-буфера, то буфер данных №1 автоматически прекращает генерировать запросы на
		[6:0]	X	Не используется
RAXI_C03	084	[31]	0	Бит программного сброса AXI_INPUT. Установка этого бита в 1 приводит к программному сбросу AXI_INPUT. По завершении программного сброса, этот бит
		[30]	1	Бит разрешения работы буфера запросов
		[29:2]	X	Не используется
		[1]	0	Бит разрешения работы буфера данных

					ЮФКВ.431268.005РЭ			Лист
								464
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

* Регистр обязательно должен быть прописан до начала работы канала чтения AXI.

1.3.6.1.4.6 Начало работы и настройка дополнительных параметров

По завершению настройки канала чтения AXI (записи в регистр RAXI_C03 бита разрешения работы буфера канала 1) СФ-блок демультимплексора ТП начинает чтение и обработку ТП из памяти. По мере получения информации о ТП из таблиц PSI необходимо настраивать дополнительные PID фильтры для фильтрации нужных PID потоков, содержащих аудио и видео PES потоки различных программ и дополнительную сервисную информацию.

В режиме работы с отключенным PID фильтром весь принятый транспортный поток отправляется в память по каналу DMA, указанному в соответствующем поле регистра AD_CONF. При этом не анализируются счетчики непрерывности пакетов ТП.

В случае необходимости захвата частного транспортного потока (транспортных пакетов определенных PID потоков вместе с заголовками), необходимо установить в 1 соответствующий бит регистра PID_DSC при настройке PID фильтра для данного PID потока. Если требуется записывать несколько PID потоков в один буфер в памяти, необходимо указать при настройке PID фильтров для этих потоков одинаковый номер канала DMA (соответствующее поле регистра PID_DSC). Таким образом, пакеты выбранных PID потоков будут направляться в один буфер в памяти в порядке их поступления на обработку в СФ-блок демультимплексора ТП.

1.3.6.1.4.7 Работа с ШИМ генератором

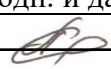
В блоке демультимплексора транспортного потока реализована поддержка алгоритма восстановления системной тактовой частоты источника сигнала и подстройки системной тактовой частоты (только для первого канала приема ТП). В современных системах с большим объемом оперативной памяти необходимости в аппаратной подстройке частоты не возникает. Поэтому использование данной функции рекомендуется только в системах, где запись отфильтрованных демультимплексором ТП аудио и видеоданных производится непосредственно в аппаратные буфера видео или аудио декодеров без использования оперативной памяти.

Встроенный ШИМ генератор включается и настраивается регистром PWM_CONF1. Если в транспортном потоке поступают значения PCR, а также PID поток, в котором они поступают, помечен битом PID_DSC[16], то длительность импульса ШИМ вычисляется по следующей формуле (с использованием полученного значения PCR и значения внутреннего счетчика STC, который синхронизируется с первым полученным значением PCR):

$$PWM\_CONF1[23:12] + ((PCR - STC) <> PWM\_CONF2[10:0])$$

Где $<>$ - логический сдвиг, направление которого определяется битом PWM_CONF2[11], а значение - PWM_CONF2[10:0]. Значение сдвига определяется характеристиками используемого VCXO. При вычислении разницы PCR - STC учитывается знак результата. Если транспортный поток не содержит значений PCR (либо величина сдвига PWM_CONF2[10:0] = 0), то длина импульса ШИМ не меняется и равна PWM_CONF1[23:12].

Значения длительности импульса PWM_CONF1[23:12] и величины сдвига PWM_CONF2[10:0] задаются в единицах периода частоты системного тактового сигнала. Схема подключения аппаратного выходного сигнала ШИМ генератора показана на рисунке ниже:

					ЮФКВ.431268.005РЭ			Лист
								465
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

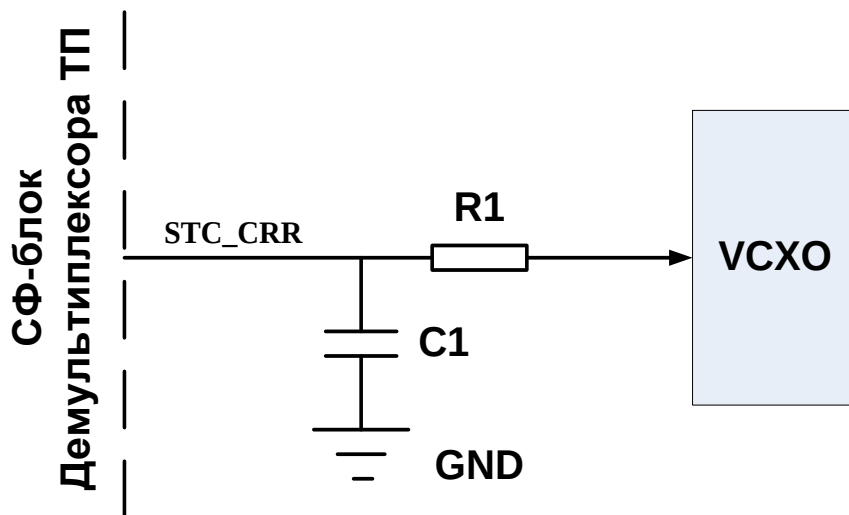


Рисунок 372 - Схема подключения сигнала STC_CRR

Рекомендуемые номиналы дискретных элементов (при частоте импульсов ШИМ 100 кГц):

R1 = 1 кОм;

C1 = 10 нФ.

Значение, которое необходимо прописать в поле периода импульса PWM_CONF1[11:0], рассчитывается следующим образом:

$$PWM\_CONF1[11:0] = F_{sys} / F_{pwm}$$

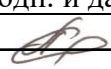
Где F_{sys} – частота системного тактового сигнала, а F_{pwm} – частота импульсов ШИМ. Рекомендуемое значение частоты импульсов ШИМ генератора составляет 100 кГц.

1.3.6.1.4.8 Работа с прерываниями и статусными регистрами

В блоке демультимплексора транспортного потока есть один основной регистр статуса STATUS, значение которого необходимо считывать после выработки прерывания. После считывания этого регистра значения всех его полей сбрасываются в 0, также как и сигнал прерывания. Дополнительные статусные регистры относятся к каналам записи и чтения из памяти и позволяют получить более детальную информацию о событиях, относящихся к работе DMA и AXI буферов каналов записи и чтения из памяти. Соответствие разрядов основного статусного регистра дополнительным статусным регистрам показано в Таблица 304. Все не указанные в Таблица 304 разряды основного статусного регистра не сопровождаются дополнительными статусными регистрами, и их описание можно найти в разделе 1.3.6.1.1.2 в составе регистровой карты блока.

Таблица 304 - Соответствие разрядов основного статусного регистра дополнительным статусным регистрам

Разряд регистра STATUS	Описание	Доп. регистр	Описание доп. регистра

					ЮФКВ.431268.005РЭ			Лист
								466
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

[28]	Прерывание при передаче последнего адреса сегмента, канал чтения	DMAR_S1	Биты [5:4] - Прерывание по концу сегмента буфера для каналов 1 и 0 соответственно
[26]	Прерывание по запросу адреса при неактивном дескрипторе (либо незагружен либо полностью обработан), канал чтения	DMAR_S1	Биты [1:0] - Прерывание по запросу адреса при неактивном дескрипторе для каналов 1 и 0 соответственно
[25]	Прерывание при передаче последнего адреса текущего буфера, канал чтения	DMAR_S1	Биты [3:2] - Прерывание при передаче последнего адреса текущего буфера для каналов 1 и 0 соответственно
[24]	Прерывание при передаче последнего адреса сегмента, канал записи	DMAW_S1	Прерывание по концу сегмента буфера для каналов от 63 до 32
		DMAW_S2	Прерывание по концу сегмента буфера для каналов от 31 до 0 соответственно
[22]	Прерывание по запросу адреса при неактивном дескрипторе (либо незагружен либо полностью обработан), канал записи	DMAW_S5	Прерывание по запросу адреса при неактивном дескрипторе для каналов от 63 до 32 соответственно
		DMAW_S6	Прерывание по запросу адреса при неактивном дескрипторе для каналов от 31 до 0 соответственно
[21]	Прерывание при передаче последнего адреса текущего буфера, канал записи	DMAW_S3	Прерывание при передаче последнего адреса текущего буфера для каналов от 63 до 32
		DMAW_S4	Прерывание при передаче последнего адреса текущего буфера для каналов от 31 до 0 соответственно
[20]	Прерывание по получению ответа SLVERR по каналу чтения AXI	AXIR_S1	Адрес транзакции чтения, при выполнении которой SLAVE-устройство выдало статус ошибки RRESP=SLVERR
[16]	Прерывание по получению ответа SLVERR по каналу записи AXI	AXIW_S1	Значение поля BRESP транзакции с ответом SLVERR и номер канала DMA, по которому пришел ответ SLVERR

Все возможные типы прерываний соответствуют битам основного статусного регистра STATUS. Для маскирования прерываний используется регистр MASK_C, в **Ошибка!** **Источник ссылки не найден.** приведен список типов прерываний (разрядов статусного регистра STATUS) и соответствующих разрядов регистра MASK_C, в которых прописываются маски для этих прерываний. Все разряды, помеченные -Статус-, являются информационными и не приводят к выработке прерываний. Биты 29 и 30 регистра масок прерываний задают режимы выработки прерываний DMA каналов чтения и записи соответственно, рекомендуется задать значения этих бит равные 1 – прерывания вырабатываются после отправки/получения данных в/из памяти.

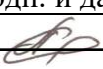
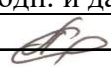
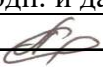
					ЮФКВ.431268.005РЭ			Лист
								467
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2				14.11.11		18212-1		

Таблица 305 - Список типов прерываний и соответствующих разрядов регистра MASK_C

Разряд регистра STATUS	Описание прерывания	Маскирующий регистр
[28]	Прерывание при передаче последнего адреса сегмента, канал чтения	MASK_C[28]
[27]	Прерывание по обращению к запрещенному номеру канала (обращение к 5 каналу, а их всего 1), канал чтения	MASK_C[27]
[26]	Прерывание по запросу адреса при неактивном дескрипторе (либо незагружен либо полностью обработан), канал чтения	MASK_C[26]
[25]	Прерывание при передаче последнего адреса текущего буфера, канал чтения	MASK_C[25]
[24]	Прерывание при передаче последнего адреса сегмента, канал записи	MASK_C[24]
[23]	Прерывание по обращению к запрещенному номеру канала (обращение к 5 каналу, а их всего 1), канал записи	MASK_C[23]
[22]	Прерывание по запросу адреса при неактивном дескрипторе (либо незагружен либо полностью обработан), канал записи	MASK_C[22]
[21]	Прерывание при передаче последнего адреса текущего буфера, канал записи	MASK_C[21]
[20]	Прерывание по получению ответа SLVERR по каналу чтения AXI	MASK_C[20]
[19]	Индикация пустоты буфера канала чтения AXI канал 2	-Статус-
[18]	Индикация пустоты буфера канала чтения AXI канал 1	-Статус-
[17]	Прерывание по отсылке данных PSI	MASK_C[17]
[16]	Прерывание по получению ответа SLVERR по каналу записи AXI	MASK_C[16]
[15]	Индикация пустоты буфера канала записи AXI	-Статус-
[14]	Прерывание по переполнению буфера канала записи AXI	MASK_C[14]
[13]	Прерывание по ошибке программирования ШИМ	MASK_C[13]
[12]	Прерывание по превышению порогового значения разности PCR-SCT	MASK_C[12]
[11]	Прерывание по неверному значению счетчика непрерывности СС	MASK_C[11]
[10]	Прерывание по обнаружению ошибки в пакете	MASK_C[10]
[9]	Прерывание по ошибке входных данных канал 2	MASK_C[9]
[8]	Прерывание по потере синхронизации канал 2	MASK_C[8]

					ЮФКВ.431268.005РЭ			Лист
								468
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

[7]	Прерывание по прекращению поступления данных канал 2	MASK_C[7]
[6]	Прерывание по переполнению буфера FIFO канал 2	MASK_C[6]
[5]	Индикация пустоты входного буфера FIFO канал 2	-Статус-
[4]	Прерывание по ошибке входных данных канал 1	MASK_C[4]
[3]	Прерывание по потере синхронизации канал 1	MASK_C[3]
[2]	Прерывание по прекращению поступления данных канал 1	MASK_C[2]
[1]	Прерывание по переполнению буфера FIFO канал 1	MASK_C[1]
[0]	Индикация пустоты входного буфера FIFO канал 1	-Статус-

					ЮФКВ.431268.005РЭ			Лист
								469
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.6.2 Интерфейс USB

1.3.6.2.1 Краткое описание

F_USB20H0 является управляемым контроллером шины USB. Он состоит из контроллера (LINK) и соединенного с ним физического уровня (PHY). Применяемая технология является 90 нм (CS101, CS104) и 65 нм (CS202). Поддерживается только один порт. В контроллер (LINK) имеет встроенный контроллер, поддерживающий оба режима EHCI и OHCI, и обеспечивает три режима работы:

- HS — высокоскоростная;
- FS — среднескоростная;
- LS — низкоскоростная;

Интерфейс системы согласовывается с шиной АНВ. Определяется, будет ли USB мастером-устройством или будет подчиняемым. Согласно двум режимам EHCI и OHCI, шина АНВ типа мастер выполняет роль DMA (Прямой Доступ к Памяти) между устройством и памятью системы.

Схема подключения блока интерфейса USB приводится на Рисунок 373

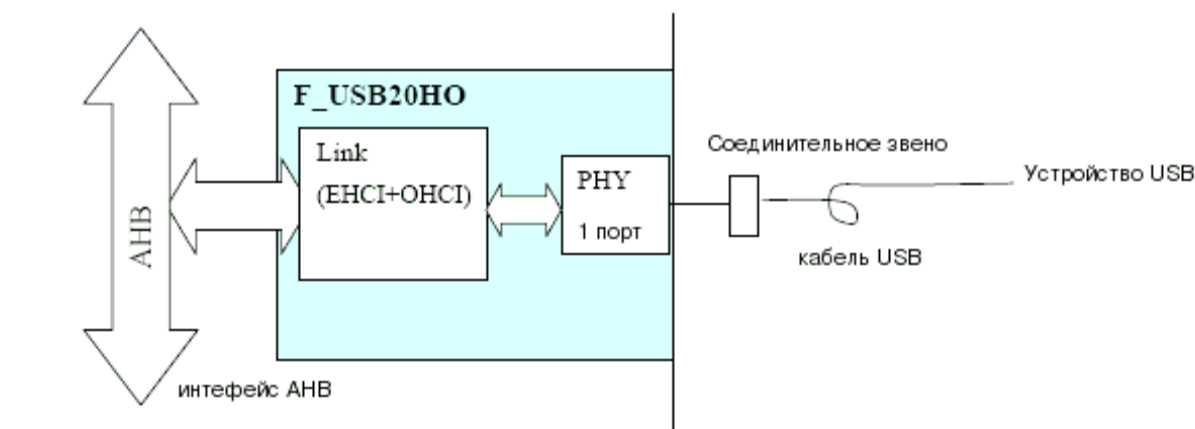


Рисунок 373 – Схема подключения блока интерфейса USB

- Содержит блок физического уровня PHY и блок LINK.
- Содержит встроенный контроллер, поддерживающий оба режима EHCI и OHCI.
- Для устройств USB2.0 регламентировано три режима работы HS, FS, LS.
- Поддержка интерфейсов UTMI и ULPI (Высокоскоростной режим работы должен быть обеспечен).
- Содержит 512 байтов группы буферов.
- Поддержка традиционных портов USB не предоставляется.
- Функции устройства предоставлены ниже (Таблица 306, Таблица 307).

Таблица 306 – Функции режима OHCI для средне/низкоскоростной передач

Передача блоками

Установка начала момента передачи данных

Установка PID (IN/OUT)

					ЮФКВ.431268.005РЭ			Лист
								470
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Передача данных (байтовая транзакция)

Установка обнаружения ошибки в приеме небольшого пакета

Введение смещения в PacketDataBuffer

Установка явного/неявного прерывания в конце передачи и установление системы прерывания

Команды передачи управления

Установка начала момента передачи данных

Установка PID (IN/OUT/SETUP)

Передача данных (байтовая транзакция)

Установка обнаружения ошибки в приеме небольшого пакета

Продолжение Таблица 307

Команды передачи управления

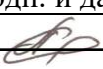
	Установка начала момента передачи данных
	Введение смещения в PacketDataBuffer
	Установка явного/неявного прерывания в конце передачи и установление системы прерывания
	Установка средне/низкоскоростного режима работы (установлен используемый / неиспользуемый сигнал PRE, когда подсоединен среднескоростной узел сети,)

Команды передачи прерывания

	Установка начала момента передачи данных
	Установка PID (IN/OUT)
	Передача данных (байтовая транзакция)
	Установка обнаружения ошибки в приеме небольшого пакета
	Введение смещения в PacketDataBuffer
	Установка явного/неявного прерывания в конце передачи и установление системы прерывания
	Установка средне/низкоскоростного режима работы (установлен используемый / неиспользуемый сигнал PRE, когда подсоединен среднескоростной узел сети)

Равновременная передача

	Установка PID (IN/OUT)

					ЮФКВ.431268.005РЭ			Лист
								471
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Передача данных (байтовая транзакция)

Установка обнаружения ошибки в приеме небольшого пакета

Введение смещения в PacketDataBuffer

Установка явного/неявного прерывания в конце передачи и установление системы прерывания

Возможность перезагрузки системы

Таблица 307 – Функции режима ЕНСІ для высокоскоростной передачи

Асинхронная передача (Передача блоками/ Команды передачи управления)

Установка начала момента передачи данных

Установка PID (IN/OUT/SETUP)

Передача данных (байтовая транзакция)

Введение смещения в PacketDataBuffer

Установка следующей передачи данных в ShortPkt/NormalPkt

NakCount устанавливает определенное количество PING пересылок в высокоскоростном режиме,

PARK устанавливает число повторных передач одному и тому же устройству в высокоскоростном режиме.

Установка многократной передачи в состоянии подключения к сетевому концентратору

Установка явного/неявного прерывания в конце передачи

Установка бита (H-bit), определяющий конец передачи

Команды передачи прерывания (когда определена высокоскоростная оконечная точка)

Установка начала момента передачи данных

Установка PID (IN/OUT)

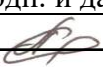
Передача данных (байтовая транзакция)

Введение смещения в PacketDataBuffer

Установка следующей передачи данных в ShortPkt/NormalPkt

По средством Mult определяется число повторных передач для 1 микрокадра для широкополосной оконечной точки доступа.

Установка явного/неявного прерывания в конце передачи.

					ЮФКВ.431268.005РЭ			Лист
								472
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Продолжение Таблица 307

Команды передачи прерывания (когда определена средне/низкоскоростная оконечная точка)

Установка начала момента передачи данных

Установка PID (IN/OUT)

Передача данных (байтовая транзакция)

Установка следующей передачи данных в ShortPkt/NormalPkt

Случайным образом выбирается микрокадр для исполнения режимов StartSplit/CompleteSplit. Согласно комбинациям передачи байтовых транзакций и передачи стартового микрокадра, передача состоит из передачи 2 пакетов через FSTN.

Установка явного/неявного прерывания в конце передачи.

Возможность приостановки передачи (устанавливается I-бит)

Равновременная передача (когда определена высокоскоростная оконечная точка)

По средством Mult определяется число повторных передач для 1 микрокадра для широкополосной оконечной точки доступа.

Передача данных (байтовая транзакция)

Введение смещения в PacketDataBuffer

Установка явного/неявного прерывания в конце передачи.

Равновременная передача (когда определена средне/низкоскоростная оконечная точка)

Передача данных (байтовая транзакция)

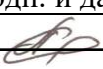
Введение смещения в PacketDataBuffer

Случайным образом выбирается микрокадр для исполнения режимов StartSplit/CompleteSplit. Согласно комбинациям передачи байтовых транзакций и передачи стартового микрокадра, передача состоит из передачи 2 пакетов через BackPointer.

Установка явного/неявного прерывания в конце передачи.

1.3.6.2.2 Структурная схема блока интерфейса USB

На Рисунок 374 показана структурная схема блока интерфейса USB.

					ЮФКВ.431268.005РЭ			Лист
								473
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

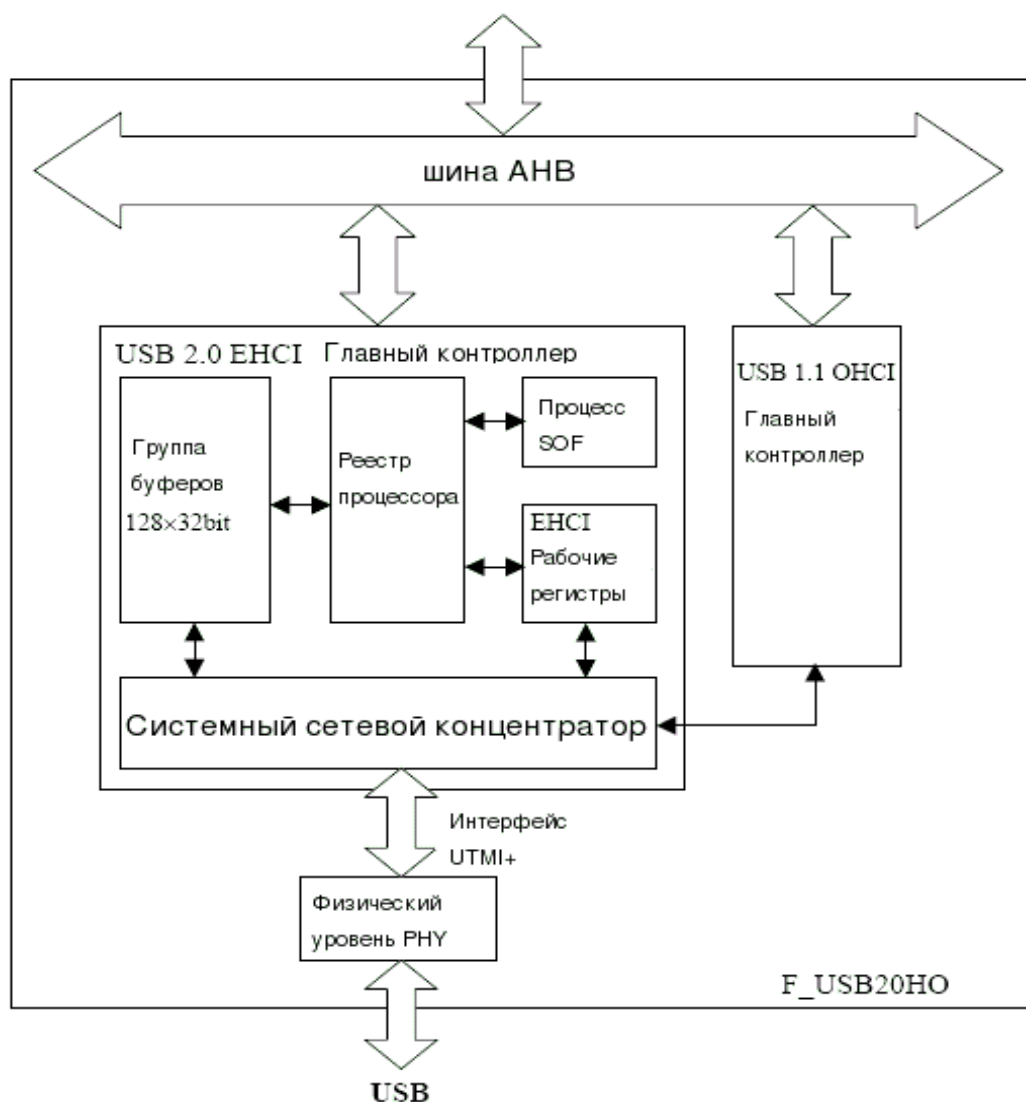


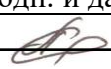
Рисунок 374 - Структура блока интерфейса USB

1.3.6.2.3 Регистры блока интерфейса USB

Описание регистров интерфейса USB приведено в Таблица 308.

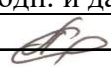
Таблица 308 – Описание регистров интерфейса USB

Адрес	Название регистра	Описание
USB 2.0 Host Контроллер		
EHCI Регистры Операций		
USBBASE + 00h	HCCAPBASE	Регистр возможности
USBBASE + 04h	HCSPARAMS	Структурный параметр
USBBASE + 08h	HCCPARAMS	Параметр возможности
USBOPBASE + 00h	USBCMD	USB Команда
USBOPBASE + 04h	USBSTS	USB Статус
USBOPBASE + 08h	USBINTR	USB Разрешение Прерывания

					ЮФКВ.431268.005РЭ			Лист
								474
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Продолжение Таблица 308

Адрес	Название регистра	Описание
USB 2.0 Host Контроллер		
USBOPBASE + 0ch	FRINDEX	USB Индекс Кадра
USBOPBASE + 10h	CTRLDSSEGMENT	4G Селектор Сегмента
USBOPBASE + 14h	PERIODICLISTBASE	Базовый адрес регистра листа периодических кадров
USBOPBASE + 18h	ASYNCLISTADDR	Адрес Асинхронного листа
USBOPBASE + 40h	CONFIGFLAG	Регистр Флага Конфигурации
USBOPBASE + 44h	PORTSC_1	Статус порта/Управление
USBOPBASE + 48h	Reserved	Доступ Запрещен
USBOPBASE + 80h	INSNREG00	Значение Программной Базы Микрокадра
USBOPBASE + 84h	INSNREG01	Пороги Программного Пакетного Буфера OUT/IN
USBOPBASE + 88h	INSNREG02	Глубина Программного Пакетного Буфера
USBOPBASE + 8Ch	INSNREG03	Передачи Обрыва(Break)по Памяти
USBOPBASE + 90h	INSNREG04	Регистр Отладки
USBOPBASE + 94h	INSNREG05	UTMI Регистры Управления Статусом
OHCI Регистры Операций		
000h	HcRevision	
004h	HcControl	
008h	HcCommandStatus	
00Ch	HcInterruptStatus	
010h	HcInterruptEnable	
014h	HcInterruptDisable	
018h	HcHCCA	
01Ch	HcPeriodCurrentED	
020h	HcControlHeadED	
024h	HcControlCurrentED	
028h	HcBulkHeadED	
02Ch	HcBulkCurrentED	
030h	HcDoneHead	
034h	HcFmInterval	
038h	HcFmRemaining	
03Ch	HcFmNumber	
040h	HcPeriodicStart	
044h	HcLSThreshold	
048h	HcRhDescriptorA	
04Ch	HcRhDescriptorB	
050h	HcRhStatus	
054h	HcRhPortStatus[1]	
058h	Reserved	Доступ Запрещен
100h	Reserved	Доступ Запрещен
104h	Reserved	Доступ Запрещен
108h	Reserved	Доступ Запрещен
10Ch	Reserved	Доступ Запрещен
Other registers		
0h	Link mode setting	
4h	PHY mode setting1	
8h	PHY mode setting2	

					ЮФКВ.431268.005РЭ			Лист
								475
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

1.3.6.3 Интерфейс Ethernet

1.3.6.3.1 Назначение

Gaisler Research's Ethernet MAC (GRETH) контроллер обеспечивает интерфейс между AMBA- АНВ шиной и сетью Ethernet. Он поддерживает скорость передачи 10/100 Мбит/сек в полудуплексном и дуплексном режимах.. AMBA интерфейс состоит из APB интерфейса для конфигурирования и управления и интерфейса АНВ-мастера для управления потоком данных. Поток данных обрабатывается DMA-каналами. Один DMA– канал для передатчика и один - для приемника. Оба канала делят один и тот же АНВ-мастер-интерфейс.Интерфейс Ethernet поддерживает оба МП и RМП интерфейсы, которые должны быть соединены с внешним РНУ блоком. GRETH также обеспечивает доступ к МП Management интерфейсу, который используется для конфигурирования РНУ блока

Ethernet Debug Communication Link (EDCL) протокол также поддерживается аппаратно в контроллере. Это протокол, базирующийся на UDP/IP протоколе, для удаленной отладки.

Блок-схема внутренней структуры GRETH приведена на **Рисунок 375**.

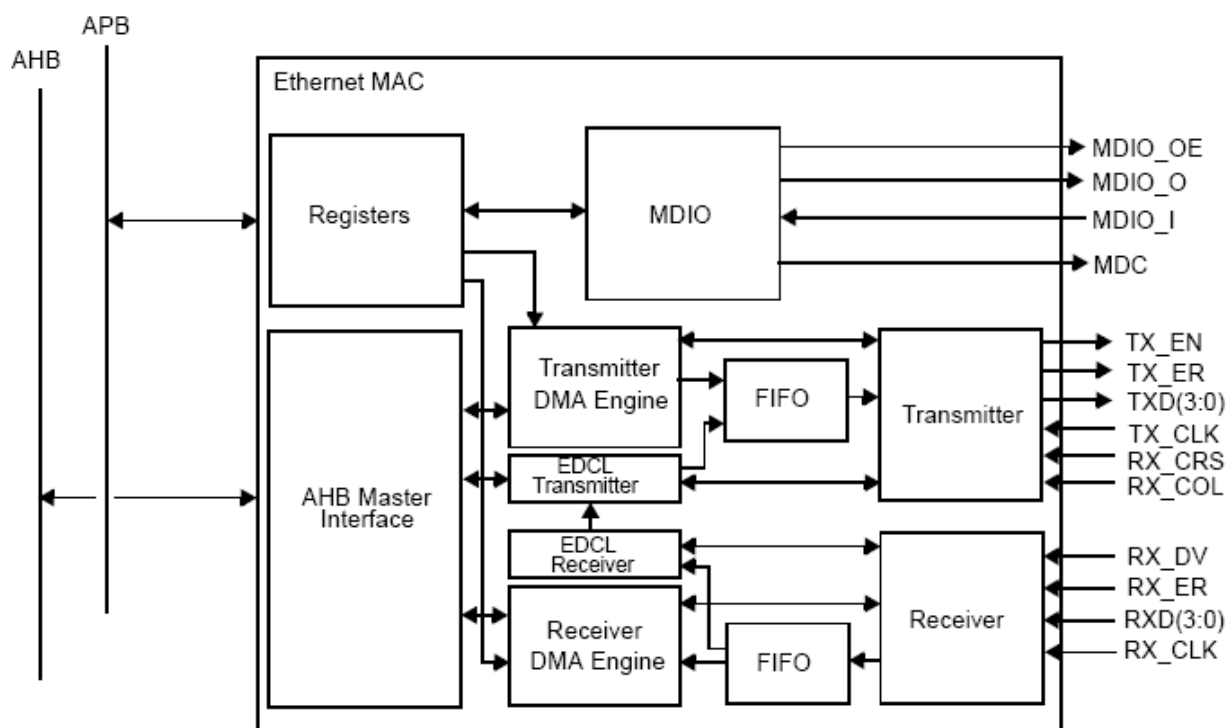


Рисунок 375 – Блок-схема внутренней структуры GRETH

1.3.6.3.2 Операции

1.3.6.3.2.1 Обзор системы

Контроллер GRETH состоит из 3-х функциональных устройств: DMA-каналов, MDIO-интерфейса и Ethernet Debug Communication Link (EDCL) блока.

					ЮФКВ.431268.005РЭ			Лист
								476
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Основная функциональность состоит из DMA-каналов, которые используются для передачи данных между АНВ-шиной и сетью Ethernet. Используется один DMA-канал передатчика и один DMA-канал приемника. Операция с DMA-каналами управляется через регистры, доступные через APB-интерфейс.

MDIO-интерфейс используется для доступа к конфигурационным и статус-регистрам в один или более PHY-блоков, подключенных к MAC. Операция этого интерфейса также управляется через APB-интерфейс.

EDCL обеспечивает доступ по чтению и записи к АНВ-шине через Ethernet. Он использует UDP, IP, ARP протоколы вместе с протоколом пользовательского уровня (custom application layer), чтобы выполнить это. EDCL не содержит регистров, доступных пользователю, и всегда работает параллельно с DMA-каналами.

Media Independent Interface (MII) используется для связи с PHY. Ethernet -передатчик посылает все данные из АНВ домена в Ethernet, используя MII интерфейс. Соответственно, Ethernet - приемник сохраняет все данные из Ethernet на АНВ-шине. Оба этих интерфейса используют FIFO памяти, когда передают потоки данных. GRETH также использует RMII, который использует подмножество этих сигналов.

EDCL и DMA-каналы делят Ethernet - приемник и передатчик.

1.3.6.3.2.2 Поддержка протоколов

GRETH-контроллер изготовлен согласно IEEE стандарту 802.3-2002. Не поддерживается используемое по выбору управление подуровнем и групповые (multicast) адреса не могут быть назначены для MAC. Это означает, что пакеты с типом 0x8808 (единственные в настоящее время определенные управляющие пакеты) отбрасываются.

1.3.6.3.2.3 Синхронизация

GRETH-контроллер имеет 3 домена синхроимпульсов. АНВ синхроимпульс, синхроимпульс

Ethernet-приемника, синхроимпульс Ethernet-передатчика. Синхроимпульсы Ethernet-приемника и Ethernet-передатчика генерируются внешним Ethernet PHY и заходят в ядро (core) через MII интерфейс. 3 домена синхроимпульсов не связаны друг с другом и все сигналы пересекающие области синхроимпульсов полностью синхронизованы внутри ядра.

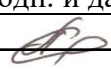
Оба рабочих режима – дуплексный и полудуплексный поддерживаются и оба могут выполняться со скоростью или в 10 или 100 Мбит. Минимальный АНВ синхроимпульс для 10 Мбит – 2,5 МГц., в то время как 18 МГц необходимо для 100 Мбит. Использование более медленного АНВ синхроимпульса приведет к завышенной потере пакетов.

1.3.6.3.2.4 Интерфейс передатчика Tx DMA

Интерфейс DMA-передатчика используется для передачи данных в Ethernet сеть. Передача сделана с помощью дескрипторов, помещенных в память.

1.3.6.3.2.4.1 Установка дескриптора

Один дескриптор показан на **Рисунок 376** и Рисунок 377. Количество байтов, которое должно быть передано, устанавливается в поле длины и поле адреса указывает на данные. Адрес должен быть выровнен с точностью до слова. Если бит разрешения прерывания interrupt enable (IE) установлен, прерывание будет сгенерировано, когда пакет был послан (это требует, чтобы бит прерывания передатчика в управляющем регистре также был установлен). Прерывание будет сгенерировано независимо от того, был ли пакет передан успешно или нет.

					ЮФКВ.431268.005РЭ			Лист
								477
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Бит Свертки Wrap(WR) , также управляющий бит, который будет установлен перед передачей, и он будет объяснен позже в этом разделе.

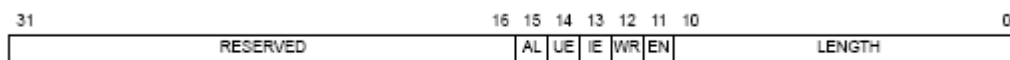


Рисунок 376 – Дескриптор передатчика GRETH слово 0 (смещение адреса (address offset) 0x0)

31:16 не используется.

15 Attempt Limit Error (AL) – Пакет не был передан, потому было достигнуто максимальное количество попыток.

14 Underrun Error (UE) – Пакет был некорректно передан из-за ошибки переполнения FIFO.

13 Interrupt enable (IE) – Разрешение прерываний. Прерывание было сгенерировано, когда пакет от этого дескриптора был послан, обеспеченный тем, что Interrupt enable бит в управляющем регистре установлен. Прерывание сгенерировано независимо от того, успешно был передан пакет или он был завершен с ошибкой

12 Wrap(WR) – Устанавливается в 1, чтобы заставить указатель дескриптора свернуться в 0 после того, как дескриптор был использован. Если этот бит не установлен, указатель будет увеличен на 8 . Указатель автоматически сворачивается в 0, когда граница 1 кВ дескриптора достигнута.

11 Enable(EN) - Устанавливается в 1, чтобы сделать дескриптор значимым. Будет всегда устанавливаться последним из всех дескрипторных полей.

10:0 LENGTH – количество байтов, которое должно быть передано.

Дескриптор передатчика GRETH слово 1 (смещение адреса (address offset) 0x4)



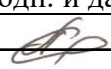
Рисунок 377 – Дескриптор передатчика GRETH слово 1 (смещение адреса (address offset) 0x0)

31:2 Address (ADDRESS) – Указатель на область буфера, откуда данные будут загружены..

1:0 не используется.

1.3.6.3.2.4.2 Начало передачи

Значимый дескриптор не достаточен, чтобы начать передачу. Сначала в GRETH должен быть установлен указатель области памяти, содержащей дескрипторы. Это сделано в регистре указателя дескриптора передатчика.. Адрес должен быть выровнен к 1кБ границе. Разряды с 31 по 10 содержат базовый адрес области дескрипторов, в то время как разряды с 9 по 3 формируют указатель на индивидуальный дескриптор. Первый дескриптор будет помещен по базовому адресу и, когда он будет использован GRETH-контроллером, поле указателя будет увеличено на 8, чтобы указать на следующий дескриптор. Указатель будет автоматически свернут обратно в 0, когда следующая 1кБ граница будет достигнута

					ЮФКВ.431268.005РЭ			Лист
								478
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

(дескриптор со смещением адреса 0x3F8 был использован). Разряд WR в дескрипторах может быть установлен, чтобы сделать свертку указателя к 0 обратно до 1кБ границы.

Поле указателя также сделано доступным по записи для максимальной гибкости, но нужно соблюдать осторожность при записи указателя дескриптора в регистр. Его никогда нельзя трогать, когда передача активна.

Последний шаг для активизации передачи - это установка разряда разрешения передачи (transmit enable) в управляющем регистре. Это говорит GRETH- контроллеру, что еще есть активные дескрипторы в таблице дескрипторов. Этот разряд будет всегда установлен, когда новые дескрипторы значимы., даже если передачи уже активны. Дескрипторы должны всегда быть значимы до того, как разряд разрешения передачи (transmit enable bit) установлен.

1.3.6.3.2.4.3 Обработка дескриптора после передачи

Когда передача пакета закончена, статус записывается в первое слово соответствующе-го дескриптора. Разряд Ошибки Неполного Завершения (Underrun Error) устанавливается, если FIFO стало пустым до того, как пакет был полностью передан, когда разряд Ошибки исчерпания Предела Попыток (Attempt Limit Error) установлен, если произошло больше столкновений, чем разрешено. Пакет был успешно передан, если оба этих разряда равны 0. Другие разряды первого слова дескриптора устанавливаются в 0 после передачи, в то время как второе слово остается нетронутым.

Разряд разрешения (enable bit) будет использован как индикатор, когда дескриптор может быть использован снова, тогда, когда он был обнулен контроллером GRETH. В GRETH 3 разряда, которые содержат статус передачи. Ошибка передатчика Transmission Error (TE) устанавливается каждый раз, когда передача заканчивается с ошибкой (когда по крайней мере один из 2 разрядов статуса в передаваемом дескрипторе был установлен). Прерывание передатчика Transmitter Interrupt (TI) устанавливается каждый раз, когда передача закончилась успешно.

Ошибка передатчика АНВ Transmitter АНВ Error (ТА), когда ошибка АНВ встретила или во время чтения дескриптора или во время чтения пакета данных. Любые активные передачи будут прекращены и передатчик будет незначимым. Передатчик может быть активирован снова установкой регистра разрешения передачи (transmit enable register).

1.3.6.3.2.4.4 Установка данных передачи

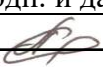
Данные для передачи будут помещены, начиная с адреса, указанного в поле адреса дескриптора. Контроллер GRETH не прибавляет Ethernet адрес и поля типа так, чтобы они также должны были храниться в буфере данных. 4 байта Ethernet CRC автоматически добавляются в конце каждого пакета. Каждый дескриптор будет посылаться как единственный Ethernet пакет. Если поле размера в дескрипторе больше, чем 1514 байт, пакет не будет передан.

1.3.6.3.2.5 Интерфейс приемника Rx DMA

Интерфейс DMA-приемника используется для приема данных из сети Ethernet. Прием делается с использованием дескрипторов, помещенных в память.

1.3.6.3.2.5.1 Установка дескрипторов

Один дескриптор показан на Рисунок 378 и Рисунок 379. Поле адреса будет указывать на выровненный до слова буфер, где принятые данные будут храниться. GRETH никогда не будет хранить в буфере больше, чем 1514 байт. Если разряд разрешения прерывания interrupt enable (IE) установлен, прерывание будет сгенерировано, когда пакет будет принят в этот

					ЮФКВ.431268.005РЭ			Лист
								479
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

буфер (это требует, чтобы разряд прерывания приемника в управляющем регистре также был установлен) Разряд свертки Wrap (WR) также управляющий разряд, который будет установлен до того как дескриптор значимый и будет объяснен позже в этом разделе.

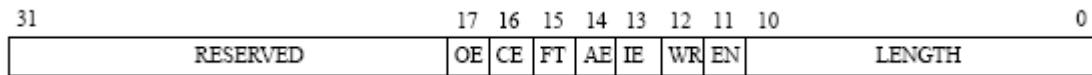


Рисунок 378 – Дескриптор приемника GRETH слово 0 (смещение адреса (address offset) 0x0)

31:16 не используется.

- 18 Length error (LE) - Поле длины.типа пакета не совпадает с действительным числом принятых байтов.
- 17 Overrun error (OE) - Кадр (frame) был некорректно принят из-за переполнения FIFO.
- 16 CRC error (CE) - Ошибка CRC была определена в этом кадре (frame).
- 15 Frame too long (FT) – Кадр больший, чем максимальный размер был принят. Лишняя часть будет отброшена.
- 14 Alignment error (AE) – Нечетное число полубайтов было принято.
- 13 Interrupt enable (IE) – Разрешение прерываний. Прерывание было сгенерировано, когда пакет от этого дескриптора был принят, обеспеченный тем, что Interrupt enable бит в управляющем регистре установлен. Прерывание сгенерировано независимо от того, успешно был принят пакет или он был завершен с ошибкой
- 12 Wrap(WR) –Устанавливается в 1, чтобы заставить указатель дескриптора свернуться в 0 после того, как дескриптор был использован. Если этот бит не установлен, указатель будет увеличен на 8 . Указатель автоматически сворачивается в 0, когда граница 1 кВ дескриптора достигнута.
- 11 Enable(EN) - Устанавливается в 1, чтобы сделать дескриптор значимым. Будет всегда устанавливаться последним из всех дескрипторных полей.
- 10:0 LENGTH – количество байтов, которое должно быть передано.

Дескриптор приемника GRETH слово 1 (смещение адреса (address offset) 0x4)

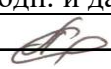


Рисунок 379 – Дескриптор приемника GRETH слово 1 (смещение адреса (address offset) 0x4)

- 31:2 Address (ADDRESS) – Указатель на область буфера, куда данные будут загружены..
- 1:0 не используется.

1.3.6.3.2.5.2 Начало приема

Значимый дескриптор не достаточен, чтобы начать прием. Сначала в GRETH должен быть установлен указатель области памяти, содержащей дескрипторы. Это сделано в регистре указателя дескриптора приемника. Адрес должен быть выровнен к 1кБ границе. Разряды с 31 по 10 содержат базовый адрес области дескрипторов, в то время как разряды с 9 по 3

					ЮФКВ.431268.005РЭ			Лист
								480
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

формируют указатель на индивидуальный дескриптор. Первый дескриптор будет помещен по базовому адресу и, когда он будет использован GRETH-контроллером, поле указателя будет увеличено на 8, чтобы указать на следующий дескриптор. Указатель будет автоматически свернут обратно в 0, когда следующая 1кБ граница будет достигнута (дескриптор со смещением адреса 0x3F8 был использован). Разряд WR в дескрипторах может быть установлен, чтобы сделать свертку указателя к 0 обратно до 1 кБ границы.

Поле указателя также сделано доступным по записи для максимальной гибкости, но нужно соблюдать осторожность при записи указателя дескриптора в регистр. Его никогда нельзя трогать, когда прием активен.

Последний шаг для активизации приема - это установка разряда разрешения приема (receive enable) в управляющем регистре. Это заставляет GRETH- контроллер считывать первый дескриптор и ожидать входной пакет.

1.3.6.3.2.5.3 Обработка дескриптора после приема

GRETH- контроллер указывает на окончание приема сбросом разряда разрешения дескриптора (descriptor enable bit). Другие управляющие разряды (WR,IE) также сбрасываются. Количество принятых байтов показывается в поле длина. Сохраняемые части Ethernet-кадра - это адрес назначения, адрес источника, тип и поля данных. Разряды 17-14 в первом слове дескриптора – статус разряды, указывающие различные ошибки приема. Все четыре разряда – нули после приема без ошибок. Разряды статуса описаны на Рисунок 378.

Если пакет принят с адресом, не принятым MAC, регистр статуса IA, будет установлен.

Пакеты размера больше максимального размера вызывают установку FT разряда. Не гарантируется, что поле длина содержит правильное значение принятых байтов. Счетчик останавливается, когда слово, содержащее последний байт вплоть до предельно максимального размера, было записано в память.

Адресное слово дескриптора никогда не трогается контроллером GRETH.

1.3.6.3.2.5.4 Прием с АНВ ошибками

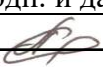
Если ошибка АНВ происходит во время чтения дескриптора или сохранения данных, разряд АНВ ошибки приемника (Receiver АНВ Error) будет установлен и приемник отключен. Текущий прием будет отброшен. Приемник будет включен снова установкой разряда разрешения приема (Receive Enable) в управляющем регистре.

1.3.6.3.2.6 MDIO интерфейс

MDIO интерфейс обеспечивает доступ к РНУ конфигурационным и статус – регистрам через двухпроводной интерфейс, который включен через МП интерфейс. GRETH обеспечил полную поддержку для MDIO интерфейса. Если это не нужно в устройстве, он может быть удален в VHDL generic.

MDIO интерфейс может быть использован для доступа к 1 до 32 РНУ, содержащих от 1 до 32-х 16-разрядных регистров. Установка передачи по чтению i производится записью РНУ и регистровых адресов в MDIO управляющий регистр и установкой разряда чтения. Это вызывает установку разряда Занятости (Busy bit) и операция заканчивается, когда разряд Занятости (Busy bit). сбрасывается. Если операция была успешной, Linkfail разряд равен 0, и поле данных содержит считанные данные. Неуспешная операция указывается установкой Linkfail разряда. В этом случае поле данных не определено.

Операция записи начинается записью 16- разрядных данных, РНУ адреса и регистрового адреса в MDIO Управляющий регистр установкой разряда записи. Операция

					ЮФКВ.431268.005РЭ			Лист
								481
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

заканчивается, когда разряд занятости (busy bit) сбрасывается и она была успешной, если Linkfail разряд равен 0.

1.3.6.3.2.7 Ethernet Debug Communication Link (EDCL) интерфейс для удаленной отладки

EDCL обеспечивает доступ к АНВ-шине, находящейся в микросхеме, через Ethernet. Он использует UDP, IP и ARP протоколы вместе с протоколом прикладного пользовательского уровня. Протокол прикладного уровня использует ARQ алгоритм для обеспечения передачи АНВ команд. Через эту связь передача по чтению или записи может быть сгенерирована по любому адресу на АНВ-шине. EDCL необязательный и может быть разрешен в generics.

1.3.6.3.2.7.1 Операция

EDCL получает пакеты параллельно с приемным MAC DMA каналом. Он использует отдельный MAC адрес, который используется для различения EDCL-пакетов от пакетов, предназначенных MAC DMA каналу. EDCL также имеет IP адрес, который устанавливается через generics. Так как ARP пакеты используют Ethernet широковещательный адрес, IP адрес должен быть использован в этом случае, чтобы различить EDCL ARP пакеты от тех, которые идут в DMA канал. Пакеты, которые определены быть EDCL-пакетами, не обрабатываются приемным DMA каналом.

Когда пакеты проверены на правильность, АНВ операция выполнена. Операция выполняется тем же самым АНВ-мастер интерфейсом, который использует DMA-обработчик(engine). Ответы автоматически посылаются EDCL-передатчиком, когда операция закончена. Он разделяет Ethernet- передатчик с передатчиком DMA-обработчика(engine), но имеет более высокий приоритет.

1.3.6.3.2.7.2 EDCL протоколы

EDCL получает Ethernet-кадры, содержащие IP или ARP данные. ARP обрабатываются согласно спецификации протокола без всяких исключений.

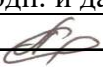
IP пакеты несут действительные АНВ команды. EDCL ожидает Ethernet-кадр, содержащий IP, UDP и EDCL специфические части прикладного уровня. На Рисунок 380 показан IP пакет, требуемый EDCL. Содержание различных протокольных заголовков может быть найдено в TCP/IP литературе.

Ethernet Header	IP Header	UDP Header	2 B Offset	4 B Control word	4 B Address	Data 0 - 242 4B Words	Ethernet CRC

Рисунок 380 – IP пакет, требуемый EDCL

Для успешной связи по EDCL требуется следующее: правильный MAC адрес назначения, как указано в *generics*, Ethernet поле типа, содержащее 0x806 (ARP) или 0x800 (IP). IP- адрес тогда сравнивается со значением, определенном в *generics* на совпадение. Контрольная сумма IP- заголовка (IP-header) и идентификационные поля не проверяются. Существует несколько ограничений полей IP-header. Версия должна быть равна 4 и размер заголовка должен быть 5 B(без выбора). Поле протокола (protocol field) должно быть всегда 0x11, указывающее на UDP пакет. Длина и контрольная сумма – только IP-поля, изменяемые в ответе.

EDCL обеспечивает только одно обслуживание в данный момент и поэтому не требуется проверять номер UDP-порта. Ответ будет иметь исходный номер порта источника в

					ЮФКВ.431268.005РЭ			Лист
								482
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

обоих полях источника и назначения. UDP контрольная сумма не используется и поле контрольной суммы равно 0 в ответах.

UDP поле данных содержит EDCL поля прикладного уровня. На **Рисунок 381** показаны поля протокола прикладного уровня (поля данных исключены) в пакетах, принятых EDCL. 16-разрядное смещение используется для того, чтобы выровнять оставшуюся часть данных прикладного уровня к словным границам в памяти и может быть установлено таким образом в любое значение. Поле R/W, определяет будет выполняться чтение или запись Поле длины

16-bit Offset	14-bit Sequence number	1-bit R/W	10-bit Length	7-bit Unused

Рисунок 381 – Поля прикладного уровня в принимаемых кадрах.

содержит количество байтов, которое нужно считать или записать. Если R/W равен 1, поле данных, показанное в таблице 42, содержит данные, которые должны быть записаны. Если R/W равен 0, поле данных пусто в принимаемых пакетах. На **Рисунок 382** показаны поля прикладного уровня ответов от EDCL. Поле длины всегда 0 для ответов на запросы записи. Для запросов чтения оно содержит количество байтов данных, содержащихся в поле данных.

16-bit Offset	14-bit sequence number	1-bit ACK/NAK	10-bit Length	7-bit Unused

Рисунок 382 – Поля прикладного уровня в передаваемых кадрах..

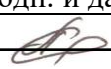
EDCL использует Go-Back-N алгоритм, обеспечивающий надежные передачи. 14-разрядный номер последовательности в принимаемых пакетах проверяется на совпадение с внутренним счетчиком. Если они не совпадают, никакая операция не выполняется и ACK/NAK поле устанавливается в 1 в ответном кадре. Ответный кадр содержит значение внутреннего счетчика в поле номер последовательности. Если номер последовательности совпадает, внутренний счетчик увеличивается, значение внутреннего счетчика запоминается в поле номера последовательности и ACK/NAK поле устанавливается в 0 в ответе. Поле длины всегда устанавливается в 0 для кадров с ACK/NAK =1. Неиспользуемые поля не проверяются и записываются в ответ. Это могут быть установлены, взятые для примера, некоторые дополнительные разряды идентификатора, если необходимо.

1.3.6.3.2.7.3 Установка EDCL IP и Ethernet адреса

Значение по умолчанию EDCL IP и MAC-адресов установлено в `ipaddrh`, `ipaddrl`, `macaddrh` и `macaddrl` generics. IP адрес может быть позже изменен программно, но MAC адрес зафиксирован. Чтобы обеспечить несколько GRETH-контроллеров с разрешенным EDCL в одной и той же подсети, 4 LSB разряда IP и MAC адреса могут быть выборочно установлены входным сигналом. Это достигается установкой `edcl generics =2` и выдачей 4-х разрядного значения LSB на `ethi.edcladr`.

1.3.6.3.2.7.4 EDCL ограничения

EDCL разработан для работы без программного вмешательства, требуя таким образом автоматическую конфигурацию аппаратуры. Для того, чтобы упростить аппаратуру предполагается, что EDCL имеет способность обрабатывать все рабочие режимы PHY и

					ЮФКВ.431268.005РЭ			Лист
								483
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

только считывает авто-переговорный режим и конфигурирует MAC. Это предохраняет его от работы с гигабитными PHY, так как они могут быть в гигабитном режиме и это не может быть управляемо с помощью MAC.

1.3.6.3.2.8 Не зависящие от среды (Media Independent) интерфейсы

Имеется несколько интерфейсов, определяемых между подуровнем MAC и физическим уровнем. GRETH поддерживает два из них Media Independent интерфейс (MII) и Reduced Media Independent интерфейс (RMII) .

MII был определен в 802.3 стандарте и наиболее часто поддерживаемый. Ethernet интерфейс был изготовлен в соответствии с этой спецификацией. Он использует 16 сигналов. RMII был развит столкнувшись с необходимостью интерфейса для Ethernet – контроллеров с малым количеством выводов. Он использует 6(7) сигналов, которые являются подмножеством MII сигналов. Таблица 44 показывает соответствие между RMII сигналами и GRLIB MII интерфейсом.

Таблица 309 – Соответствие (Mapping) сигналов между RMII и GRLIB MII интерфейсом

RMII	MII
txd[1:0]	txd[1:0]
tx_en	tx_en
crs_dv	rx_crs
rx_d[1:0]	rx_d[1:0]
ref_clk	rmii_clk
rx_er	not used

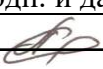
1.3.6.3.3 Программные драйверы

Драйверы для MAC поддерживаются следующими операционными системами: RTEMS, eCos, uClinux и Linux-2.6 . Драйверы находятся в свободном доступе в виде полного source - кода по GPL лицензии от Gaisler Research's web site (<http://gaisler.com>)

1.3.6.3.4 Регистры

Ядро (core) программируется через регистры, отображаемые (mapped) в адресное пространство APB.(см.таблицу 45)

Таблица 310 – GRETH регистры.

					ЮФКВ.431268.005РЭ			Лист
								484
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

остановится до тех пор, пока RE не установится снова. В этот разряд будет записана 1, после того, как новый дескриптор разрешен. Значение по Reset “0”.

- 0 Transmit enable (TE) - Будет установлен всегда, когда новые дескрипторы разрешены. До тех пор, пока этот разряд 1, GRETH будет считывать новые дескрипторы и как только он встретит неразрешенный дескриптор, он остановится до тех пор, пока TE не установится снова. В этот разряд будет записана 1, после того, как новый дескриптор разрешен. Значение по Reset “0”.

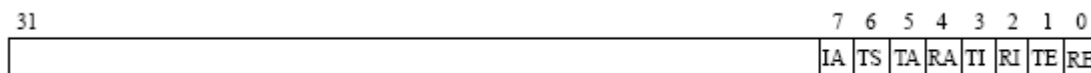


Рисунок 384 – GRETH управляющий регистр GRETH статус - регистр.

- 31:8 Не используется.
- 7 Invalid address (IA) – Пакет с адресом, не принятым MAC, был принят. Сбрасывается, когда записывается 1. Значение по Reset “0”.
- 6 Too small (TS) – был принят пакет меньше минимального размера. Сбрасывается, когда записывается 1. Значение по Reset “0”.
- 5 Transmitter AHB error (TA) – АHB- ошибка встретилась при работе DMA-передатчика. Сбрасывается, когда записывается 1. Значение не обнуляется.
- 4 Receiver AHB error (RA) - АHB- ошибка встретилась при работе DMA-приемника. Сбрасывается, когда записывается 1. Значение не обнуляется.
- 3 Transmitter Interrupt (TI) – Пакет был передан без ошибок. Сбрасывается, когда записывается 1. Значение не обнуляется
- 2 Receiver interrupt (RI) – Пакет был принят без ошибок. Сбрасывается, когда записывается 1. Значение не обнуляется
- 1 Transmit error (TE) - Пакет был передан с ошибкой. Сбрасывается, когда записывается 1. Значение не обнуляется
- 0 Receiver error (RE) - Пакет был принят с ошибкой. Сбрасывается, когда записывается 1. Значение не обнуляется



Рисунок 385 – GRETH MAC – адрес MSB

- 31:16 Не используется.
- 15:0 Два старших значащих байта MAC – адреса. Не обнуляются

					ЮФКВ.431268.005РЭ			Лист
								486
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

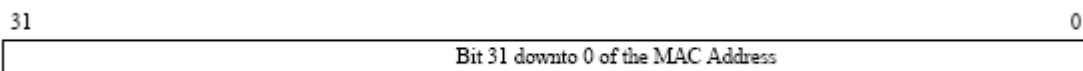


Рисунок 386 – GRETH MAC – адрес LSB

31:0 Четыре младших значащих байта MAC – адреса. Не обнуляются

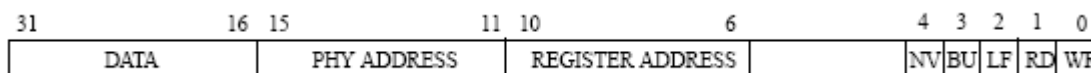


Рисунок 387 – GRETH MDIO управляющий/статус регистр

- 31:16 Data (DATA) – Содержит данные, считываемые во время операции чтения и данные, которые передаются, берутся из этого поля. Значение по Reset -0x0000.
- 15:11 PHY address (PHYADDR) – Это поле содержит адрес PHY, который будет выбираться во время операции чтения или записи.. Значение по Reset -0x0000.
- 10:6 Register address (REGADDR) - Это поле содержит адрес регистра, который будет выбираться во время операции чтения или записи.. Значение по Reset -0x0000
- 5 Не используется.
- 4 Not valid (NV) – Когда операция закончена (BUSY =0), этот разряд указывает были ли приняты значащие данные, что означает , что поле данных содержит правильные данные. Значение по Reset “0”.
- 3 Busy (BU) - Когда операция выполняется, этот разряд установлен в 1. Как только операция закончена и управляющая связь (management link) находится в ожидании , этот разряд сбрасывается. Значение по Reset “0”.
- 2 Linkfail (LF) – Когда операция завершается (BUSY =0) этот разряд установлен, если функциональная управляющая связь (management link) была не определена. Значение по Reset “1”.
- 1 Read (RD) – Начать операцию чтения в управляющем интерфейсе. Данные хранятся в поле данных. Значение по Reset “0”.
- 0 Write (WR) - Начать операцию записи в управляющем интерфейсе. Данные берутся из поля данных. Значение по Reset “0”.

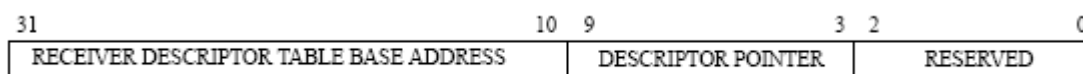
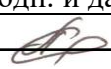


Рисунок 388 – GRETH регистр базового адреса таблицы дескрипторов передатчика

- 31:10 Transmitter descriptor table base address (BASEADDR) – Базовый адрес таблицы дескрипторов передатчика. Не обнуляется.
- 9:3 Descriptor pointer (DESCPNT) – Указатель на индивидуальные дескрипторы. Автоматически увеличивается контроллером Ethernet MAC.
- 2:0 Не используется

					ЮФКВ.431268.005РЭ			Лист
								487
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

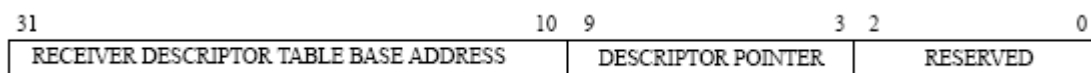


Рисунок 389 – GRETH регистр базового адреса таблицы дескрипторов приемника

- 31:10 Receiver descriptor table base address (BASEADDR) – Базовый адрес таблицы дескрипторов приемника. Не обнуляется.
- 9:3 Descriptor pointer (DESCPNT) – Указатель на индивидуальные дескрипторы. Автоматически увеличивается контроллером Ethernet MAC.
- 2:0 Не используется

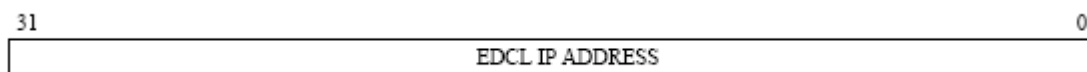
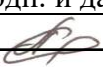


Рисунок 390 – GRETH EDCL IP регистр

- 31 -0 EDCL IP адрес. Значение при обнулении берется из *ipaddressh* и *ipaddressl* generics.

					ЮФКВ.431268.005РЭ			Лист
								488
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.6.4 Универсальный последовательный порт SPI

1.3.6.4.1 Контроллер интерфейса SPI

SPI – высокоскоростной синхронный последовательный порт ввода/вывода, позволяющий передавать битовые потоки символов регулируемой длины (1 – 16 бит или иной) с программируемой скоростью. SPI интерфейс был введен компанией Motorola впервые в семействе микроконтроллеров MC68HCxx.

В данном контроллере будет реализована 18-ти битная длина пакета данных и программируемая скорость передачи.

SPI используется для связи между цифровыми процессорами обработки сигналов и периферией, либо как межпроцессорный интерфейс. Допустима работа нескольких устройств, делящих один и тот же канал передачи за счет использования архитектуры master-slave и специальных сигналов управления.

В основе своей, SPI – это простой последовательный синхронный интерфейс, где данные вдвигаются и выдвигаются в/из интерфейсного модуля под управлением передаваемого по отдельной линии сигнала синхронизации. Генерация и передача по синхролинии сигнала управления сдвигом осуществляется устройством, являющимся в данный момент мастером.

Логически интерфейс SPI включает следующие линии, задействованные в обмене с внешними устройствами:

- SOMI – slave output, master input – выход в режиме slave, вход в режиме master;
- SIMO – slave input, master output – вход в режиме slave, выход в режиме master;
- SS – slave select – выбор slave (этих выводов может быть несколько);
- SCLK – serial clock – синхросигнал передачи.

Модуль SPI и интерфейс с вычислительным ядром системы, в которую он встраивается, показаны на Рисунок 391.

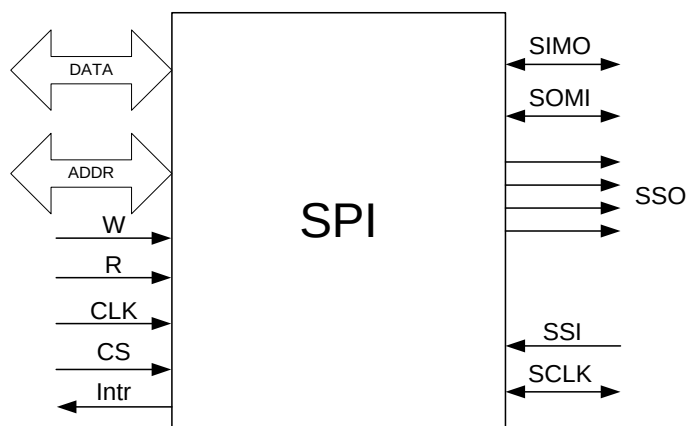
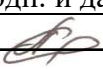


Рисунок 391 – Модуль SPI

Обмен данными между вычислительным ядром и коммуникационным блоком SPI производится посредством регистровых буферов. Информация пересылается по шине данных во внутренние регистры модуля, которые адресуются по шине адреса. Наиболее оптимально иметь разрядность шины данных равной максимальной разрядности слова, которое может

					ЮФКВ.431268.005РЭ			Лист
								489
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

быть передано по каналам интерфейса, чтобы обеспечить загрузку регистра передачи за один цикл обращения по шине.

Кроме доступа к регистрам приема/передачи, по шине данных производится доступ к конфигурационным регистрам и регистрам состояния.

Выбор режима запись/чтение во внутреннюю память модуля осуществляется при помощи управляющих линий W/R (запись/чтение). Часть внутренних регистров доступна только по чтению, а часть допускает любой режим доступа.

Линии данных коммуникационного канала – SIMO, SOMI. Назначение линий определяется режимом работы порта, расшифровка названий приведена выше. Режим (master или slave) задается программно в специальном регистре управления.

Если устройство в данный момент времени является мастером на шине, оно должно выбрать себе пару для взаимодействия путем активации соответствующей линии выбора slave (SSO). При необходимости, возможна организация широковещательной рассылки от master нескольким устройствам slave. Для этого необходимо предусмотреть возможность перевода линии SOMI в высокоимпедансное состояние. В этом случае только один slave может передавать данные на линию.

Кроме этого, модуль интерфейса обеспечивает генерацию прерываний для ядра, изменяя состояние линии Intr.

Некоторые устройства с ограниченными возможностями конфигурирования (микросхемы flash-памяти, жидкокристаллические дисплеи и проч.) функционируют, как правило, в режиме slave. Основное устройство в таком случае должно быть запрограммировано на работу в режиме master. Правила работы с такой периферией строятся в виде документированного протокола обмена. Общий поток информации, передаваемый по SPI интерфейсу, на логическом уровне состоит из команд и следующих за ними данных. Команды включают инструкции конфигурирования и настройки, передачи маркеров адреса, данных и пр.

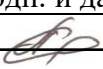
Как уже говорилось выше, master обеспечивает для slave синхросигнал сдвига SCLK. При этом slave переключается в режим сдвига под управлением внешнего сигнала и не использует для этой цели собственный генератор синхросигнала.

Форма синхросигнала SCLK должна быть симметричной или близкой к симметричной.

В системах с передачей информации по интерфейсу SPI применяются различные виды тактирования:

- Задний фронт без задержки фазы, неактивный уровень SCLK – высокий. Данные передаются по заднему фронту, принимаются по переднему (SCLK 1)
- Задний фронт с задержкой фазы, неактивный уровень SCLK – высокий. Данные передаются с задержкой после прихода заднего фронта SCLK, равной полке сигнала SCLK, принимаются по заднему фронту SCLK (SCLK 2)
- Передний фронт без задержки фазы, неактивный уровень SCLK – низкий. Данные передаются по переднему фронту, принимаются по заднему (SCLK 3)
- Передний фронт с задержкой фазы, неактивный уровень SCLK – низкий. Данные передаются с задержкой после прихода переднего фронта SCLK, равной полке сигнала SCLK, принимаются по переднему фронту SCLK (SCLK 4)

Диаграммы, иллюстрирующие описанные схемы тактирования, приведены на Рисунок 392. Здесь пунктирными линиями показаны моменты времени, когда производится сдвиг в сдвиговом регистре. Состояние линии SCLK в паузах передачи – неактивное (высокий уровень для схем 1 и 2 и низкий для остальных).

					ЮФКВ.431268.005РЭ			Лист
								490
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

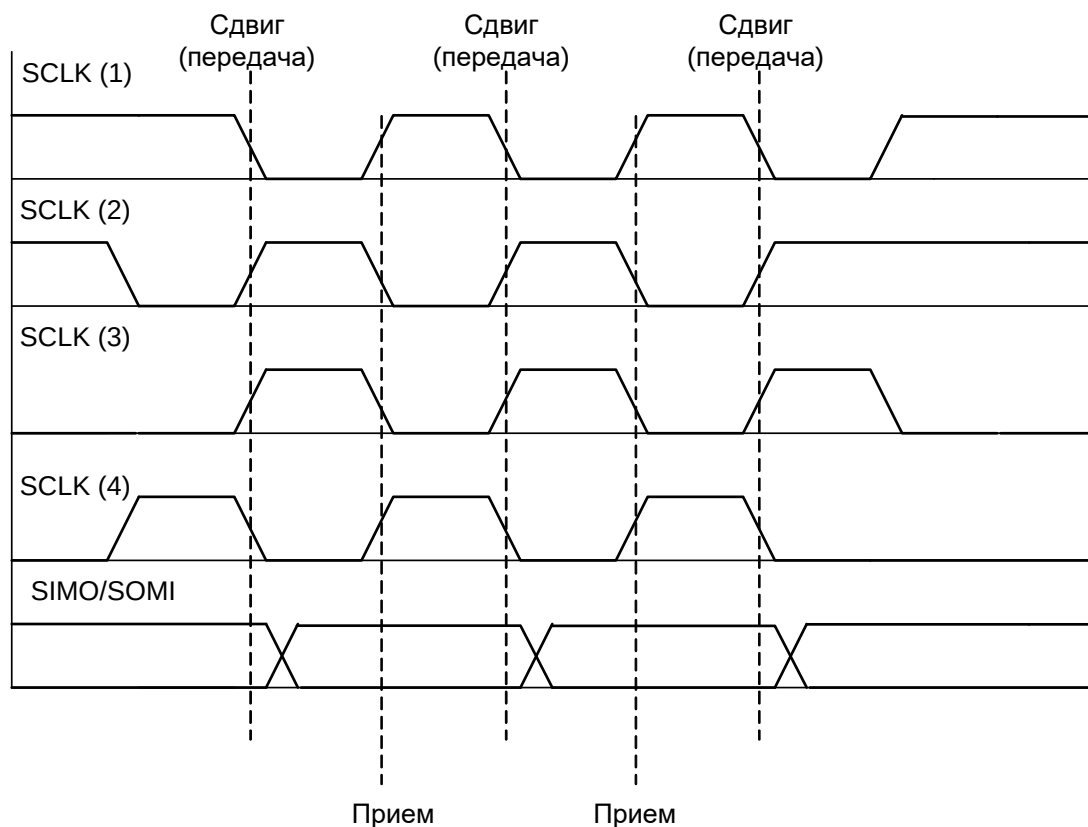
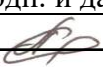


Рисунок 392 – Схемы тактирования SPI

1.3.6.4.2 Блок-схема интерфейсного модуля SPI

Блок-схема интерфейсного модуля SPI приведена на Рисунок 393.

					ЮФКВ.431268.005РЭ			Лист
								491
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

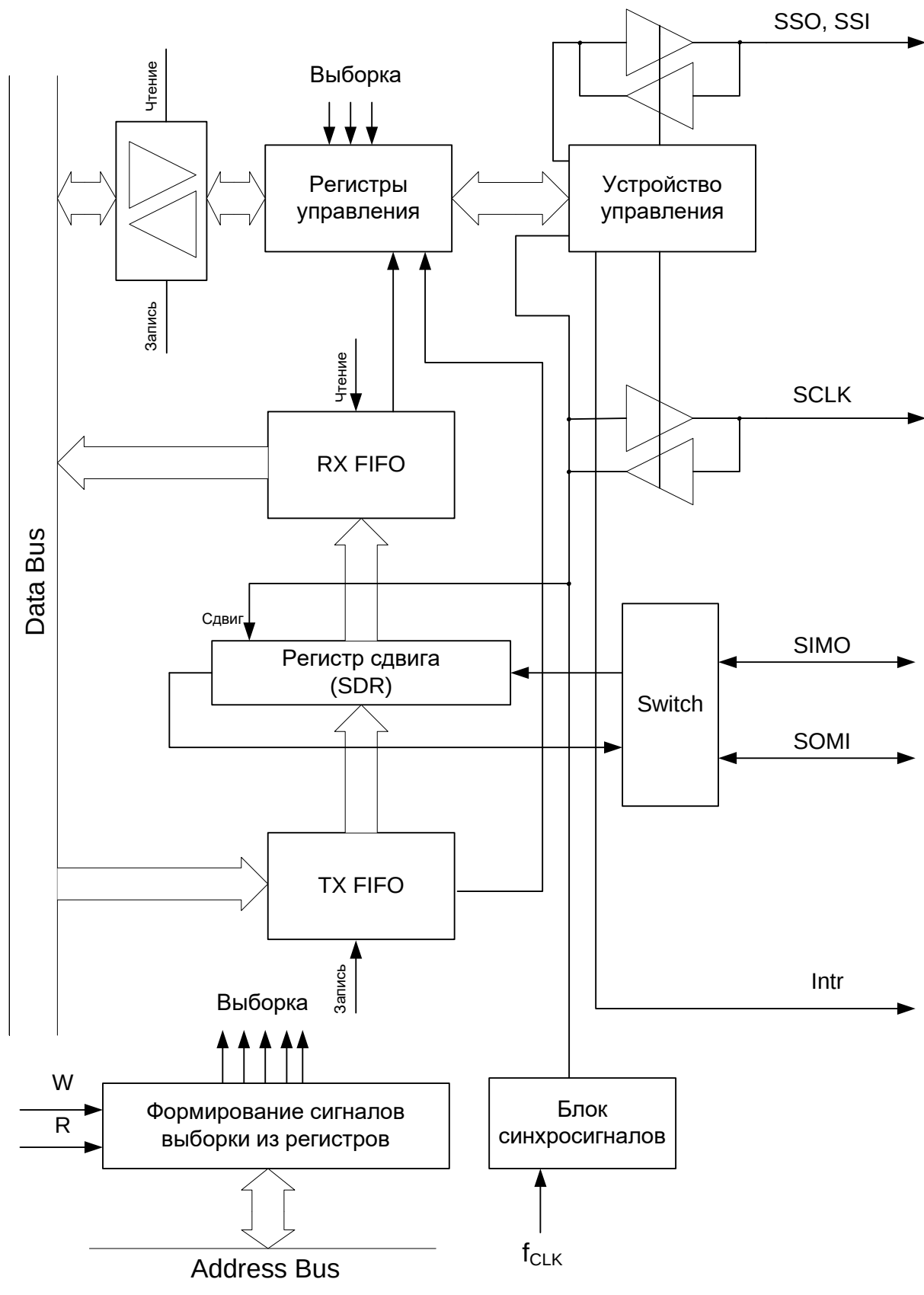
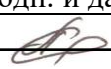


Рисунок 393 – Блок-схема интерфейсного модуля SPI

Блок схема содержит схему интерфейса с шиной процессора и формирования сигналов выборки из регистров, FIFO буферы приема и передачи (TX FIFO, RX FIFO), сдвиговый регистр SDR, набор регистров управления, связанный с устройством управления и блок

					ЮФКВ.431268.005РЭ			Лист
								492
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

генерации синхросигналов. Шинные формирователи обеспечивают одно и двуправленную передачу управляющей информации, данных и выходных сигналов интерфейса SIMO и SOMI.

Центральным элементом интерфейсного модуля является сдвиговый регистр, осуществляющий преобразование передаваемого слова данных в последовательный код и его передачу.

Интерфейс с шиной процессора имеет принимающую и передающую буферную память в виде FIFO. Доступ к буферам осуществляется через адресную шину процессора с использованием сигналов разрешения чтения/записи (W/R). Информация о состоянии буферов поступает на устройство управления, которое занимается анализом состояния порта, обновлением статусных регистров, генерацией сигналов прерывания.

В системе, работающей в режиме master производится генерация собственного синхросигнала SCLK блоком синхросигналов для RX FIFO, TX FIFO, SDR и выдача его на вывод SCLK для управления slave'ом. В режиме slave проводится перекоммутация выводов SOMI/SIMO для сохранения единого направления сдвига в сдвиговом регистре (старшим битом вперед) и переключение схемы на прием SCLK от внешнего мастера.

Необходимо отметить, что работа буферов FIFO (загрузка TX FIFO и чтение из RX FIFO) с системной шиной производится на гораздо более высоких скоростях, чем операции записи (TX FIFO) и чтения (RX FIFO) из регистра сдвига SDR. Для предотвращения потери информации необходимо использовать специальные буферы FIFO, имеющие эффективные механизмы контроля пустоты/заполнения при работе на стыке систем с различной скоростью поступления/обработки информации.

Темп загрузки может быть вычислен по формуле:
$$f_L = \frac{f_{SCLK}}{n + 1 + delay}$$

Здесь n – разрядность передаваемого слова данных;

$delay$ – программируемая пауза между двумя смежными пересылками.

Пауза между пересылками измеряется числом периодов SCLK и необходима для обеспечения бесперебойной работы низкопроизводительных периферийных устройств. Величина паузы может программироваться в диапазоне 1 – 255 периодов SCLK.

1.3.6.4.3 Функционирование интерфейса SPI

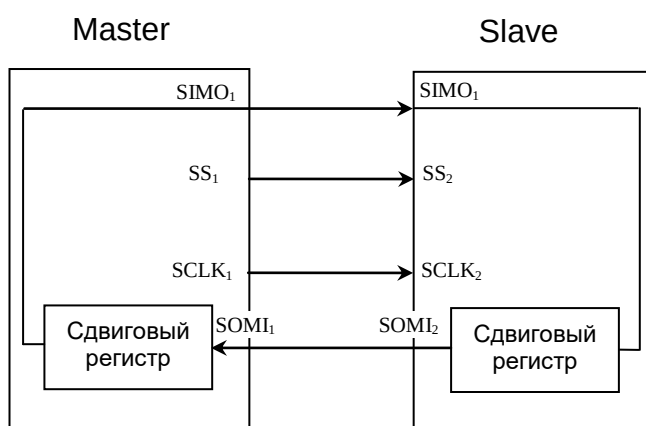
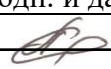


Рисунок 394 – Подключение устройств по интерфейсу SPI

Схема соединения устройств с использованием SPI порта показана на Рисунок 394.

Процесс функционирования интерфейсов, сконфигурированных на работу в режиме master и slave отличаются.

					ЮФКВ.431268.005РЭ			Лист
								493
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

Режим master. В SPI-сети должно находиться не более одного устройства в режиме master. Устройство, работающее в режиме master, выдает синхросигнал на линию SCLK, к которой подключены все устройства SPI-сети и инициирует обмен данными. Только master может начать процедуру обмена, выдав на линию SCLK фронт синхросигнала, устройства в состоянии slave играют в этом режиме пассивную функцию.

Данные выводятся через SIMO старшим битом (MSB) вперед и принимаются по выводу SOMI, вдвигаясь в младший бит (LSB) сдвигового регистра SDR. Скорость обмена задается в соответствующем служебном регистре системы-master'a. Кроме того, программируются разрядность слова для обмена, выбирается вариант тактирования (см. рис. 2-11), программируется количество тактов ожидания между последовательными передачами. Все эти параметры и для master'a и для slave'a должны совпадать.

Процедура обмена выглядит следующим образом (подразумевается, что в начале обмен по каналу не производится):

- Вывод SSO для выбора необходимого slave'a устанавливается в низкое состояние.
- С шины данных слово для передачи записывается в буфер TX FIFO.
- Слово из буфера передается в регистр сдвига SDR.
- Включается SCLK (переводится из неактивного режима в рабочий).
- Регистр сдвига осуществляет n сдвигов влево (n – запрограммированная разрядность слова для обмена по каналу) под управлением SCLK и в соответствии с заданным режимом тактирования. При этом содержимое регистра (слово для передачи) выдвигается через MSB и отправляется в канал, а входная информация со slave'a вдвигается в LSB.
- SCLK переводится в неактивное состояние.
- Если буфер передачи пуст, то на этом обмен заканчивается, если не пуст, то производится ожидание перед посылкой следующего символа и процесс повторяется, начиная с п. 2.

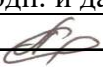
По окончании обмена мастер может перевести вывод выбора slave'a SSO в высокое (неактивное) состояние.

В процессе сеанса коммуникации может производиться запись информации в FIFO передатчика и чтение из FIFO приемника.

Режим slave. В режиме slave данные выдвигаются из SOMI и вдвигаются в SIMO. SCLK используется в качестве источника синхросигнала, генерируемого внешним устройством master. Этот же сигнал, очевидно, определяет скорость обмена. Master должен быть настроен таким образом, чтобы частота SCLK не была слишком высокой для slave. Настройки системы slave'a: разрядность слова, тип тактирования и пр. должны совпадать с настройками master'a.

Процедура обмена в режиме slave выглядит следующим образом:

- При поступлении на вход выбора slave'a SSI низкого уровня slave считается выбранным и переводит выводы SIMO, SOMI, SCLK из высокоимпедансного в рабочее состояние.
- Если необходимо осуществить передачу информации master'у, то загружается входной буфер и сдвиговый регистр.
- Под управлением сигнала сдвига со входа SCLK производятся сдвиги в регистре SDR в соответствии с теми же правилами, что и в системе-master.
- При получении всех бит принимаемого слова slave переписывает содержимое регистра сдвига в FIFO приема и загружает его из FIFO передачи.

					ЮФКВ.431268.005РЭ			Лист
								494
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

– Производится ожидание передачи следующего слова от master'a. Подразумевается, что slave'у известно, какова пауза между смежными передачами. В этом промежутке вычислительное ядро системы-slave'a может произвести обработку полученной информации и, к примеру, загрузку буфера передачи. С приходом SCLK процедура приема/передачи повторяется.

– Снятие активного уровня сигнала SCLK означает окончание процедуры обмена. В этом случае slave переводит выводы SIMO, SOMI, SCLK в высокоимпедансное состояние.

В процессе передачи возможна генерация прерываний, по событиям, отражающим критические фазы процедуры: заполнение буферов приема/передачи – частичное и полное (например, на 100%, на 75%).

На Рисунок 395 представлены диаграммы процессов обмена по интерфейсу SPI (общий вид)

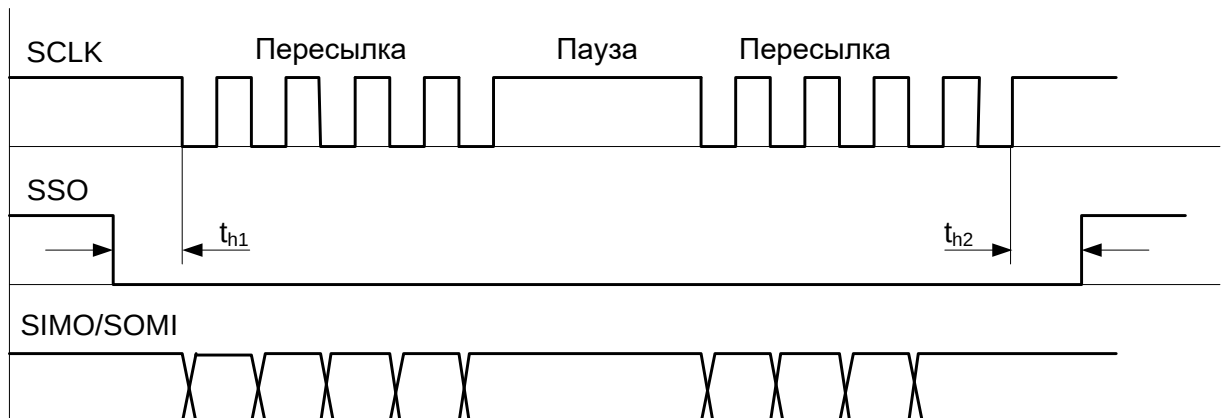
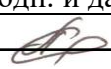


Рисунок 395 – Процесс обмена по интерфейсу SPI

SSO – сигнал выбора master'ом slave'a с низким активным уровнем. Между подачей сигнала SSO и началом выдачи сигнала SCLK необходимо вводить достаточную задержку для того, чтобы аппаратура slave'a успела сработать и подготовиться к приему. В паузах между передачами отдельных символов SCLK переходит в неактивное состояние.

Рисунок 396 иллюстрирует возникновение задержек при передаче.

					ЮФКВ.431268.005РЭ			Лист
								495
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

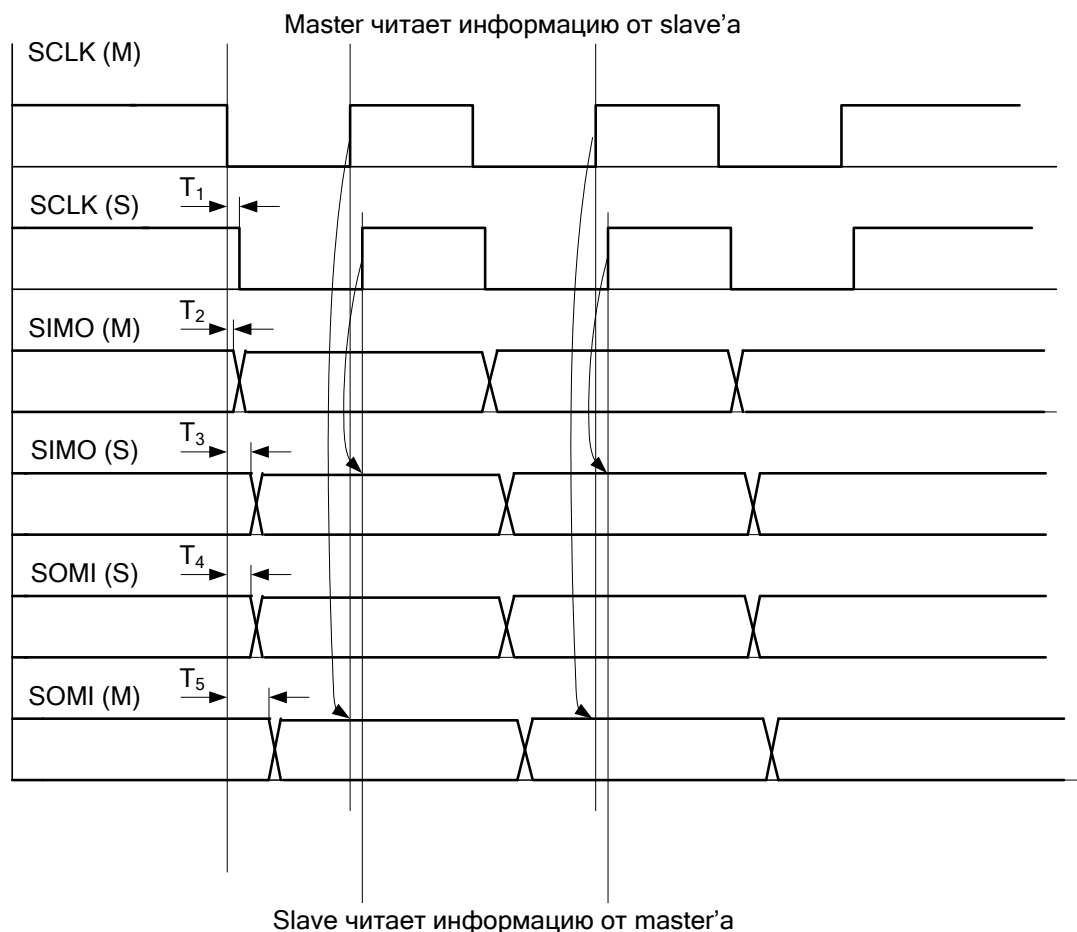


Рисунок 396 – Задержки сигналов при работе с интерфейсом SPI

$$T_1 = t_{do} + t_w + t_{di}$$

$$T_2 = t_{gd}$$

$$T_3 = t_{do} + t_w + t_{di} + t_{gd}$$

$$T_4 = t_{do} + t_w + t_{di} + t_{gd}$$

$$T_5 = 2 \cdot (t_{do} + t_w + t_{di}) + t_{gd}$$

Здесь t_{do} – время задержки выходных буферов;

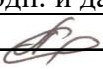
t_{di} – время задержки входных буферов;

t_w – время задержки распространения сигнала по линии;

t_{gd} – время задержки срабатывания регистра сдвига.

Диаграммы сигналов даны для точек внутри схем коммуникационного интерфейса SPI до выходных буферов. Очевидно, что для нормального функционирования коммуникационного модуля, необходимо выбирать период SCLK таким образом, чтобы $T_5 < \frac{T_{SCLK}}{4}$

Процессы, происходящие на линиях интерфейса при смене режимов взаимодействующих устройств с Master на Slave и обратно показаны на Рисунок 397.

					ЮФКВ.431268.005РЭ			Лист
								496
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

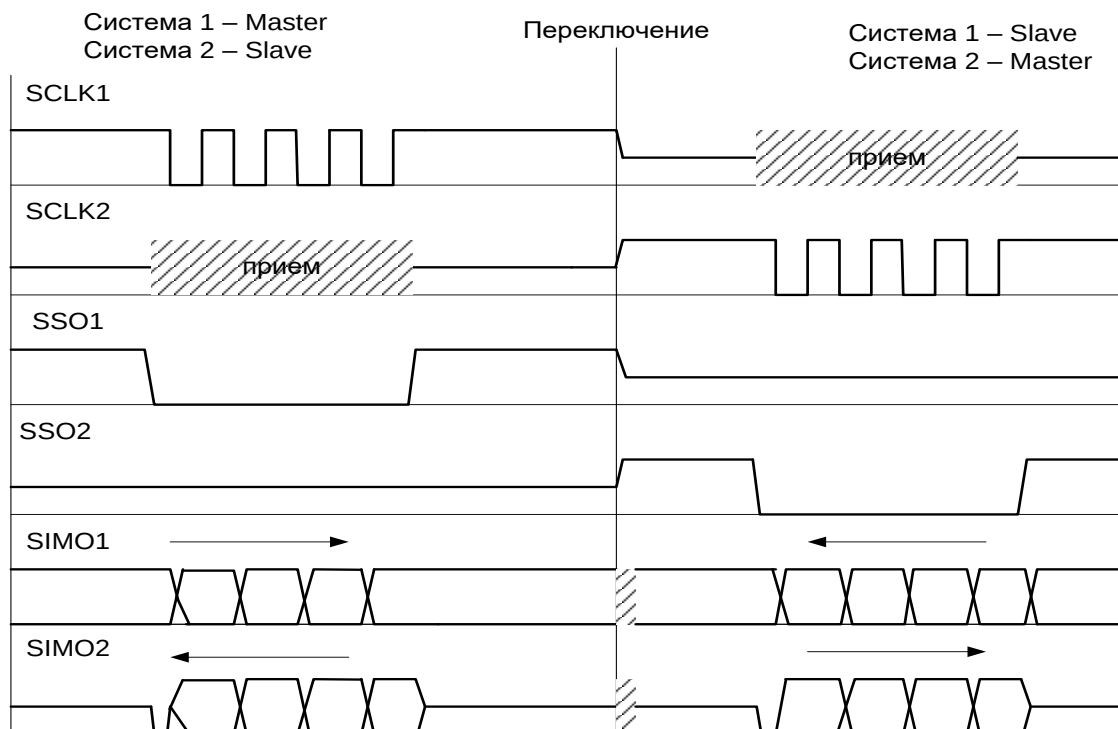


Рисунок 397 – Взаимодействие устройств в режимах Master на Slave

Процесс смены режимов передачи включает следующее:

Выводы невыбранного slave'a находятся в высокоимпедансном состоянии;

Производится перекоммутация выводов SIMO, SOMI и смена направления передачи по соответствующим линиям.

Как видно из диаграммы, для устройства 1, переключенного из режима Master в режим Slave и устройства 2, также сменившего режим работы на обратный, изменились направления работы выводов SCLK.

Во избежание возникновения ошибок переключение режимов передачи следует производить только при отсутствии активной передачи.

1.3.6.4.4 Формат передаваемых данных

Если запрограммированная разрядность для передачи символов меньше максимально допустимой, то:

- Данные для передачи должны быть выровнены влево;
- Данные в буфере приема должны рассматриваться выровненными вправо;
- Буфер приема содержит полученные символы, выровненные вправо плюс биты, оставшиеся от предыдущих посылок.

1.3.6.4.5 Скорости передачи

SPI – интерфейс, впервые введенный компанией Motorola не определяет жестко допустимые пределы скоростей обмена. Многие распространенные контроллеры работают на скоростях от 100 кбит/с до 4-10 Мбит/с. Новейшие модули памяти, использующие интерфейс SPI поддерживают скорости обмена до 50 Мбит/с.

1.3.6.4.6 Логический уровень протокола SPI

					ЮФКВ.431268.005РЭ			Лист
								497
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

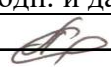
Данное описание рассматривает физическую реализацию протокола SPI. Необходимо, однако, отметить, что на физическом уровне не обеспечивается контроль правильности передачи, нет возможности организации работы передающей инфраструктуры в целом (запросы от устройств на обслуживание, взаимосогласование параметров соединения и пр.). Данные задачи возлагаются на программы пользователя, образующие логический уровень протокола.

1.3.6.4.7 Регистры блока SPI

Регистры блока описываются в Таблица 311

Таблица 311 – Регистры блока SPI

Имя	Разрядность	Пояснение	Тип доступа
SPIRx	64	Р-р приема	R
UARTTx	64	Р-р передачи	W
SPIRxEmu	64	Зеркальный р-р приема. Чтение из него не очищает флаг передачи/приема (для работы в отладочном режиме)	R
SPIReset	1	Программный сброс	W {R}
SPIPol	1	Полярность синхросигнала	W {R}
SPIPh	1	Включение задержки фазы синхросигнала	W {R}
SPILB	1	Loopback	W {R}
SPIWL	2	Длина символа (8, 16, 32, 64 бита)	W {R}
SPISPD	6	Делитель частоты синхросигнала	W {R}
SPIMode	1	Выбор режима работы Master/Slave	W {R}
SPIRcTmIntr	1	Флаг прерывания по передаче/приему символа	R
SPITmFIFORst	1	Сброс FIFO передачи	W {R}
SPITmFIFOStat	4	Количество слов, содержащихся в FIFO передачи	R
SPITmFIFOIntrCnd	4	Уровень заполненности FIFO передачи при достижении которого сверху генерируется прерывание от FIFO передачи	W {R}
SPITmFIFOFull	1	FIFO передачи заполнено	R
SPIRvFIFOOvr	1	Флаг переполнения FIFO приема	R
SPIRvFIFORst	1	Сброс FIFO приема	W {R}
SPIRvFIFOStat	4	Количество слов, содержащихся в FIFO приема	R
SPIRvFIFOIntrCnd	4	Уровень заполненности FIFO приема при достижении которого снизу генерируется прерывание от FIFO приема	W {R}
SPITmDelay	8	Задержка передачи. Пауза между передаваемыми символами в тактах SCLK	W {R}

					ЮФКВ.431268.005РЭ			Лист
								498
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Продолжение Таблица 311

Имя	Разрядность	Пояснение	Тип доступа
SPIIntrMode	2	Определяет, что произойдет в случае прерывания в отладчике: мгновенный останов, завершение передачи текущего символа и останов, передача полностью содержимого буфера	W{R}
SPIIntrMask	4	Маска прерываний от FIFO передачи (опустошение до определенного уровня), FIFO приема (переполнение или заполнение до определенного уровня), по приему/передаче символа	W{R}
SPIIntrStat	4	Тип текущего прерывания от FIFO передачи (опустошение до определенного уровня) и FIFO приема (переполнение или заполнение до определенного уровня), по приему/передаче символа	R

1.3.6.5 Интерфейс UART

1.3.6.5.1 Контроллер порта UART

Порты UART (RS232) должны обеспечить стыковку приемника с внешними устройствами (аппаратный интерфейс пользователя, ИК-канал дистанционного управления).

Рассмотрим принципы реализации аппаратуры UART.

Схема кадра передачи символа в UART показана на Рисунок 398.

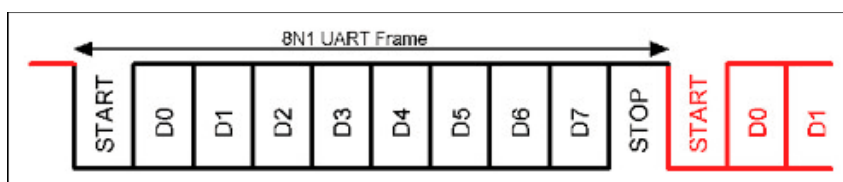


Рисунок 398 – Кадр передачи по протоколу UART

Кадр состоит из стартового бита, 8 информационных бит и стопового бита. Другие варианты использования интерфейса предусматривают передачу 5, 6, 7 информационных бит и бита четности сразу за информационным словом, позволяющим обнаруживать ошибки передачи. Количество стоповых бит может быть увеличено до 1.5 – 2.

В случае взаимодействия двух систем по UART предполагается, что и передатчик и приемник запрограммированы на одну и ту же скорость обмена информацией. Поскольку приемник не имеет точных данных о времени отправки данных передатчиком второй системы, протокол считается асинхронным. Соответственно, приемник схемотехнически – более сложное устройство, чем передатчик, который последовательно сдвигает в канал данные с заданной скоростью. Задача приемника – распознать начало кадра и произвести выборки уровня сигнала на входной линии в моменты времени, обеспечивающие высокую вероятность правильного обнаружения уровней последовательно передаваемых битов.

					ЮФКВ.431268.005РЭ			Лист
								499
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

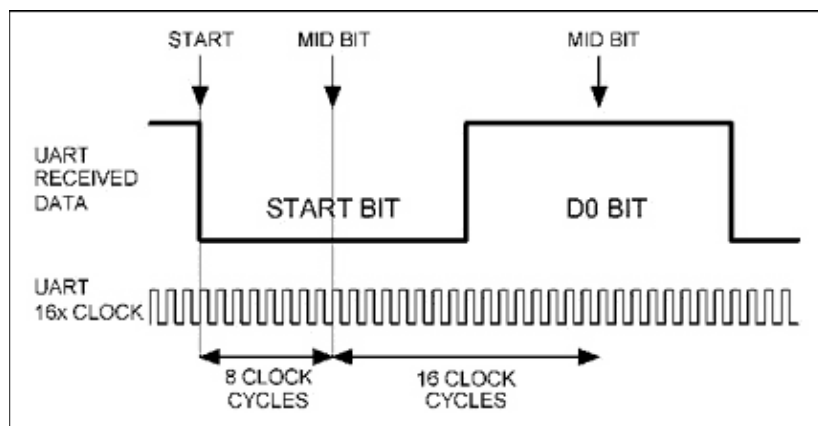


Рисунок 399 – Процесс выборки сигнала с входной линии UART

В приемнике используется синхросигнал с частотой в 16 раз выше частоты, с которой биты данных сдвигаются в канале (см. Рисунок 399). Новый кадр фиксируется после обнаружения заднего фронта сигнала в линии – переключению со стопового бита (высокий уровень) или неактивного состояния линии в стартовый бит (низкий уровень). Задний фронт обнуляет счетчик тактов приемника и схема входит в режим ожидания середины стартового бита на восьмом такте. После этого, каждые 16 тактов читается значение всех бит байта. Проверка низкого уровня на восьмом такте позволяет с определенной степенью достоверности гарантировать, что обнаруженный задний фронт (стартовый бит) – это не случайная помеха, а действительно информационный сигнал. Можно детектировать входной сигнал не только в предполагаемой середине битового интервала, но и, к примеру, трижды (7, 8, 9 такты) или большее число раз.

Рассогласование частот синхросигнала приемника и передатчика должно быть не более 2-3% для устойчивого приема информации (если суммарная длительность фронтов битового импульса не превышает половины его периода).

Блок UART и основные линии связи, соединяющие его с вычислительным ядром и периферией, показаны на Рисунок 400.

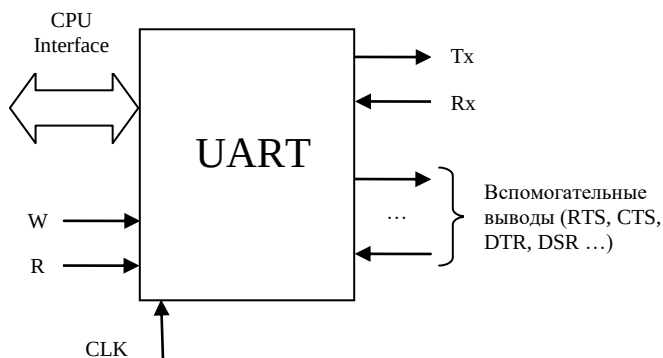
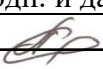


Рисунок 400 – Модуль UART

Блок подключается к системе посредством шинного интерфейса, объединяющего в себе шину данных и шину передачи номера регистра управления/данных внутри UART, к которому производится обращение. Разрядность шины данных может составлять 8–64 бита и не оказывает влияния на функциональность блока UART, ориентированного на передачу 8-битных слов. Разрядность шины номера внутреннего регистра определяется количеством регистров управления/данных и принципами отображения внутренних битовых полей на собственно регистры в программном отношении (регистровой моделью).

					ЮФКВ.431268.005РЭ			Лист
								500
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Сигналы W, R – это сигналы записи/чтения для доступа к внутренним регистрам управления, состояния и данных.

Tx, Rx – линии последовательной асинхронной передачи/приема обрабатываемые, соответственно, передатчиком и приемником интерфейсного модуля.

Допустимо, но необязательно использование вспомогательных линий контроля потока RTS/CTS, DTR/DSR, сигналов связи с модемом: DCD (обнаружение несущей), RI (поступивший звонок).

1.3.6.5.2 Блок-схема UART

Блок-схема передатчика модуля UART приведена на Рисунок 401.

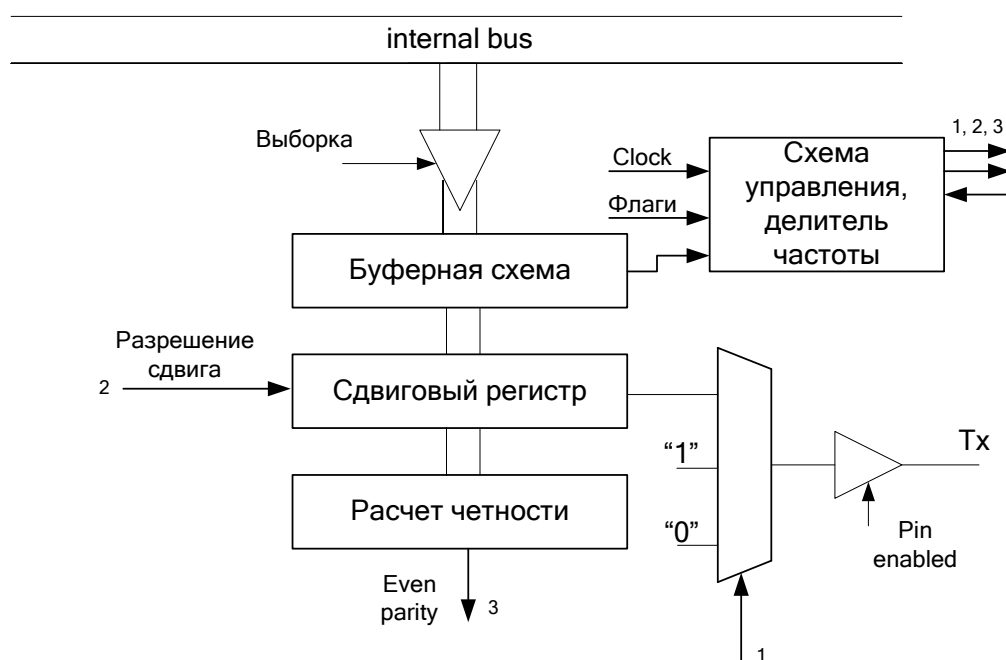


Рисунок 401 – Блок-схема передатчика UART

На схеме показан процесс передачи данных от шины ядра процессора к коммуникационным выводам. На вход блока управления поступает содержимое внутренних служебных регистров модуля UART (флаги), тем самым конфигурируя его и изменяя режим работы (параметры делителя частоты сдвига, контроля четности и проч.). Блок управления также собирает информацию от буферной схемы и генерирует сигналы прерывания, корректирует работу устройства в целом.

Процесс передачи инициируется записью в регистр передачи байта данных. Регистр передачи аппаратно располагается внутри блока UART (буферная схема) и подключается к внутренней шине под управлением сигнала выборки (генерируется из адреса регистра и сигнала записи W). Буферная схема реализуется в виде FIFO требуемой глубины. Последовательная передача данных по каналу связи (линия Tx) требует наличия сдвигового регистра. Если буферная схема содержит данные для передачи, то они побайтово загружаются в сдвиговый регистр, и начинается процесс сдвига. Частота сдвигов определяется запрограммированной скоростью передачи по каналу. Если включен контроль четности, то по окончании выдвигания слова данных прибавляется бит четности и требуемое количество стоп-битов (так же программируется).

					ЮФКВ.431268.005РЭ			Лист
								501
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Если требуется поддержка сигналов управления потоком RTS/CTS, DTR/DSR, то они принимаются, анализируются и генерируются устройством управления, и их состояние отображается в соответствующих полях регистров управления/состояния.

Блок-схема приемника модуля UART приведена на Рисунок 402.

Процесс взаимодействия приемника и ядра вычислительной системы, в целом, аналогичен рассмотренному для передатчика. Приемник, обнаруживая факт перехода логического уровня на линии данных с высокого на низкий, фиксирует факт начала приема символа данных и начинает процесс измерения входного уровня в характерные моменты времени (см. «Принципы реализации аппаратуры UART») с частотой в 16 раз выше скорости передачи в канале. Счетчик, размещенный в блоке управления формирует управляющие сигналы, по которым Sampler осуществляет выборки. Возможно различные варианты организации устройства выборки, уменьшающие вероятность получения ложного измеренного значения вследствие помех на линии (см. «Принципы реализации аппаратуры UART»).

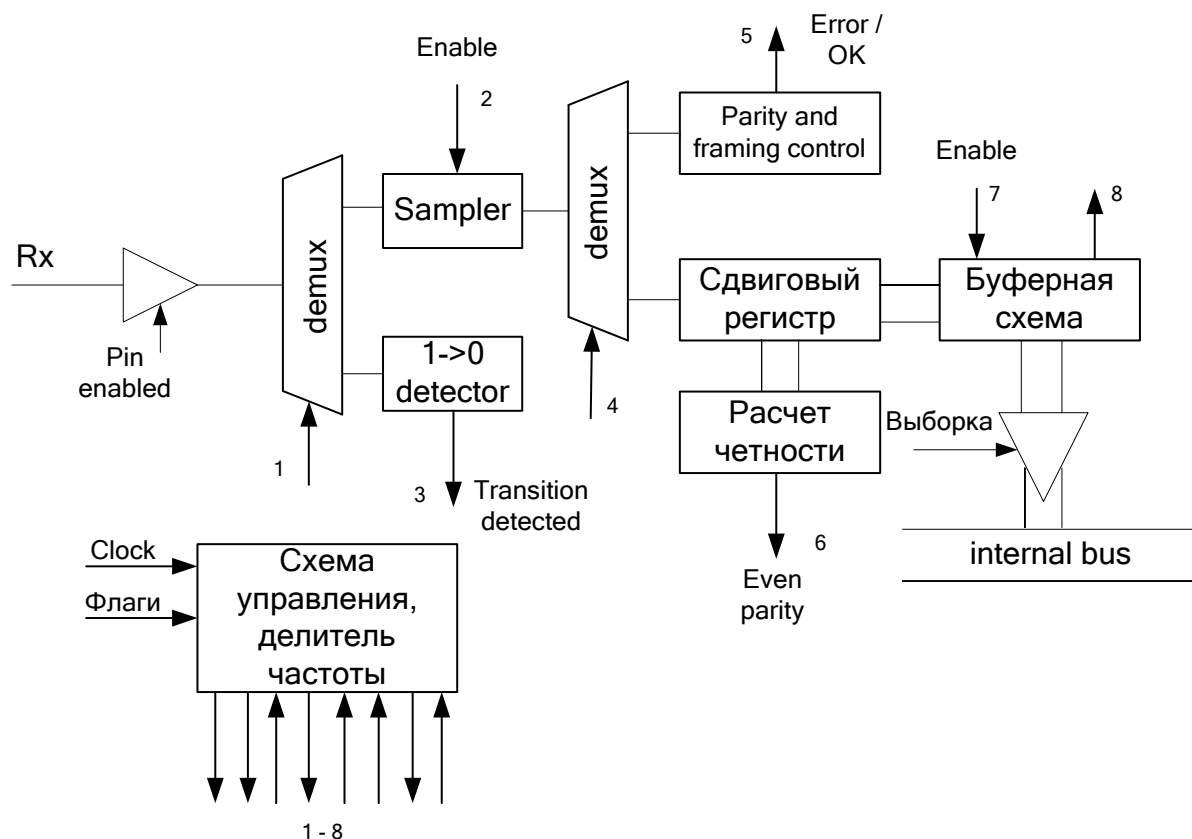


Рисунок 402 – Блок-схема приемника UART

Измеряемые значения помещаются в регистр сдвига, производится расчет бита четности в соответствии с выбранным режимом четности и сравнение его с полученным в составе символа данных. Ошибки четности и кадра (несоответствие числа стоп-битов или необнаружение стоп-бита) фиксируются и используются для установки флагов состояния и генерации прерываний. Успешно принятый байт данных помещается в буфер приема (реализованный в виде FIFO произвольной глубины). Состояние буфера приема используется для генерации прерываний по уровню заполнения и переполнения. Буфер приема, по аналогии с буфером передачи, ассоциируется с регистром приема и подключается к внутренней шине данных при поступлении сигнала выборки, вырабатываемого из адреса регистра и сигнала чтения R.

					ЮФКВ.431268.005РЭ			Лист
								502
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	14.11.11		18212-1					

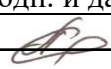
Приведенные схемы не включают в себя декодер адреса регистра, регистровый файл и схему генерации прерываний.

1.3.6.5.3 Регистры блока UART

Регистры данных, состояния и управления блоком UART приведены в Таблица 312.

Таблица 312 – Регистры блока UART

Имя	Разрядность	Пояснение	Тип доступа
UARTRx	8	Р-р приема	R
UARTTx	8	Р-р передачи	W
UARTEn	1	Разрешение работы	W {R}
UARTBR	1	Подача Break - сигнала	W {R}
UARTLB	1	Аппаратный loopback	W {R}
UARTDWL	2	Разрядность слова (5 - 8 бит)	W {R}
UARTPM	2	Использование четности (нет, чет., нечет.)	W {R}
UARTSTOP	2	Ширина STOP-бита (1; 1.5; 2)	W {R}
UARTDIV	16	Коэффициент делителя частоты	W {R}
UARTRxIntType	2	Тип прерывания по приему (11 - буфер полон, 10 - 3/4 заполнено, 0x - принят очередной символ)	W {R}
UARTTxIntType	1	Тип прерывания по передаче (1 - передан последний символ и буфер опустошен, 0 - прерывание при каждой передаче)	W {R}
UARTTxFull	1	Буфер передачи полон/не полон	R
UARTRxEmpty	1	Буфер приема пуст/содержит данные	R
UARTTxSREmpty	1	Сдвиговый регистр передатчика пуст/содержит данные	R
UARTBRErr	1	Зафиксирован сигнал BREAK	R
UARTFrErr	1	Ошибка кадра	R
UARTPErr	1	Ошибка четности	R
UARTRxOverrun	1	Переполнение буфера приема	R
UARTIntMask	8	Маска прерывания от UART: (флаги UARTBRErr, UARTFrErr, UARTPErr, UARTRxOverrun, от буфера передатчика, от буфера приемника)	W {R}
UARTIntID	8	Идентификатор прерывания от UART: (флаги UARTBRErr, UARTFrErr, UARTPErr, UARTRxOverrun, от буфера передатчика, от буфера приемника)	R

					ЮФКВ.431268.005РЭ			Лист
								503
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.6.6 Интерфейс I2C-Мастер (I2CMST)

Интерфейс I2C состоит из 2-х отдельных устройств - устройства-мастера (I2MST) и подчиненного slave устройства.. Ниже приведено описание устройства I2C- Мастер (I2CMST), которое имеет последовательный интерфейс, который управляется шиной Inter IC (I2C) и интерфейс с шиной AMBA APB. Описание I2c Slave

1.3.6.6.1 Введение

I2C ядро совместимо стандартом Philips и поддерживает 7 и 10-битную адресацию. Непосредственно поддерживаются Стандартный режим(100Кб/сек) и Быстрый режим (400 Кб/сек). Внешними резисторами утяжки должны быть снабжены обе линии шины.

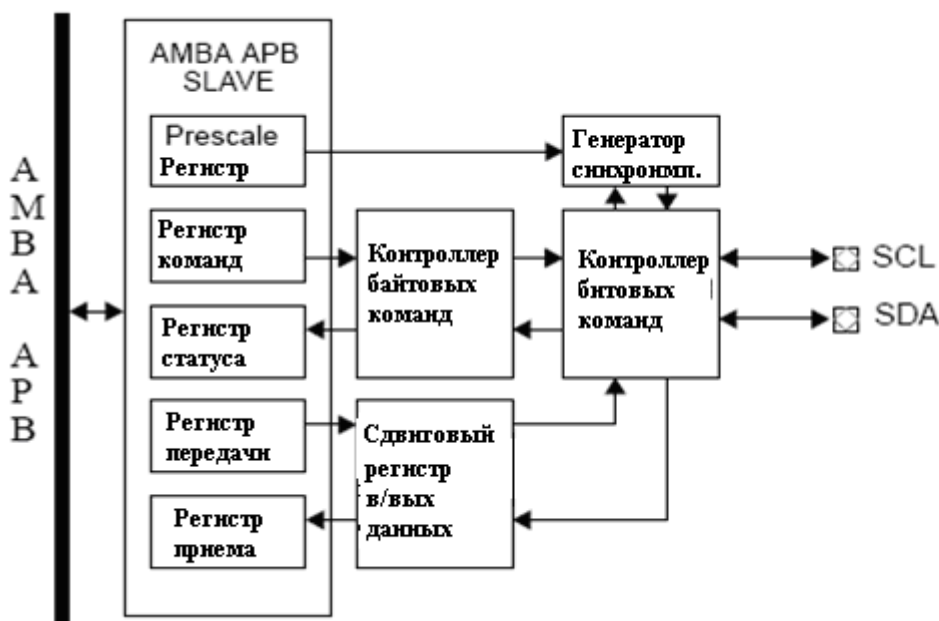


Рисунок 403 – Блок-схема I2C- Мастера

1.3.6.6.2 Операция

1.3.6.6.2.1 Протокол передачи

I2C-шина –простая 2-х-проводная последовательная шина с многими мастерами с обнаружением столкновений и арбитражем. Шина состоит из последовательной линии данных SDA и линии последовательных синхросигналов SCL.. I2C-стандарт определяет 3 скорости передачи: Стандартную(100Кб/сек), Быструю (400Кб/сек) и Высокоскоростную (3,4 Мб/сек).

Передача по I2C-шине начинается с условия СТАРТ. Условие СТАРТa определяется как переход из высокого в низкий уровень SDA линии, в то время как на SCL – высокий уровень. Эти условия всегда генерируются мастером.Шина считается занятой после СТАРТ-условия и свободна после некоторого количества времени после СТОП-условия.Свободное время шины , требуемое между СТОП и СТАРТ условием определено в I2C спецификации и зависит от скорости цифрового потока (bit rate) шины.

Рисунок 96 показывает передачу данных, имеющую место на I2C шине. Мастер сначала генерирует условие СТАРТa и затем передает 7-битный SLAVE-адрес. Бит, следующий за SLAVE-адресом – $R/\overline{W}$ -бит , который определяет направление передачи данных. В этом случае $R/\overline{W}$ равен 0, индицируя операцию записи. После того как мастер передал адрес и

					ЮФКВ.431268.005РЭ			Лист
								504
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

R/W-бит, он освобождает SDA линию. Приемник утягивает SDA линию в низкий уровень, чтобы подтвердить передачу. Если приемник не подтверждает передачу, мастер может генерировать

СТОП-условие, чтобы прекратить передачу или начать новую передачу сгенерировав повторное условие СТАРТа.

После того как первый байт был подтвержден, мастер передает байт данных. Если R/W-бит

был установлен в 1, мастер будет действовать как приемник во время фазы передачи. После того, как байт данных был передан, приемник подтверждает байт и мастер генерирует условие СТОП, чтобы завершить передачу. 3 примера передачи в перспективе от системного драйвера.

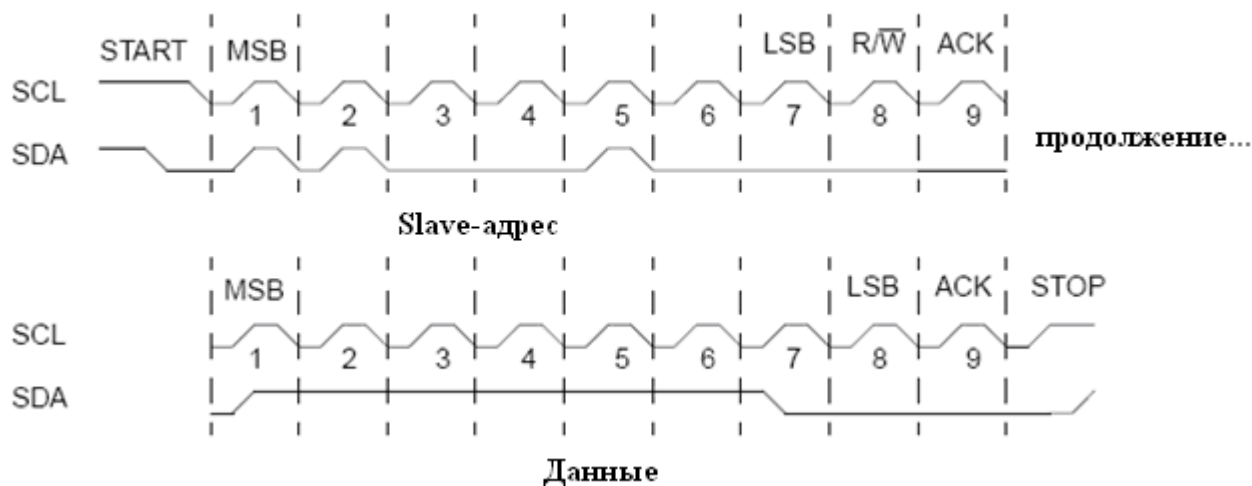


Рисунок 404 – Завершенная I2C передача данных

1.3.6.6.2 Генерация синхроимпульсов

Ядро использует Prescale регистр, чтобы определить частоту линии SCL синхроимпульсов и частоту 5* SCL, которую ядро использует внутри. Для того, чтобы сосчитать значение prescale используется формула:

$$Prescale = \frac{AMBAclockfrequency}{5 \cdot SCLfrequency} - 1$$

SCLfrequency равна 100кГц для операции в Стандартном режиме и 400 кГц для операции в Быстром режиме. Для того, чтобы использовать ядро в Стандартном режиме в системе с синхроимпульсами 60 МГц, выдаваемыми в шину требуемое значение prescale:

$$Prescale = \frac{60Mhz}{5 \cdot 100kHz} - 1 = 119 = 0x77$$

Заметим, что prescale регистр будет изменен только, когда ядро незначимо. Минимальное рекомендуемое значение 3 из-за синхронизационных проблем. Более низкие значения могут заставить мастера нарушить временные ограничения I2C. Это ограничивает частоту системы до 2 МГц для операции в Стандартном режиме.

1.3.6.6.3 Программная рабочая модель

					ЮФКВ.431268.005РЭ			Лист
								505
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

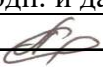
Ядро инициализируется записью соответствующего значения в синхронизационный prescale регистр и затем установкой enable(EN) бита разрешения в управляющий регистр. Прерывания разрешаются через enable(EN) бит в управляющем регистре.

Чтобы записать байт в slave I2C-мастер должен сгенерировать условие старта и послать адрес slave с битом $R/\overline{W}$, установленным в 0. После того, как slave подтвердил адрес, мастер передает данные, ожидает подтверждения и генерирует СТОП-условие. Последовательность описанная ниже предписывает ядру выполнить запись:

1. Сдвиг влево на одну позицию адреса I2C-устройства и запись результата в регистр передачи. Последний значащий бит регистра передачи $R/\overline{W}$ устанавливается в 0.
2. Генерировать условие СТАРТа и послать содержимое регистра передачи установкой STA и WR битов в командном регистре.
3. Подождать прерывание или пока TIP бит в статусном регистре установится в состояние “низкий”.
4. Считать RXACK бит в статусном регистре. Если RXACK – “низкий”, slave подтвердил передачу, переходить к шагу 5. Если RXACK установлен, устройство не подтвердило передачу, перейти к шагу 1.
5. Записать slave-данные в регистр передачи.
6. Послать данные к slave и генерировать условие СТОП установкой STO и WR битов в командном регистре.
7. Подождать прерывание или пока TIP бит в статусном регистре установится в состояние “низкий”.
8. Проверить, что slave подтвердил данные чтением RXACK бита в регистре статуса. RXACK не будет установлен.

Чтобы считать байт из памяти, сединенной с I2C, большая часть последовательности, приведенной выше, повторяется. Данные, записываемые в этом случае – это ячейка памяти на I2C slave. После того, как адрес был записан мастер генерирует повторное условие СТАРТа и считывает данные из slave. Последовательность, которую программное обеспечение будет выполнять, чтобы считать из устройства памяти:

1. Сдвиг влево на одну позицию адреса I2C-устройства и запись результата в регистр передачи. Последний значащий бит регистра передачи $R/\overline{W}$ устанавливается в 0
2. Генерировать условие СТАРТа и послать содержимое регистра передачи установкой STA и WR битов в командном регистре...
3. Подождать прерывание или пока TIP бит в статусном регистре установится в состояние “низкий”.
4. Считать бит .RxACK в регистре статуса. Если .RxACK – “низкий”, slave подтвердил передачу, перейти к шагу 5. Если RxACK установлен, устройство не подтвердило передачу, перейти к шагу 1.
5. Записать ячейку памяти, которая должна быть записана из slave в регистр передачи
6. Установить бит WR в командном регистре.
7. Подождать прерывание или пока TIP бит в статусном регистре установится в состояние “низкий”.
8. Считать бит .RxACK в регистре статуса. RxACK будет “низким”.
9. Адресовать I2C снова записью его сдвинутого влево адреса в регистр передачи. Установить младший значащий бит регистра передачи (R/W) в “1” чтением из slave.
10. Установить STA и WR биты в командном регистре, чтобы сгенерировать повторное условие СТАРТа.
11. Подождать прерывание или пока TIP бит в статусном регистре установится в состояние “низкий”.
12. Считать бит .RxACK в регистре статуса. Slave будет подтверждать передачу.

					ЮФКВ.431268.005РЭ			Лист
								506
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

13. Подготовиться получить данные из памяти, соединенной с I2C. Установить биты RD, ACK и STO в командном регистре. Установив ACK бит в 1, отвергает принятые данные и означает конец передачи.
14. Подождать прерывание или пока TIR бит в статусном регистре установится в состояние “низкий”.
15. Принятые данные теперь могут быть читаны из регистра приема.

Для того, чтобы выполнить последовательные чтения мастер может выполнять итерации 13 -15, не устанавливая ACK и STO биты в шаге 13. Чтобы закончить последовательные чтения, ACK и STO биты устанавливаются. Обращайтесь за справкой к документации I2C-slave, чтобы увидеть, что последовательные чтения поддерживаются.

Финальная последовательность иллюстрирует, как записать один байт в I2C-slave, который требует адресации. Сначала адресуется slave и ячейка памяти slave передается. После того, как slave подтвердил данные ячейки памяти, данные которые должны быть записаны передаются без генерации нового условия СТАРТа:

1. Сдвиг влево на одну позицию адреса I2C-устройства и запись результата в регистр передачи. Последний значащий бит регистра передачи $R/\bar{W}$ устанавливается в 0
2. Генерировать условие СТАРТа и послать содержимое регистра передачи установкой STA и WR битов в командном регистре
3. Подождать прерывание или пока TIR бит в статусном регистре установится в состояние “низкий”.
4. Подождать прерывание или пока TIR бит в статусном регистре установится в состояние “низкий”.
5. Записать ячейку памяти, которая должна быть записана из slave в регистр передачи
6. Установить бит в командном регистре.
7. Подождать прерывание или пока TIR бит в статусном регистре установится в состояние “низкий”.
8. Считать RxACK в статус-регистре. RxACK будет “низким.”
9. Записать байт данных в регистр передачи.
10. установить WR и STO в командном регистре, чтобы послать байт данных и сгенерировать условие СТОП.
11. Подождать прерывание или пока TIR бит в статусном регистре установится в состояние “низкий”.
12. Проверить RxACK в регистре статуса. Если запись была успешной, slave подтвердит передачу байта данных.

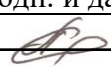
Представленные здесь примеры последовательностей могут быть вообще применены к I2C-slaves. Однако некоторые устройства могут отличаться от протокола выше, пожалуйста, с вопросами обращайтесь за справкой к документации I2C. Заметьте, что программный драйвер будет также отслеживать бит (AL) потери арбитража в статус-регистре.

1.3.6.6.4 Регистры

Ядро программируется через регистры, отображаемые в адресном пространстве APB.(см. Таблица 313)

Таблица 313 – Регистры I2C

Смещение адреса APB	Регистр
0x00	Prescale регистр синхронизации
0x04	Управляющий регистр
0x08	Регистр передачи*
0x08	Регистр приема**
0x0C	Регистр команд*
0x0C	Регистр статуса**

					ЮФКВ.431268.005РЭ			Лист
								507
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Примечание.

*- Только запись.

** - Только чтение.

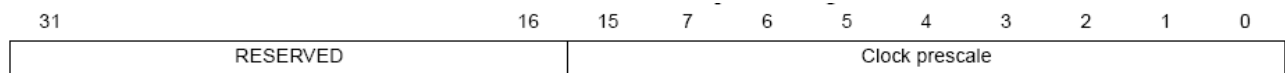


Рисунок 405 – Prescale регистр синхронизации I2C-мастера

31:16 Зарезервировано
15:0 Clock prescale – Значение используется, чтобы предварительно поделить частоту SCL линии. Не изменяйте значение этого регистра, пока поле EN управляющего регистра не установлено в “0”. Минимальное рекомендуемое значение этого регистра 0x0003. Меньшие значения могут вызвать у мастера нарушение временных требований I2C из-за синхронизационных ограничений.



Рисунок 406 – Управляющий регистр I2C-мастера

31:8 Зарезервировано.
7 Разрешение (Enable(EN)) – Разрешено ядро I2C. Ядро разрешено, когда этот бит установлен в “1”.
6 Разрешение прерываний (Interrupt enable(IEN)) – Когда этот бит установлен в “1”, ядро будет генерировать прерывания по завершению передачи.
5:0 Зарезервировано.

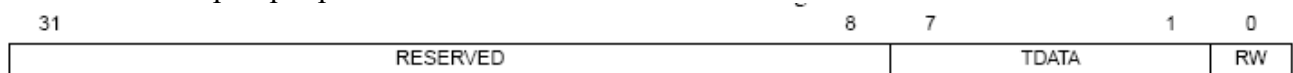


Рисунок 407 – Регистр передачи I2C-мастера

31:8 Зарезервировано.
7:1 Передаваемые данные (TDATA) – Старшие значащие биты следующего байта для передачи через I2C.
0 Чтение/запись(R/W) – в передаче данных это младший значащий бит. При передаче slave адреса это RW бит. “1” читается из slave и “0” записывается в slave.



Рисунок 408 – Регистр приема I2C-мастера.

31:8 Зарезервировано
7:0 Принимаемые данные (RDATA) – Последний байт, принятый по I2C-шине.

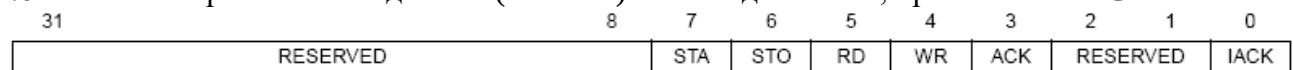
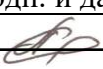
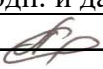


Рисунок 409 – Регистр команд I2C-мастера.

31:8 Зарезервировано

					ЮФКВ.431268.005РЭ				Лист
									508
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11		18212-1					

- 7 Старт (STA) – Генерировать условие СТАРТа на I2C-шине. Этот бит также используется, чтобы сгенерировать повторяющиеся условия СТАРТа.
- 6 СТОП (STO) - Генерировать условие СТОП.
- 5 Чтение (RD) - Читать из slave.
- 4 Запись (WR) - Писать в slave.
- 3 Подтверждение Acknowledge(ACK) – Используется, когда действует как приемник. “0” посылает ACK. “1” посылает NACK.
- 2:1 Зарезервировано.
- 0 Подтверждение прерывания Interrupt acknowledge (IACK) – Обнуляет флаг прерывания (IF) в статус регистре.

					ЮФКВ.431268.005РЭ			Лист
								509
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

1.3.6.7 Универсальные порты ввода-вывода

1.3.6.7.1 Об ARM PrimeCell GPIO (PL061)

PrimeCell GPIO - усовершенствованная архитектура микроконтроллера, разработанная для полнофункциональной системы на кристалле, которая разрабатывается, тестируется и лицензируется ARM'ом.

PrimeCell GPIO является AMBA ведомым модулем, который присоединяется к APB шине. PrimeCell GPIO имеет 8 программируемых входов или выходов, которыми Вы можете управлять в двух режимах:

- Программный режим через интерфейс APB шины
- Аппаратный режим через интерфейс аппаратного управления

Вы можете создавать порты различной ширины (например, 16, 24, 32 и 40 разрядных) для различных экземпляров. Интерфейс прерываний создает конфигурации любого числа пинов, как в источнике прерываний. Вы можете генерировать прерывания в зависимости от уровня или переходного значения пина. Системный сброс PrimeCell GPIO по умолчанию поступает на вход. Интерфейс внешних вводов/выводов PrimeCell GPIO использует сигналы входных данных, выходных данных и выходные разрешающие сигналы.

Структурная схема GPIO приводится на Рисунок 410.

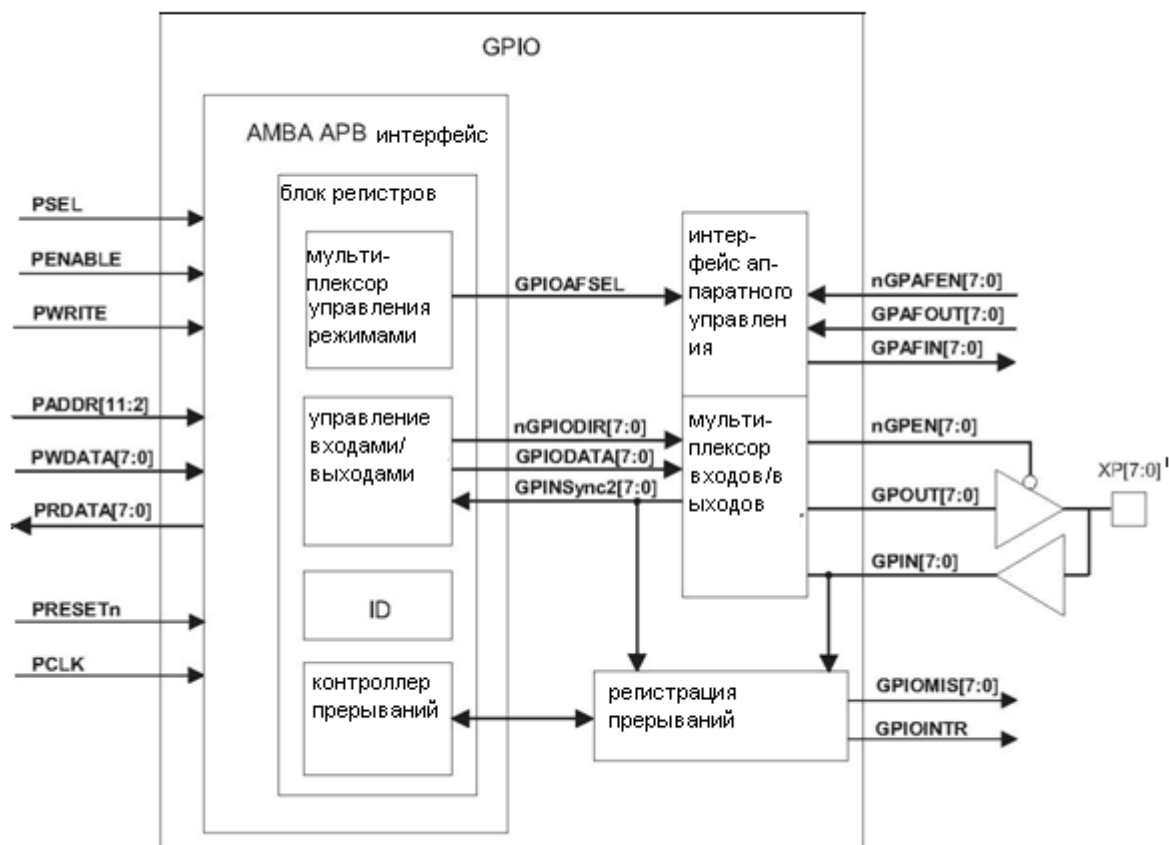
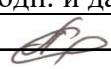


Рисунок 410 – Структурная схема PrimeCell GPIO и интерфейс внешних вводов/выводов

					ЮФКВ.431268.005РЭ			Лист
								510
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

1.3.6.7.2 Возможности PrimeCell GPIO

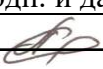
PrimeCell GPIO предлагает:

- Соответствие со спецификацией AMBA(Rev 2.0) для легкой интеграции в SoC реализацию.
- Восемь индивидуальных программируемых портов ввода/вывода, по умолчанию с входным сбросом.
- Масштабируемость для различных экземпляров до 16, 24, 32, 40 или более разрядов.
- Способность программируемой генерации прерываний, в зависимости от перехода или уровня состояния для любого числа пинов.
- Возможность аппаратного управления PrimeCell GPIO при разных конфигурациях системы.
- Маскирование битов при операциях чтения и записи через связь с адресами.
- Регистры идентификации, которые единственным образом определяют PrimeCell GPIO

1.3.6.7.3 Регистровая модель

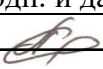
Таблица 314 - Модель регистров PrimeCell GPIO в функциональном режиме

Адрес	Тип операции	Ширина	Значение после обнул.	Название	Описание
GPIO Base + 0x000 - 0x3FC	R/W	8	0x00	GPIODATA	PrimeCell GPIO регистр данных
GPIO Base+0x400	R/W	8	0x00	GPIODIR	PrimeCell GPIO регистр направления данных
GPIO Base+0x404	R/W	8	0x00	GPIOIS	PrimeCell GPIO регистр прерывание по уровню (interrupt sense)
GPIO Base+0x408	R/W	8	0x00	GPIOIBE	PrimeCell GPIO регистр прерывание по обоим фронтам(interrupt both edges)
GPIO Base+0x40c	R/W	8	0x00	GPIOIEV	PrimeCell GPIO регистр события(event) прерывания
GPIO Base+0x410	R/W	8	0x00	GPIOIE	PrimeCell GPIO регистр маски прерываний
GPIO Base+0x414	Read	8	0x00	GPIOISR	PrimeCell GPIO регистр статуса прерываний строк (raw)
GPIO Base+0x418	Read	8	0x00	GIOMIS	PrimeCell GPIO регистр маскируемого статуса прерываний

					ЮФКВ.431268.005РЭ			Лист
								511
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Продолжение Таблица 314

Адрес	Тип операции	Ширина	Значение после обнул.	Название	Описание
GPIO Base+0x41C	Write	8	0x00	GPIOIC	PrimeCell GPIO регистр об-нуления прерываний(clear)
GPIO Base+0x420	R/W	8	0x00	GPIOAFSEL	PrimeCell GPIO регистр выборки режима контроля
GPIO Base+0x424 – 0xFCC	-	-	-	-	Зарезервировано для будущего использования и тестовых целей
GPIO Base+0xFD0 – 0xFDC	-	-	-	-	Зарезервировано для будущего ID расширения
GPIOBase+0xFE0c	R/W	8	0x61	GPIOPeriphID0	Регистр идентификации периферии 7:0
GPIO Base+0xFE4	R/W	8	0x10	GPIOPeriphID1	Регистр идентификации периферии 15:8
GPIO Base+0xFE8	Read	8	0x04	GPIOPeriphID2	Регистр идентификации периферии 23:16
GPIOBase+0xFEC	Read	8	0x00	GPIOPeriphID3	Регистр идентификации периферии 31:24
GPIOBase+0xFF0	Read	8	0x0D	GPIOCellID0	Регистр идентификации PrimeCell 7:0
GPIOBase+0xFF4	Read	8	0xF0	GPIOCellID1	Регистр идентификации PrimeCell 15:8
GPIOBase+0xFF8	Read	8	0x05	GPIOCellID2	Регистр идентификации PrimeCell 23:16
GPIOBase+0xFFC	Read	8	0xB1	GPIOCellID3	Регистр идентификации PrimeCell 31:24

					ЮФКВ.431268.005РЭ			Лист
								512
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.3.6.8 Контроллер NAND Flash памяти

1.3.6.8.1 Общая структура и основные функции

Блок NAND контроллера с функцией прямого доступа в память (далее просто NAND контроллер) предназначен для обеспечения взаимодействия между NAND флеш памятью и системой с интерфейсом AMBA 3.0 AXI. Блок выполняет следующие базовые функции:

- запись данных из определенного диапазона адресов в NAND флеш;
 - чтение данных из NAND флеш и запись их в указанный диапазон адресов без участия процессора;
 - стирание данных из NAND флеш (для последующей записи другого массива данных);
- Блок NAND контроллер получает информацию из системной памяти и записывает ее в NAND флеш постранично в силу специфики работы памяти. На Рисунок 411 изображена внутренняя структура блока NAND контроллер.

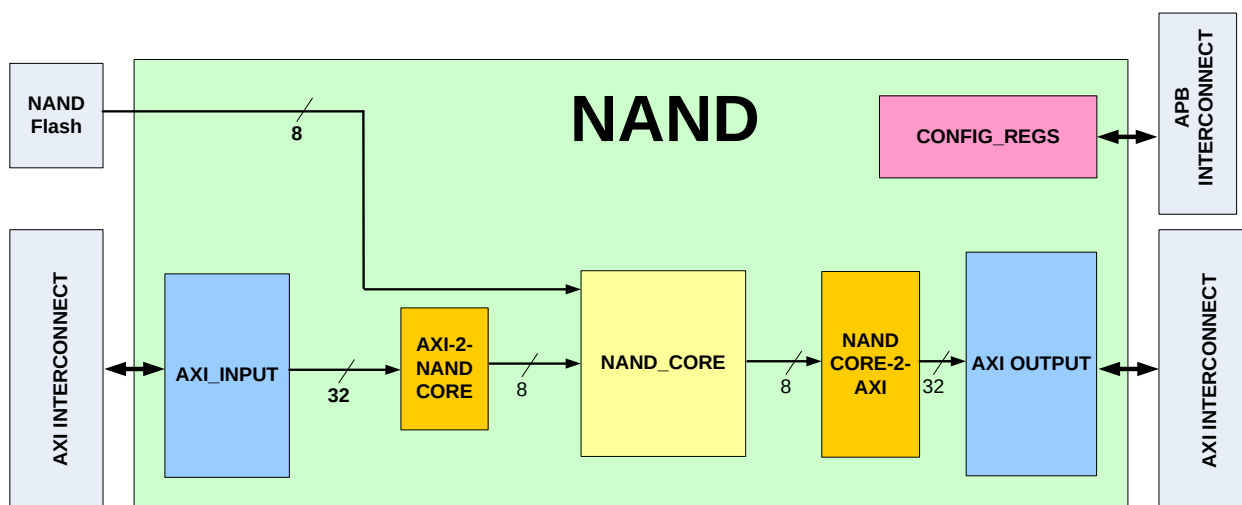


Рисунок 411 - Внутренняя структура NAND контроллера

В состав блока входят несколько функциональных подсистем, а именно:

- подсистема AXI_INPUT для чтения данных из общей системной памяти по шине AMBA 3 AXI;
- подсистема управления NAND флеш NAND_CORE;
- подсистема AXI_OUTPUT для записи обработанных данных в общую системную память по шине AMBA 3 AXI;
- подсистема CONF_REGS для управления программируемыми параметрами по шине AMBA 3 APB;
- переходники AXI-2-NAND_CORE и NAND_CORE-2-AXI для интеграции в состав блока NAND контроллера унифицированных подсистем AXI_INPUT и AXI_OUTPUT соответственно;

В Таблица 315 представлен полный список внешних интерфейсов блока и их основные характеристики.

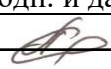
					ЮФКВ.431268.005РЭ			Лист
								513
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Таблица 315 - Внешние интерфейсы блока

Название	Протокол	Разрядность по данным	Рабочая частота	Краткое описание
AXI_MASTER	AMBA AXI 3.0 в режиме Master	32	81 MHz	Канал записи-чтения данных из системной памяти
APB_SLAVE	AMBA APB 3.0 в режиме Slave	32	81 MHz	Канал для записи-чтения конфигурационных регистров
NAND Flash	NAND I/O	8	Зависит от используемой NAND флеш	Интерфейс взаимодействия с NAND флеш

Все интерфейсы соответствуют стандартным спецификациям со следующими ограничениями:
 – AXI_MASTER – нет поддержки режима Overlapping;

1.3.6.8.2 Регистровая карта

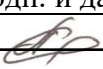
В таблице 2 приведена полная регистровая карта блока NAND контроллер и описание регистров. В колонке Адрес указаны последние 12 младших значимых бит 32-разрядного APB адреса в 16-ричном формате. Шестнадцатиричные числа имеют вид h800.

1.3.6.8.2.1 Подсистема взаимодействия с NAND флеш

В Таблица 316 приведено описание регистров блока, непосредственно осуществляющего изменение управляющих сигналов NAND флеш.

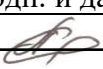
Таблица 316 – Регистровая карта NAND_CORE

Адрес , ADDR [11:0]	Чтение/ Запись	Регистр	Описание Полей
		[7:0]	Содержание статусного регистра NAND контроллера
		[8]	Ошибка ECC
		[9]	Готовность NAND контроллера к обработке следующей команды
		[10]	Готовность NAND флеш
		[31:10]	
h000		NAND_STATUS	
		[0]	“1” – Разрешение прерываний по завершению команды “Стирание”
		[1]	“1” – Разрешение прерываний по завершению команды “Запись”
		[2]	“1” – Разрешение прерываний по завершению команды “Чтение”
		[3]	“1” – Разрешение прерываний по завершению команды “Чтение” в режиме потокового чтения
		[4]	“1” – Разрешение прерываний по завершению команды “Запрос статуса”
		[5]	“1” – Разрешение прерываний по завершению команды “Сброс”

					ЮФКВ.431268.005РЭ			Лист
								514
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

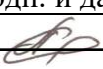
Продолжение Таблица 316

Адрес , ADDR [11:0]	Запись/чтение	Регистр	Описание Полей
		[6]	“1” – Разрешение прерываний (общее) “0” – Запрет любых прерываний
		[7]	“1” – Включение режима расчета кода коррекции ошибок
		[9:8]	“00” – стандартный режим работы, “00”, “10” – reserved “11” – режим потокового чтения
		[10]	Режим загрузки дескрипторов: “1” – Сигнал загрузки дескриптора при каждой передаче данных; “0” – Производится № сигнал загрузки дескриптора в начале операции (рекомендуется для кольцевого буфера)
		[23:11]	Величина страницы, с которой будет работать драйвер h800 – -2кб h840 – -2кб + spare область доступа для непосредственных операций драйвера
		[24]	“1” – Разрешение прерывания по завершению команды “Чтение идентификатора”
		[25]	Количество ROW байт адреса 0 - 2 байта; 1 - 3 байт
		[31:26]	Reserved
h004	r/w	NAND_CONTROL	
		[7:0]	Цифровой код команды для NAND контроллера: h20 - Чтение страницы из памяти h25 - Чтение идентификационного регистра из памяти h26 - Чтение текущего состояния памяти h27 - Запись страницы в память h2B - Стирание блока памяти h2C - Сброс памяти
		[31:8]	Reserved
h008	r/w	NAND_COMMAND	
		[11:0] [7:0]	Младшие разряды должны быть 0 При операции чтения идентификатора указать адрес идентификатора
		[17:12] [15:8]	Адрес страницы в NAND флеш При операции чтения идентификатора. Указать количество байт в идентификаторе.[0] - для чтения страницы
		[30:18]	Адрес блока
		[31]	Reserved

					ЮФКВ.431268.005РЭ			Лист
								515
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

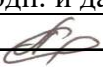
Продолжение Таблица 316

Адрес , ADDR [11:0]	Запись/чтение	Регистр	Описание Полей
h00C	r/w	NAND_DATA	
		[0]	Прерывание об окончании команды стирания блока
		[1]	Прерывание об окончании команды записи страницы
		[2]	Прерывание об окончании команды чтения страницы
		[3]	Прерывание об окончании команды потокового чтения
		[4]	Прерывание об окончании команды чтения статуса
		[5]	Прерывание об окончании команды сброса
		[6]	Прерывание об окончании команды чтения идентификатора
	r/w	[31:7]	Reserved
h010		NAND_IRQ_STATUS	
h014			Reserved
		[0]	Прерывание об окончании команды стирания блока
		[1]	Прерывание об окончании команды записи страницы
		[2]	Прерывание об окончании команды чтения страницы
		[3]	Прерывание об окончании команды потокового чтения
		[4]	Прерывание об окончании команды чтения статуса
		[5]	Прерывание об окончании команды сброса
		[6]	Ошибка ECC. Если "1" - значит в считанной из NAND флеш ECC области есть ошибка. (для установления типа ошибки необходим дополнительный анализ драйвером)
h010		IRQ_STATUS[6:0]	Статус состояния NAND контроллера
		[7]	AxiOutSlvErr - ошибка BRESP != 0. При записи на AXI
		[8]	"1" - Флаг о передаче последнего адреса текущего буфера AXI мастеру записи в системную память
		[9]	"1" - Флаг о запросе адреса по предварительно незагруженному по APB дескриптору в DMA канале мастера записи в системную память
		[10]	"1" - Флаг о запросе адреса по предварительно незагруженному по APB дескриптору в DMA канале мастера записи в системную память
		[11]	"1" - Флаг о о передаче последнего адреса сегмента AXI мастеру записи в системную память
		IRQ_STATUS[11:7]	Статус канала записи в системную память
		[12]	AxiInSlvErr - ошибка RRESP != 0 При чтении из AXI

					ЮФКВ.431268.005РЭ			Лист
								516
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

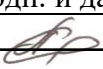
Продолжение Таблица 316

Адрес , ADDR [11:0]	Запись/чтение	Регистр	Описание Полей
		[13]	"1" - Флаг о передаче последнего адреса текущего буфера AXI мастеру чтения из системной памяти
		[14]	"1" - Флаг о запросе адреса по предварительно незагруженному по APB дескриптору в DMA канале мастера чтения из системной памяти
		[15]	"1" - Флаг об обращении к запрещенному номеру канала (в NAND контроллере поддерживается только 0 канал) в DMA канале мастера чтения из системной памяти
		[16]	"1" - Флаг о передаче последнего адреса сегмента AXI мастеру чтения из системной памяти
		IRQ_STATUS[16:12]	Статус канала чтения из системной памяти
		IRQ_STATUS[31:17]	Reserved
h0B4	r	IRQ_STATUS	
		[7:0]	Величина задержки tADL в тактах текущей системной частоты
		[15:8]	Величина задержки tALH в тактах текущей системной частоты
		[23:16]	Величина задержки tALS в тактах текущей системной частоты
		[31:24]	Величина задержки tCH в тактах текущей системной частоты
h0B8	r/w	NAND_timing_0	
		[7:0]	Величина задержки tCLH в тактах текущей системной частоты
		[15:8]	Величина задержки tCLS в тактах текущей системной частоты
		[23:16]	Величина задержки tCS в тактах текущей системной частоты
		[31:24]	Величина задержки tDH в тактах текущей системной частоты
h0BC	r/w	NAND_timing_1	
		[7:0]	Величина задержки tDS в тактах текущей системной частоты
		[15:8]	Величина задержки tWC в тактах текущей системной частоты
		[23:16]	Величина задержки tWH в тактах текущей системной частоты
		[31:24]	Величина задержки tWP в тактах текущей системной частоты

					ЮФКВ.431268.005РЭ			Лист
								517
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение Таблица 316

Адрес , ADDR [11:0]	Запись/чтение	Регистр	Описание Полей
h0C0	r/w	NAND_timing_2	
		[7:0]	Величина задержки tWW в тактах текущей системной частоты
		[15:8]	Величина задержки tAR в тактах текущей системной частоты
		[23:16]	Величина задержки tCLR в тактах текущей системной частоты
		[31:24]	Величина задержки tOH в тактах текущей системной частоты
0C4	r/w	NAND_timing_3	h
		[7:0]	Величина задержки tCOH в тактах текущей системной частоты
		[15:8]	Величина задержки tIR в тактах текущей системной частоты
		[23:16]	Величина задержки tRC в тактах текущей системной частоты
		[31:24]	Величина задержки tREN в тактах текущей системной частоты
h0C8	r/w	NAND_timing_4	
		[7:0]	Величина задержки tRHOH в тактах текущей системной частоты
		[15:8]	Величина задержки tRHW в тактах текущей системной частоты
		[23:16]	Величина задержки tRLOH в тактах текущей системной частоты
		[31:24]	Величина задержки tRP в тактах текущей системной частоты
h0CC	r/w	NAND_timing_5	
		[7:0]	Величина задержки tRR в тактах текущей системной частоты
		[15:8]	Величина задержки tWHR в тактах текущей системной частоты
		[23:16]	Величина задержки tCEA в тактах текущей системной частоты
		[31:24]	Величина задержки tCHZ в тактах текущей системной частоты
h0D0	r/w	NAND_timing_6	
		[7:0]	Величина задержки tREA в тактах текущей системной частоты
		[15:8]	Величина задержки tRHZ в тактах текущей системной частоты
		[23:16]	Величина задержки tWB в тактах текущей системной частоты
		[31:24]	Reserved
h0D4	r/w	NAND_timing_7	
		[23:0]	Значение кода коррекции ошибок для блока размером 256 байт, находящегося по адресу [0:255]
h0D8	r	ECC_0	
		[23:0]	Значение кода коррекции ошибок для блока размером 256 байт, находящегося по адресу [256:511]

					ЮФКВ.431268.005РЭ			Лист
								518
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение Таблица 316

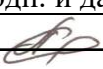
Адрес , ADDR [11:0]	Запись/чтение	Регистр	Описание Полей
h0DC	r	ECC_1	
		[23:0]	Значение кода коррекции ошибок для блока размером 256 байт, находящегося по адресу [512:767]
h0E0	R	ECC_2	
		[23:0]	Значение кода коррекции ошибок для блока размером 256 байт, находящегося по адресу [768:1023]
h0E4	r	ECC_3	
		[23:0]	Значение кода коррекции ошибок для блока размером 256 байт, находящегося по адресу [1024:1279]
h0E8	r	ECC_4	
		[23:0]	Значение кода коррекции ошибок для блока размером 256 байт, находящегося по адресу [1280:1535]
h0EC	r	ECC_5	
		[23:0]	Значение кода коррекции ошибок для блока размером 256 байт, находящегося по адресу [1536:1791]
h0F0	r	ECC_6	
		[23:0]	Значение кода коррекции ошибок для блока размером 256 байт, находящегося по адресу [1792:2047]
h0F4	r	ECC_7	

1.3.6.8.2 Подсистема чтения данных из системной памяти

В Таблица 317 приведена регистровая карта подсистемы AXI INPUT, реализующей канал чтения системного интерфейса AXI.

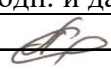
Таблица 317 – Регистровая карта подсистемы AXI INPUT

Адрес, ADDR [11:0]	Запись/Чтение	Регистр	Описание полей
		[0]	Бит разрешения работы Буфера данных канала №1
		[1]	Бит разрешения работы Буфера данных канала №2
		[29:2]	Зарезервировано
		[30]	Бит разрешения работы Буфера запросов. Установить для начала посылки запросов на чтение из памяти
		[31]	"1" - Программный сброс. После завершения сброса - установка бита в "0"
h018	r/w	DataChEnableCR	Конфигурационный регистр AXI-мастера чтения
		[6:0]	Уровень заполнения, при падении ниже которого любым Буфером данных генерируется запрос к AXI_R_IF на инициацию новых транзакций чтения данных
		[7]	Признак конечного буфера 1. "1" - когда в Буфер данных №1 поступает слово, считанное из последней ячейки конечного DMA-буфера, то Буфер данных №1 автоматически прекращает генерировать запросы на считывание данных

					ЮФКВ.431268.005РЭ			Лист
								519
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

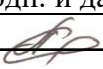
Продолжение Таблица 317

Адрес, ADDR [11:0]	Запись/Чтение	Регистр	Описание полей
			Признак конечного буфера 2. "1" - когда в Буфер данных №2 поступает слово, считанное из последней ячейки конечного DMA-буфера, то Буфер данных №2 автоматически прекращает генерировать запросы на считывание данных
		[8]	
		[31:9]	Зарезервировано
h01C	r/w	DataChConfigCR	Конфигурационный регистр канала данных
		[0]	Буфер запросов пуст
		[1]	Попытка чтения из пустого буфера
		[2]	Буфера запросов полон
		[3]	Попытка записи в полный буфер
		[31:4]	Reserved
h020	r	RequestBuffer_status_bus	Регистр статуса буферов AXI-мастера чтения
		[3:0]	ARLEN. Максимальный размер AXI транзакций, которые генерирует мастер
		[31:4]	Reserved
h024	r/w	AxiParamCR	Регистр длины AXI пакета для транзакции чтения
			"1" - при выполнении транзакции чтения SLAVE-устройство выдало статус ошибки RRESP=SLVERR. Флаг автоматически сбрасывается в 0 при считывании данного регистра
		[0]	
		[31:1]	Reserved
h028		AxiInIrqFlag	Регистр флагов прерываний
			Маска для флага прерывания. "0" - установка флага в 1 не приводит к генерации импульсного сигнала прерывания SLVERR.
		[0]	
		[31:1]	Зарезервировано
h02C	r/w	AxiInIrqFlagMask	Регистр масок флагов прерываний
			В данном поле сохраняется адрес транзакции чтения, при выполнении которой SLAVE-устройство выдало статус ошибки RRESP=SLVERR
		[31:0]	
h030		AxiInSlverrAddr	Регистр адреса ошибочной AXI-транзакции
			Статусный бит, отражающий наличие в текущий момент активных транзакций чтения.
		[0]	
		[4:1]	Количество активных транзакций чтения в текущий момент.
		[31:5]	Зарезервировано
h034	r	AxiInStatus	Статусный регистр AXI-мастера чтения
			"0" - [MSB:LSB] "1" - [LSB:MSB]
		[0]	
		[31:1]	Зарезервировано
h038	w	msb_lsbr	Регистр порядка байт в AXI- мастере чтения
h03C			Зарезервировано
			Регистр адреса начала буфера в системной памяти для считывания данных.
		[31:0]	
h040	r/w	DMA_DESC_1r	Регистр адреса начала дескриптора
			Регистр адреса конца буфера в системной памяти для считывания данных.
		[31:0]	
h044	r/w	DMA_DESC_2r	Регистр адреса конца дескриптора
			Номер канала DMA для чтения (NAND контроллер использует только 0 канал)
		[5:0]	

					ЮФКВ.431268.005РЭ			Лист
								520
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Продолжение Таблица 317

Адрес, ADDR [11:0]	Запись/Чтение	Регистр	Описание полей
		[21:6]	Размер сегмента буфера (в байтах). После достижения конца сегмента может быть выдано прерывание.
		[23:22]	Тип буфера. Различия в действиях при достижении конца "00" - Конечный буфер. Прерывание об окончании буфера и ожидание загрузки нового дескриптора (одиночный буфер) "01" - Кольцевой буфер. Прерывание об окончании буфера. При следующем запросе адреса выдача значения начала буфера "10" - Карусельный буфер. Переход на "карусельный буфер" (необходимо предварительно задать). "11" - Reserved
		[27:24]	Зарезервировано
		[28]	Бит инициации чтения дескриптора из таблицы дескрипторов для режима карусели.
		[29]	Бит инициации записи дескриптора в таблицу для использования в режиме карусели. После установки этого бита происходит загрузка параметров карусельного дескриптора.
		[30]	Бит инициации чтения из таблицы дескрипторов. После установки этого бита происходит загрузка параметров дескриптора с номером DMA_CHANNEL[5:0] из таблицы внутри DMA в регистры DMA_DESC_X. Бит сбрасывается после совершения операции
		[31]	Бит инициации записи дескриптора в стандартную таблицу. После установки этого бита происходит загрузка параметров дескриптора. Бит сбрасывается после совершения операции.
h048	r/w	DMA_DESC_3r	Регистр параметров дескриптора
		[0]	"1" - установление бита о последнем адресе буфера в регистре статуса приводит к формированию прерывания
		[1]	"1" - установление бита об обращении к предварительно незагруженному по APB номеру канала в регистре статуса приводит к формированию прерывания
		[2]	"1" - установление бита об обращении к запрещенному номеру канала в регистре статуса приводит к формированию прерывания
		[3]	"1" - установление бита о передаче последнего адреса сегмента в регистре статуса приводит к формированию прерывания
		[4]	Параметр, регулирующий момент выработки прерывания о достижении конца буфера. "0" - одновременно с передачей адреса AXI мастеру "1" - после получения подтверждения от мастера об отсылке данных на шины

					ЮФКВ.431268.005РЭ			Лист
								521
Изм.	Лист	№ докум.	Подп.	Дата	Взам.инв.№	Инв.№дубл.	Подп. и дата	
18212-2				14.11.11	18212-1			

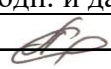
Продолжение Таблица 317

Адрес, ADDR [11:0]	Запись/Чтение	Регистр	Описание полей
		[20:5]	Шаг на который каждый раз будет увеличиваться адрес, выдаваемый ДМА.
		[31:21]	Reserved
h04C	r/w	DMA_CONF_1r	Конфигурационный регистр генератора адресов для AXI-мастера чтения
		[31:0]	По чтению дескриптора в регистр выдается значение текущего адреса для читаемого канала*. *Выдается значение, записанное после "load_desc" сигнала.
h050		DMA_DESC_4r	Регистр текущего адреса выбранного дескриптора
		[0]	"1" - Флаг о передаче последнего адреса текущего буфера AXI мастеру
		[1]	"1" - Флаг о запросе адреса по предварительно незагруженному по APB дескриптору
		[2]	"1" - Флаг об обращении к запрещенному номеру канала (в NAND контроллере поддерживается только 0 канал)
		[3]	"1" - Флаг о передаче последнего адреса сегмента AXI мастеру
		[31:4]	Reserved
h054		DMA_STATUSr	Регистр состояния генератора адресов
		[0]	Статус прерывания о конце сегмента для 0-го канала
		[31:1]	Статус прерывания о конце сегмента для 31-1 каналов соответственно (Не используется в NAND контроллере)
h058		DMA_SEG_END_chann_1r	Регистр статуса достижения конца сегмента (младшие 32 канала)
		[0]	Статус прерывания о конце буфера для 0-го канала
		[31:1]	Статус прерывания о конце буфера для 31-1 каналов соответственно (Не используется в NAND контроллере)
h05C		DMA_BUF_END_chann_1r	Регистр статуса достижения конца буфера (младшие 32 канала)
		[0]	Статус прерывания об обращении к незагруженному дескриптору
		[31:1]	Статус прерывания обращения к незагруженному дескриптору для 31-1 каналов (Не используется в NAND контроллере)
h060		DMA_NONACT_chann_1r	Регистр статуса обращения к неактивному дескриптору (младшие 32 канала)
h064		Зарезервирован	
h068		Зарезервирован	

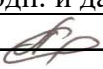
1.3.6.8.2.3 Подсистема записи в системную память

В Таблица 318 приведена регистровая карта подсистемы AXI OUTPUT, реализующей канал записи системного интерфейса AXI.

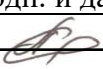
Таблица 318 – Регистровая карта подсистемы AXI OUTPUT

					ЮФКВ.431268.005РЭ			Лист
								522
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

		[3:0]	AWLEN. Максимальный размер AXI транзакций, которые генерирует мастер
		[31:4]	Зарезервировано
h06C	r/w	awlen_max	Регистр длины AXI пакета для транзакции записи
		[0]	"0" - Программный сброс. После завершения сброса - установка бита в "1"
		[31:1]	Зарезервировано
h070	r/w	sw_rst	Регистр программного сброса AXI-мастера записи
		[0]	"0" - [MSB:LSB] "1" - [LSB:MSB]
		[31:1]	Reserved
h074	r/w	msb_lsbw	Регистр порядка байт в AXI- мастере записи
		[5:0]	Номер канала по которому произошла ошибка SLVERR
		[7:6]	Значение реакции bresp от AXI slave
		[31:8]	Зарезервировано
h078	r	respw_status	Регистр статуса ошибки AXI-транзакции записи
		[0]	Буфер данных канала записи пуст
		[1]	Буфер данных канала записи полон
		[31:2]	Зарезервировано
h07C	r	bufw_status	Регистр статуса заполненности буфера данных AXI-мастера записи
h080		Reserved	
h084		Reserved	
		[31:0]	Регистр адреса начала буфера в системной памяти для записи данных из NAND флеш.
h088	r/w	DMA_DESC_1w	
		[31:0]	Регистр адреса конца буфера в системной памяти для записи данных из NAND флеш.
h08C	r/w	DMA_DESC_2w	
		[5:0]	Номер канала DMA для записи. (NAND контроллер использует только 0 канал)
		[21:6]	Размер сегмента буфера (в байтах). После достижения конца сегмента может быть выдано прерывание.
		[23:22]	Тип буфера. Различия в действиях при достижении конца "00" - Конечный буфер. Прерывание об окончании буфера и ожидание загрузки нового дескриптора (одиночный буфер) "01" - Кольцевой буфер. Прерывание об окончании буфера. При следующем запросе адреса выдача значения начала буфера "10" - Карусельный буфер. Переход на "карусельный буфер" (необходимо предварительно задать). "11" - Reserved
		[27:24]	Зарезервировано

					ЮФКВ.431268.005РЭ			Лист
								523
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

		[28]	Бит инициации чтения дескриптора из таблицы дескрипторов для режима карусели.
		[29]	Бит инициации записи дескриптора в таблицу для использования в режиме карусели. После установки этого бита происходит загрузка параметров дескриптора. Номер дескриптора должен быть Karusel_1
		[30]	Бит инициации чтения из таблицы дескрипторов. После установки этого бита происходит загрузка параметров дескриптора с номером DMA_CHANNEL[5:0] из таблицы внутри DMA в регистры DMA_DESC_X. Бит сбрасывается после совершения операции
		[31]	Бит инициации записи дескриптора в стандартную таблицу. После установки этого бита происходит загрузка параметров дескриптора. Бит сбрасывается после совершения операции.
h090	r/w	DMA_DESC_3w	
		[0]	"1" - установление бита о последнем адресе буфера в регистре статуса приводит к формированию прерывания
		[1]	"1" - установление бита об обращении к предварительно незагруженному по APB номеру канала в регистре статуса приводит к формированию прерывания
		[2]	"1" - установление бита об обращении к запрещенному номеру канала в регистре статуса приводит к формированию прерывания
		[3]	"1" - установление бита о передаче последнего адреса сегмента в регистре статуса приводит к формированию прерывания
		[4]	Параметр, регулирующий момент выработки прерывания о достижении конца буфера. "0" - одновременно с передачей адреса AXI мастеру "1" - после получения подтверждения от мастера об отсылке данных на шины
		[20:5]	Шаг на который каждый раз будет увеличиваться адрес, выдаваемый ДМА.
		[31:21]	Зарезервировано
h094	r/w	DMA_CONF_1w	
		[31:0]	По чтению дескриптора в регистр выдается значение текущего адреса для читаемого канала*. *Выдается значение, записанное после "load_desc" сигнала.
h098	r	DMA_DESC_4w	
		[0]	"1" - Флаг о передаче последнего адреса текущего буфера AXI мастеру
		[1]	"1" - Флаг о запросе адреса по предварительно незагруженному по APB дескриптору

					ЮФКВ.431268.005РЭ			Лист
								524
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

		[2]	"1" - Флаг об обращении к запрещенному номеру канала (в NAND контроллере поддерживается только 0 канал)
		[3]	"1" - Флаг о передаче последнего адреса сегмента AXI мастеру
		[31:4]	Reserved
h09C	r	DMA_STATUSw	
		[0]	Статус прерывания о конце сегмента для 0-го канала
		[31:1]	Статус прерывания о конце сегмента для 31-1 каналов соответственно (Не используется в NAND контроллере)
h0A0	r	DMA_SEG_END_chann_1w	
		[0]	Статус прерывания о конце буфера для 0-го канала
		[31:1]	Статус прерывания о конце буфера для 31-1 каналов соответственно (Не используется в NAND контроллере)
h0A4	r	DMA_BUF_END_chann_1w	
		[0]	Статус прерывания об обращении к незагруженному дескриптору
		[31:1]	Статус прерывания обращения к незагруженному дескриптору для 31-1 каналов (Не используется в NAND контроллере)
h0A8	r	DMA_NONACT_chann_1w	
h0AC		Reserved	
h0B0		Reserved	

1.3.6.8.3 Рекомендации по работе с блоком

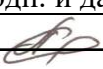
1.3.6.8.3.1 Общее описание работы блока

NAND контроллер позволяет выполнять основные операции, характерные для NAND флеш памяти – чтение, запись и стирание. Чтение и запись выполняются на странице, размер которой зависит от флеш памяти. Стирание выполняется блоками, чей размер также зависит от флеш памяти. Стоит отметить, что запись страниц внутри блока можно выполнять только последовательно – нельзя записать нулевую, а затем сразу пятую страницы блока. На чтение такого ограничения нет.

1.3.6.8.3.2 Задание временных параметров

Для произведения любых действий с NAND флеш необходимо предварительно задать параметрические регистры NAND контроллера.

Асинхронная NAND флеш память имеет определенные временные характеристики – тайминги. До произведения любых действий с NAND контроллером необходимо задать эти временные параметры. Конкретные значения зависят от используемого чипа памяти и его

					ЮФКВ.431268.005РЭ			Лист
								525
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

характеристик и частоты, на которой работает NAND контроллер. В регистрах таймингов необходимо вводить количество тактов системной частоты для удовлетворения того или иного значения тайминга чипа.

Например:

В спецификации на флеш память дано значение $t_{WHR} = 60\text{нс}$

В текущей реализации системная тактовая частота $F_{clk} = 30\text{ МГц}$

Тогда в поле nt_{WHR} необходимо записать $60\text{нс} / (1000/30\text{МГц}) = 1.8$ тактов округляем вверх до целого значения и записываем в регистр 2.

Ниже в примерах описаны типичные сценарии работы NAND контроллера, даны соответствующие сценарию значения регистров. Также расписаны значения практически всех полей всех регистров, чтобы не возникло проблем при конфигурации устройства с параметрами, отличными от используемых в примере. Если какого либо поля нету в описании – значит оно задается подобным уже описанному в прим

1.3.6.8.3.3 Операция чтения данных из флеш памяти

Рассмотрим конфигурацию регистров для реализации операции чтения данных во флеш память. Эта команда начинает выполняться, как только записаны регистры (Таблица 319), при этом используется текущее значение регистра NAND_CONTROL, если в момент начала выполнения операции AXI мастер не сконфигурирован, то это приведет к некорректной работе устройства. В Таблица 319, и Таблица 320 приведена типичная конфигурация устройства для считывания данных из NAND флеш памяти. В пунктах 0 – 0 приведено более подробное описание регистров. Регистры DMA_XX одинаковые для каналов чтения и записи, однако, конфигурация для разных каналов немного отличается.

Сначала конфигурируем регистры подсистемы AXI OUTPUT:

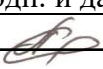
Таблица 319 – Регистры AXI OUTPUT при операции «Чтение»

Адрес , ADDR [11:0]	Значение	Регистр
h06C	hF	awlen_max
h074	h0	msb_lsbw
h088	h50000000	DMA_DESC_1w
h08C	h50007FF	DMA_DESC_2w
h090	h80024000	DMA_DESC_3w
h094	h37	DMA_CONF_1w

Затем необходимо сконфигурировать регистры NAND CORE:

Таблица 320 – Регистры NAND CORE при операции «Чтение»

Адрес , ADDR [11:0]	Значение	Регистр
h0B8	h01010103	NAND_timing_0
h0BC	h01010101	NAND_timing_1
h0C0	h01010101	NAND_timing_2
h0C4	h01010100	NAND_timing_3
h0C8	h01010101	NAND_timing_4
h0CC	h01010301	NAND_timing_5
h0D0	h01010201	NAND_timing_6
h0D4	h030301	NAND_timing_7
h004	h400473	NAND_CONTROL
h008	h20	NAND_COMMAND
h00C	h0	NAND_DATA

					ЮФКВ.431268.005РЭ			Лист
								526
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

h06C awlen_max

Типичное значение : hF
Комментарии : Параметр, влияющий на производительность коммутационной среды. Уменьшить при возникновении проблем с пропускной способностью.

h074 msb_lsbw

Типичное значение : h0
Комментарии : Необходимо выбрать нужный порядок байт, используемый в системе. "0" - [MSB:LSB], "1" - [LSB:MSB]

h088 DMA_DESC_1w

Типичное значение : h50000000
Комментарии : Адрес первого байта, диапазона, в который будут записаны данные из NAND флеш

h08C DMA_DESC_2w

Типичное значение : h50007FF
Комментарии : Адрес последнего байта, диапазона, в который будут записаны данные из NAND флеш

h090 DMA_DESC_3w

Типичное значение : 32h80024000

DMA_DESC_3w [5:0]

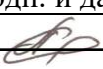
Типичное значение : 6h0
Комментарии : NAND контролер поддерживает 1 канал. Любые значения кроме 6h0 могут привести к некорректной работе.

DMA_DESC_3w [21:6]

Типичное значение : h900
Комментарии : Указание размера сегмента предполагает сценарий работы, при котором весь буфер делится на некоторое количество сегментов и, пока происходит обработка данных в диапазоне адресов первого сегмента, второй – заполняется данными. Работа ведется по прерыванию по концу сегмента. Этот сценарий не рассматривается в рамках примера, поэтому размер сегмента задается чуть больше чем диапазон адресов всего буфера.

DMA_DESC_3w [23:22]

Типичное значение : 2h00
Комментарии : В данном примере используется конечный буфер. Сценарий работы при этом следующий: задаются параметры буфера и, когда весь диапазон адресов обработан, на последующие запросы адреса выдается сигнал о попытке доступа по неактивному дескриптору. Необходимо загружать параметры нового дескриптора.

					ЮФКВ.431268.005РЭ			Лист
								527
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

При задании типа буфера 2h01 – кольцевой буфер сценарий работы меняется: после обработки всего диапазона адресов на следующий запрос адреса выдается опять начальный адрес кольцевого буфера. Новые параметры буфера загружать не надо, но необходимо обрабатывать информацию в заданном диапазоне.

При задании типа буфера 2h10 – карусельный буфер необходимо задать также второй буфер, так называемый «карусельный». Тогда, при достижении конца текущего буфера и поступлении запроса на выдачу следующего адреса – будет выдан начальный адрес «карусельного» буфера. Для корректной работы необходимо постоянно заново прописывать адреса использованных буферов.

DMA_DESC_3w [28]

Типичное значение : 0
 Комментарий : Чтение текущего адреса карусельного буфера. Используется для отладки, что бы получить доступ к текущему адресу, выданному для карусельного буфера. Для инициации чтения необходимо установить этот бит и DMA_DESC_3w [5:0] = 6h0. После этого из регистра DMA_DESC_4w можно считать последний адрес, выданный каналу записи.

DMA_DESC_3w [29]

Типичное значение : 0
 Комментарий : В данном примере не рассматривается карусельный режим работы. Этот бит инициирует запись параметров карусельного буфера. Используется при задании типа буфера «карусельный».

DMA_DESC_3w [30]

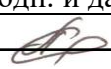
Типичное значение : 0
 Комментарий : Чтение текущего адреса обычного буфера. Используется для отладки, что бы получить доступ к текущему адресу, выданному для обычного буфера. Для инициации чтения необходимо установить этот бит и DMA_DESC_3w [5:0] = 6h0. После этого из регистра DMA_DESC_4w можно считать последний адрес, выданный каналу записи из обычного буфера.

DMA_DESC_3w [31]

Типичное значение : 1
 Комментарий : После установки этого бита происходит запись параметров, заданных в DMA_DESC_1w, DMA_DESC_2w и DMA_DESC_3w как свойств нулевого дескриптора. Сразу после записи этот бит сбрасывается, поэтому после успешной записи этот бит будет считываться как «0»

h094 DMA_CONF_1w

Типичное значение : h'37

					ЮФКВ.431268.005РЭ			Лист
								528
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

DMA_CONF_1w [0]

Типичное значение : 1
 Комментарии : Маска прерывания для достижения конца буфера. Необходимо размаскировать прерывание, поскольку это событие отражает момент окончания операции чтения из NAND флеш (записи данных в системную память). Необходимость размаскирования данного прерывания зависит от типа буфера и операции.

DMA_CONF_1w [1]

Типичное значение : 1
 Комментарии : Отладочное прерывание. Позволяет отследить неверное поведение устройства или незагруженные вовремя параметры буфера, или слишком маленький буфер для текущей операции.

DMA_CONF_1w [2]

Типичное значение : 1
 Комментарии : Отладочное прерывание. Позволяет отследить обращения по нулевому каналу (ошибка конфигурации).

DMA_CONF_1w [3]

Типичное значение : 0
 Комментарии : В сценарии данного примера не используются сегменты, соответственно прерывания по концу сегмента отключены.

DMA_CONF_1w [4]

Типичное значение : 1
 Комментарии : Прерывание о конце буфера (и сегмента) вырабатывается после получения подтверждения о том, что данные по последнему адресу записаны в память. Именно этот момент является моментом окончательного завершения операции. При значении 0 – прерывание выдается сразу после отправки данных в коммутационную среду. При возникновении ошибки в коммутационной среде, данные могут быть оказаться незаписаны. Однако возможно выиграть немного времени при корректной работе коммутационной среды.

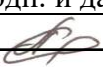
DMA_CONF_1w [20:5]

Типичное значение : 1
 Комментарии : Необходимо установить шаг в 1 байт, поскольку адрес используется на этапе преобразования 8 битных данных от NAND CORE в 32 разрядные для AXI_OUTPUT.

h0B8 NAND_TIMING_0**NAND_TIMING_0 [7:0]**

Типичное значение : 3
 Комментарии : При $t_{ADL} = 100\text{нс}$ и частоте тактового сигнала $F_{clk} = 30\text{ МГц}$ $n_{tADL} = 100 * 30 / 1000 = 3$

NAND_TIMING_0 [15:8]

					ЮФКВ.431268.005РЭ			Лист
								529
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Типичное значение : 1
 Комментарии : При $t_{ALH} = 5\text{нс}$ и частоте тактового сигнала $F_{clk} = 30\text{ МГц}$
 $ntADL = 5 * 30 / 1000 = 1$ (окр. вверх)

NAND_TIMING_0 [23:16]

Типичное значение : 1
 Комментарии : При $t_{ALS} = 12\text{нс}$ и частоте тактового сигнала $F_{clk} = 30\text{ МГц}$
 $ntADL = 12 * 30 / 1000 = 1$ (окр. вверх)

NAND_TIMING_0 [31:24]

Типичное значение : 1
 Комментарии : При $t_{CH} = 5\text{ нс}$ и частоте тактового сигнала $F_{clk} = 30\text{ МГц}$
 $ntADL = 5 * 30 / 1000 = 1$ (окр. вверх)

h004 NAND_CONTROL

NAND_CONTROL [0]

Типичное значение : 1
 Комментарии : Разрешение прерывания по окончании операции стирания.
 Это момент действительного завершения этой операции.

NAND_CONTROL [1]

Типичное значение : 1
 Комментарии : Разрешение прерывания по окончании операции записи.
 Это момент действительного завершения этой операции.

NAND_CONTROL [2]

Типичное значение : 0
 Комментарии : Запрет прерывания по операции чтения. Завершение всех действий, связанных с этой командой – момент передачи данных по последнему адресу в память.

NAND_CONTROL [3]

Типичное значение : 0
 Комментарии : Запрет прерывания по операции потокового чтения. Завершение всех действий, связанных с этой командой – момент передачи данных по последнему адресу в память.

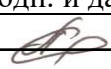
NAND_CONTROL [4]

Типичное значение : 1
 Комментарии : Разрешение прерывания по окончании операции запроса статуса. Это момент действительного завершения этой операции. После этого можно считать регистр h000: младший байт – это результат выполнения команды запроса статуса.

NAND_CONTROL [5]

Типичное значение : 1
 Комментарии : Разрешение прерывания по окончании операции сброса. Это момент действительного завершения этой операции. После этого можно заново запускать любые команды.

NAND_CONTROL [6]

					ЮФКВ.431268.005РЭ			Лист
								530
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Типичное значение : 1
 Комментарии : Разрешение прерываний. Сбросом этого бита можно замаскировать сразу все прерывания от NAND CORE.

NAND_CONTROL [7]

Типичное значение : 0
 Комментарии : Режим расчета кода коррекции выключен. Если режим расчета включен при выполнении операции записи в NAND – то в байты с адресами 801 – 804 пишется значение рассчитанного ECC. Также при выборе режима с ECC размер страницы не может быть меньше 2053 байт. При операции чтения с ECC после передачи в системную память страницы указанного размера Передаются следующие данные :ECC [31:24], ECC [23:16], ECC [15:8], ECC [7:0], NANDStatus[7:0], saved_page_addr [23:16], saved_page_addr[15:8], saved_page_addr[7:0].

NAND_CONTROL [9:8]

Типичное значение : 2h00
 Комментарии : Стандартный режим работы. Данный пример не затрагивает режим потокового чтения, когда NAND контроллер увеличивает номер страницы и записывает их в системную память до тех пор, пока не будет достигнут конец буфера – последний адрес не будет передан подсистеме AXI OUTPUT.

NAND_CONTROL [10]

Типичное значение : 1
 Комментарии : При сценарии работы, когда начальный и конечный адреса буфера постоянно меняются необходимо поставить 1. Если используется кольцевой буфер, тогда можно использовать нулевое значение.

NAND_CONTROL [23:11]

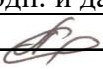
Типичное значение : h800
 Комментарии : Размер страницы – количество байт, которые будут считаны или записаны в NAND флеш. Максимальный размер страницы зависит от используемого NAND флеш чипа.

NAND_CONTROL [24]

Типичное значение : 0
 Комментарии : Запрет прерывания по операции чтения. Завершение всех действий, связанных с этой командой – момент передачи данных по последнему адресу в память.

NAND_CONTROL [25]

Типичное значение : 0
 Комментарии : 2 байта ROW адреса необходимо для чипов меньшего объема. Для больших объемов – необходимо задать 1 – 3

					ЮФКВ.431268.005РЭ			Лист
								531
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

байта. Этот параметр является характеристикой NAND флеш чипа.

h008 NAND_COMMAND

NAND_COMMAND [7:0]

Типичное значение : h20
Комментарии : Задается код нужной операции.

h00C NAND_DATA

Типичное значение : h00000000
Комментарии : Адрес страницы для чтения в NAND флеш. При указании адреса для записи необходимо указывать последовательно увеличивающиеся номера страниц, внутри блока, поскольку для большинства NAND флеш памяти невозможна запись произвольной страницы памяти. Страницы в блоке должны быть записаны последовательно.

1.3.6.8.3.4 Операция записи данных во флеш память

Рассмотрим конфигурацию регистров для реализации операции записи данных во флеш память. Эта команда начинает выполняться, как только разрешается посылка запросов AXI мастером, при этом так же должны быть заданы NAND COMMAND и NAND DATA (NAND CONTROL может быть использован от предыдущей операции). В момент записи последнего из этих 3 регистров устройство переходит в режим ожидания считывания AXI мастером достаточного количества слов из памяти. После считывания 64 32 разрядных слов начинается непосредственно передача управляющих сигналов флеш памяти. Если по какой либо причине (ошибка задания адреса или задержка в коммутационной среде) данные не будут считаны из памяти, устройство зависает. Для выхода из этого состояния можно либо перенастроить AXI мастер, что бы он считал данные, либо выполнить *Операция стирания флеш памяти*.

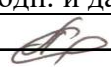
Регистры временных параметров необходимо настраивать только один раз (после аппаратного сброса параметры также сбрасываются и необходимо настраивать их заново).

В силу особенностей организации флеш памяти запись блоков () можно производить только подряд

Сначала необходимо сконфигурировать NAND CORE:

Таблица 321 – Регистры NAND CORE при «Записи»

Адрес , ADDR [11:0]	Значение	Регистр
h0B8	h01010103	NAND_timing_0
h0BC	h01010101	NAND_timing_1
h0C0	h01010101	NAND_timing_2
h0C4	h01010100	NAND_timing_3
h0C8	h01010101	NAND_timing_4
h0CC	h01010301	NAND_timing_5
h0D0	h01010201	NAND_timing_6
h0D4	h030301	NAND_timing_7
h004	h400473	NAND_CONTROL
h008	h27	NAND_COMMAND
h00C	h0	NAND_DATA

					ЮФКВ.431268.005РЭ			Лист
								532
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Затем нужно конфигурировать подсистему AXI INPUT

Таблица 322 – Регистры AXI INPUT при «Записи»

Адрес , ADDR [11:0]	Значение	Регистр
h01C	hC0	DataChConfigCR
h024	hF	AxiParamCR
h02C	h1	AxiInIrqFlagMask
h038	h0	msb_lsbr
h040	h5001000	DMA_DESC_1r
h044	h50017FF	DMA_DESC_2r
h048	h80002000	DMA_DESC_3r
h04C	h2000	DMA_CONF_1r
h018	h40000001	DataChEnableCR

h01C DataChConfigCR

Типичное значение : hC0

DataChConfigCR[6:0]

Типичное значение : h40

Комментарии : Если в буфере содержится менее 64 слов – посылается запрос на чтение данных из памяти. Менять значение не рекомендуется.

DataChConfigCR[7]

Типичное значение : 1

Комментарии : В данном примере используется конечный буфер (тип = 2'b00) поэтому после достижения конца буфера генерировать дальнейшие запросы не нужно (в противном случае приведет к ошибке).

DataChConfigCR[8]

Типичное значение : 0

Комментарии : В NAND контроллере используется только один буфер данных.

h024 AxiParamCR

AxiParamCR[0]

Типичное значение : hF

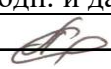
Комментарии : Параметр влияющий на производительность коммутационной среды при операциях чтения из системной памяти. Уменьшить при возникновении проблем.

h02C AxiInIrqFlagMask

AxiInIrqFlagMask [0]

Типичное значение : 1

Комментарии : Разрешено прерывание при ошибке передачи данных по коммутационной среде, поскольку в результате могут быть

					ЮФКВ.431268.005РЭ			Лист
								533
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

считаны неверные данные. Необходимо перезапустить канал чтения.

h04C DMA_CONF_1r

DMA_CONF_1r [0]

Типичное значение : 0
Комментарии : Маска прерывания для достижения конца буфера. Данное прерывание в канале чтения является сигналом о том, что все данные считаны из системной памяти. Установить если этот момент необходимо отслеживать.

DMA_CONF_1r [1]

Типичное значение : 1
Комментарии : Отладочное прерывание. Позволяет отследить неверное поведение устройства или незагруженные вовремя параметры буфера, или слишком маленький буфер для текущей операции.

DMA_CONF_1r [2]

Типичное значение : 1
Комментарии : Отладочное прерывание. Позволяет отследить обращения по ненулевому каналу (ошибка конфигурации).

DMA_CONF_1r [3]

Типичное значение : 0
Комментарии : В сценарии данного примера не используются сегменты, соответственно прерывания по концу сегмента отключены.

DMA_CONF_1r [4]

Типичное значение : 0
Комментарии : Прерывания по концу буфера и сегмента не используются – данный бит не имеет значения.

DMA_CONF_1r [20:5]

Типичное значение : h100
Комментарии : Шаг изменения адреса делается равным 256 байтам. Число должно быть кратно 32 (ширина шины устройства).

h'018 DataChEnableCR

Типичное значение : h40000001

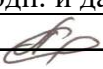
DataChEnableCR [0]

Типичное значение : 1
Комментарии : Необходимо разрешить работу первого канала данных. Для записи данных, получаемых по шине во внутренние буфера.

DataChEnableCR [1]

Типичное значение : 0
Комментарии : Второй канал данных не используется в NAND контроллере.

DataChEnableCR [30]

					ЮФКВ.431268.005РЭ			Лист
								534
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Типичное значение : 1
 Комментарии : Установка этого бита инициирует начала запроса данных по шине AXI этот бит нужно задавать после всех прочих параметров AXI мастера. Что бы остановить выработку запросов – нужно сбросить этот бит в 0.

DataChEnableCR [31]

Типичное значение : 0
 Комментарии : Отсутствие программного сброса. Для осуществления программного сброса необходимо остановить AXI мастер, дождаться окончания запущенных транзакций чтения – регистр AxiInStatus, сделать программный сброс, установив данный бит в 1. После завершения сброса этот бит сбросится обратно в 0

1.3.6.8.3.5 Операция стирания флеш памяти

Для произведения стирания блока памяти необходимо задать адрес блока –[30:18] биты регистра NAND_DATA, команду стирания, а параметры NAND_CONTROL, которые могут быть использованы ранее записанные. Операция начнет выполняться после записи последнего из этих регистров.

Таблица 323 – Операция стирания флеш памяти

Адрес , ADDR [11:0]	Значение	Регистр
h008	h2B	NAND_COMMAND
h00C	Block_addr	NAND_DATA

1.3.6.8.3.6 Аппаратный расчет ECC

NAND контроллер обладает возможностью аппаратно рассчитывать коды коррекции ошибок по алгоритму Хэмминга, который является достаточным для блоков флеш памяти произведенных по SLC технологии.

Аппаратный расчет ECC включается соответствующим битом в регистре NAND_CONTROL. Сценарий работы с аппаратным расчетом ECC следующий:

- При записи страницы данных (2 Кб) контроллер автоматически рассчитывает значения кодов коррекции для каждого блока из 256 байт – 3 байта ECC и вписывает их в специальную область флеш памяти, расположенную за областью данных (2Кб),

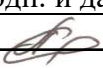
					ЮФКВ.431268.005РЭ			Лист
								535
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 324 - Размещение кодов коррекции в адресном пространстве флеш памяти

Адреса 3 байт ECC во флеш памяти. ECC[23:0] соответственно	Диапазон исходных данных для расчета ECC
2049,2050,2051	0:255
2052,2053,2054	256:511
2055,2056,2057	512:767
2058,2059,2060	768:1023
2061,2062,2063	1024:1279
2064,2065,2066	1280:1535
2067,2068,2069	1536:1791
2070,2071,2072	1792:2047

Таким образом, карта данных, размещаемых контроллером в флеш памяти, имеет следующий вид (Рисунок 412):

0:2047	2048	2049:2072	2072:2111
Data	Bad block	ECC	Not Used

Рисунок 412 - Карта данных во флеш памяти

При считывании контроллер автоматически считывает область данных с ECC и сравнивает их с рассчитываемыми на лету, в случае несовпадения ставится соответствующий бит в регистрах статуса.

Рассчитанные аппаратно ECC, как при записи, так и при чтении записываются в соответствующие регистры.

1.2.20.3.5 Операция сброса флеш памяти

Команда сброса может быть запущена в любой момент. Для этого надо записать в NAND_COMMAND регистр значение h2C. После этого контроллер будет вновь готов принимать команды. А текущая операция с памятью будет прервана и ее следует считать не завершившейся. Рекомендуется заранее прописывать регистр NAND_CONTROL, что позволит получить прерывание по окончании этой операции. Если маска прерывания по команде сброса в NAND_CONTROL не установлена, или же регистр не прописан, то прерывания не будет, однако команда будет выполнена.

1.3.6.8.3.7 Обработка прерываний

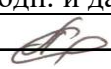
Прерывания в NAND контроллере сделаны по уровню. Таким образом, после установки сигнала прерывания оно будет стоять до тех пор, пока его не сбросят программно. Для сбрасывания сигнала прерывания необходимо прочитать регистр статуса прерываний (Таблица 316, адрес h0b4). ВНИМАНИЕ все регистры статусов прерываний также сбрасываются по чтению, поэтому при повторном чтении будут нулевыми.

1.3.6.9 Контроллер Serial Flash памяти

1.3.6.9.1 Общая структура и основные функции

Контроллер Serial Flash памяти (AXI2SPI) предназначен для обеспечения взаимодействия между последовательной SPI флеш памятью и системой с интерфейсом AMBA 3.0 AXI. Контроллер выполняет следующие базовые функции:

– запись данных из определенного диапазона адресов в SPI флеш;

					ЮФКВ.431268.005РЭ			Лист
								536
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

– чтение данных из SPI флеш и запись их в указанный диапазон адресов без участия процессора;

– стирание данных из SPI флеш (для последующей записи другого массива данных);

При этом запись и стирание должны быть реализованы программно. Такой выбор сделан в силу меньшей частоты операций записи в память – предполагается использовать область памяти как загрузочную.

Диапазон памяти SPI флеш отображен на память системы и операция чтения из нее реализована аппаратно, что позволяет считывать необходимые данные, используя шину AXI.

В Таблица 325 представлен полный список внешних интерфейсов блока и их основные характеристик

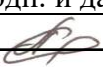
					ЮФКВ.431268.005РЭ			Лист
								537
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица 325 – Внешние интерфейсы контроллера AXI2SPI

Название	Протокол	Разрядность по данным	Рабочая частота	Краткое описание
AXI_MASTER	AMBA AXI 3.0 в режиме Slave	32	162 MHz	Чтение данных из SPI флеш
APB_SLAVE	AMBA APB 3.0 в режиме Slave	32	54 MHz	Запись и чтение конфигурационных регистров. Записи и стирания SPI флеш
SPI Flash	SPI I/O	1	Программный параметр	Интерфейс взаимодействия с SPI флеш памятью

1.3.6.9.2 Регистровая карта

В Таблица 326 приведена полная регистровая карта AXI2SPI контроллера и описание регистров.

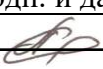
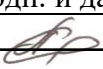
					ЮФКВ.431268.005РЭ			Лист
								538
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

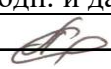
Таблица 326 - Регистровая карта AXI2SPI контроллера

Блок	Адрес , PADDR[31:0]	R/ W	Регистр и его поля	Описание Полей
AXI2SPI контрол лер			[1:0]	00: режим AXI - транзакции по APB к адресам сериалайзера запрещены. Режим для аппаратного чтения 01: режим APB - транзакции по APB проходят напрямую к сериалайзер. Режим для программных операций записи и стирания.
			[31:2]	Reserved
	h2002E100	r/w	AXI_SPI_ MODE	
			[0]	0: нет незаконченных AXI транзакций. Можно переключать режим. 1: есть незаконченные AXI транзакции. Необходимо дождаться их окончания перед изменением режима работы
			[31:1]	Reserved
	h2002E104	r	AXI_SPI_ STATUS	
			[5:0]	Количество значимых бит адреса для данной SPI памяти. Количество бит AXI адреса которое будет передано памяти. 2 следующих старших бита будут заведены на CS1 и CS2
			[31:6]	Reserved
	h2002E108	r/w	AXI_SPI_ ADDR_BI TS	
Последо вательно /паралле льный преобраз ователь			[3:0]	Data Size Select: 0011 4 bit data 0100 5 bit data 0101 6 bit data 0110 7 bit data 0111 8 bit data 1000 9 bit data 1001 10 bit data 1010 11 bit data 1011 12 bit data 1100 13 bit data 1101 14 bit data 1110 15 bit data 1111 16 bit data
			[5:4]	FRF. FrameFormat: 00: Motorola SPI 01: TI synch serial ff 10: National Microwire ff 11: Reserved
			[6]	SPO

					ЮФКВ.431268.005РЭ			Лист
								539
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Продолжение Таблица 326

		[7]	SPH
		[15:8]	SCR. Параметр частоты выходного тактового сигнала $F_{out} = F_{sspcclk} / (1+SCR)$
h2002E000	r/w	SSPCR0	
		[0]	LBM: Режим закороченности последовательного порта. 0 Обычный режим работы 1: Выход передающего последовательного сдвигового регистра внутри подсоединяется к входу получающего сдвигового регистра
		[1]	SSE. Включение SSP. 0: SSP выключено 1: SSP включено.
		[2]	MS. Выбор режима. 0: устройство является мастером SPI 1: устройство является слейвом
		[3]	SOD. Отключение выхода в режиме ведомый 0: SSP может изменять SSPTXD выход в режиме ведомый 1: SSP НЕ может изменять SSPTXD выход в режиме ведомый
		[15:4]	Reserved
h2002E004	r/w	SSPCR1	
		[15:0]	Регистр данных. Чтение из регистра: считывание значения из Receive FIFO Запись в регистр: запись данных в Transmit FIFO. Необходимо сдвигать вправо, если используется размер меньший чем 16 бит
h2002E008	r/w	SSPDR	
		[0]	TFE. Transmit FIFO Empty 0: Передающий буфер НЕ пуст 1: Передающий буфер пуст
		[1]	TNF. Transmit FIFO Not Full 0: Передающий буфер полон 1: Передающий буфер НЕ полон
		[2]	RNE. Receive FIFO Not Empty 0: Принимающий буфер пуст 1: Принимающий буфер НЕ пуст
		[3]	RFF. Receive FIFO Full 0: Принимающий буфер не пуст 1: Принимающий буфер пуст
		[4]	BSY. Флаг занятости устройства 0: Устройство находится в ожидании 1: В данный момент производится передача или прием данных или передающий буфер не пуст
		[15:5]	Reserved
h2002E00C		SSPSR	
		[0]	Нулевой бит заведен на "0"
		[7:1]	CPSDVR. Делитель тактового сигнала SSPCLK для дальнейшего использования
		[15:8]	Reserved
h2002E010	r/w	SSPCPSR	
		[0]	RORIM. Маска прерывания по записи в полный принимающий регистр 0: Прерывание о записи в RxFIFO в заполненном состоянии замаскировано 1: Прерывание о записи в RxFIFO в заполненном состоянии НЕ замаскировано

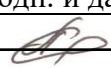
					ЮФКВ.431268.005РЭ			Лист
								540
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

		[1]	RTIM. Маска прерывания по таймауту непустого принимающего буфера 0: Прерывание по состоянию RxFIFO не пуст и в течение периода таймаута не было чтения замаскировано 1: Прерывание по состоянию RxFIFO не пуст и в течение периода таймаута не было чтения НЕ замаскировано
		[2]	RXIM. Маска прерывания о половинной заполненности принимающего буфера 0: Прерывание о том, что RxFIFO заполнен на половину или менее замаскировано 1: Прерывание о том, что RxFIFO заполнен на половину или менее НЕ замаскировано
		[3]	TXIM. Маска прерывания о половинной пустотепередающего буфера 0: Прерывание о том, что половина или меньше TxFIFO пусто замаскировано. 1: Прерывание о том, что половина или меньше TxFIFO пусто НЕ замаскировано.
		[15:4]	Reserved
h2002E014	r/w	SSPIMSC	Регистр Маски прерываний
h2002E018	r	SSPRIS	Регистр прерываний ДО маскирования
h2002E01C	r	SSPMIS	Регистр прерываний ПОСЛЕ маскирования
		[0]	RORIC. Запись в этот регистр очищает прерывание о записи в RxFIFO в заполненном состоянии
		[1]	RTIC. Запись в регистр снимает прерывание по таймауту непустого принимающего буфера
		[15:2]	Reserved
h2002E020	w	SSPICR	Регистр сброса прерывания
		[0]	TDMAE. 1: Включение DMA для принимающего FIFO буфера
		[1]	RDMAE. 1: Включение DMA для передающего FIFO буфера
		[15:2]	Reserved
h2002E024	r/w	SSPDMA CR	Регистр контроля работы DMA для буферов

1.3.6.9.3 Операции контроллера AXI2SPI

1.3.6.9.3.1 Общее описание работы контроллера AXI2SPI

Работа с устройством возможна в двух режимах, первый из которых – режим работы по интерфейсу AXI, второй – режим работы по интерфейсу APB. По интерфейсу AXI SPI память выглядит как адресуемое пространство – массив памяти, чтение из которой выполняется чтением соответствующего диапазона AXI адресов. В этом режиме возможно только чтение, запись данных по AXI интерфейсу не поддерживается. Второй режим работы обеспечивает полный функционал используемой SPI памяти. Но требует программной реализации каждой функции. Конфигурация состоит из взаимодействия непосредственно с флеш памятью и с сериалайзером (названия регистров начинаются на SSP). Сериалайзер представляет собой два 16-ти разрядных FIFO буфера на 8 слов со сдвигowymi регистрами один – на передачу данных, второй – на прием данных по SPI.

					ЮФКВ.431268.005РЭ			Лист
								541
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Базовый адрес для AXI транзакций – 84000000.
Базовый адрес для APB транзакций – 80004000.

1.3.6.9.3.2 Операция чтения данных из флеш памяти

Чтение выполняется процессором посредством транзакций по интерфейсу AXI. Ниже перечислены регистры, которые необходимо задать при производстве чтения.

Таблица 327 - Значения регистров для операции чтения

Адрес	Название регистра	Значение
'h100	AXI_SPI_MODE	0
'h108	AXI_SPI_ADDR_BITS	'h12

Для считывания данных необходимо считать процессором диапазон памяти, соответствующий SPI памяти.

1.3.6.9.3.3 Операция записи данных во флеш память

Запись данных во SPI флеш память – редкая операция и поэтому она реализуется программно по APB интерфейсу. Ниже по пунктам описан процесс проведения программной записи. Ниже приведено краткое описание действия и конкретных значений.

1. Подготовка к переходу в режим программного управления

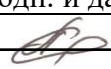
- 1.1. Запись необходимого значения в регистр выбора номера SPI памяти (0).
- 1.2. Проверка статуса наличия незаконченных операций чтения. Ожидание сброса AXI_SPI_STATUS[0] в "0".
- 1.3. Переход в режим программного взаимодействия с SPI флеш. Запись в AXI_SPI_MODE [0] в "1"

2. Команда флеш памяти на включение операций записи – WREN

- 2.1. Настройка сериалайзера
 - 2.1.1. Переход в режим 8 битных транзакций (установка ширины FIFO буферов в 1 байт). Регистр SSPCR0.
- 2.2. Исполнение непосредственно команды флеш памяти.
 - 2.2.1. Запись в передающий буфер кода команды на включение операций записи флеш памяти – SSPDR = 6.
- 2.3. Возврат сериалайзера к исходному состоянию.
 - 2.3.1. Ожидание окончания SPI транзакций (передачи записанных данных по последовательному протоколу). Ожидание SSPSR [4] в «0».
 - 2.3.2. Проверка SSPSR[2] = 1 – входной буфер не пуст RNE = 1.
 - 2.3.3. Считывание треш-данных, записанных в принимающий буфер за время передачи кода команды, чтобы сохранять этот буфер чистым.

3. Инициация операции записи во флеш память

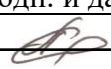
- 3.1. Настройка сериалайзера
 - 3.1.1. Переход в режим 16 битных транзакций (установка ширины FIFO буферов в 2 байта). Регистр SSPCR0.
- 3.2. Исполнение непосредственно команды записи в флеш память
 - 3.2.1. Запись кода команды и старших бит адреса (как правило не используемых)
 - 3.2.2. Запись 2 младших байт адреса
- 3.3. Передача данных, которые необходимо записать по указанному адресу.
 - 3.3.1. Запись одного 16-ти разрядного слова для последующей записи во флеш память – используются только младшие 16 бит.

					ЮФКВ.431268.005РЭ			Лист
								542
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

- 3.3.2. Опрос статусного регистра до тех пор пока передающий буфер не полон SSPSR[1] == 1.
- 3.3.3. Повторять 3.3.1 – 3.3.2. до тех пор, пока нужное количество данных не будет записано в память. Не более 256 байт за одну операцию записи, иначе потеря данных.
- 3.4. Возврат сериалайзера к исходному состоянию.
- 3.4.1. Ожидание окончания SPI транзакций (передачи записанных данных по последовательному протоколу). Ожидание SSPSR [4] в «0».
- 3.4.2. Проверка SSPSR[2] = 1 – входной буфер не пуст RNE = 1.
- 3.4.3. Считывание треш-данных, записанных в принимающий буфер за время передачи данных.
- 3.4.4. Повторять 3.4.2. – 3.4.3 8 раз, чтобы очистить входной буфер (его глубина – 8 слов).
- 4. Мониторинг окончания команды записи**
- 4.1. Настройка сериалайзера
- 4.1.1. Переход в режим 8 битных транзакций (установка ширины FIFO буферов в 1 байт).
- 4.2. Исполнения команды чтения статуса флеш памяти
- 4.2.1. Запись в передающий буфер кода команды на чтение статуса флеш памяти – SSPDR = 5.
- 4.2.2. Запись в передающий буфер любой информации, что бы не снялся chip select с памяти.
- 4.3. Возврат сериалайзера к исходному состоянию.
- 4.3.1. Ожидание окончания SPI транзакций (передачи записанных данных по последовательному протоколу). Ожидание SSPSR [4] в «0».
- 4.3.2. Проверка SSPSR[2] = 1 – входной буфер не пуст RNE = 1.
- 4.3.3. Считывание треш-данных, записанных в принимающий буфер за время передачи кода команды.
- 4.3.4. Повторение пунктов 3.3.2 – 3.3.3. еще раз для считывания второго байта, значение это байта – есть результат выполнения статуса – STATUS.
- 4.4. Обработка прочитанного значения статуса
- 4.4.1. Выполнять операции 4.2. – 4.3. до тех пор, пока STATUS [0] не станет равным 0, что означает окончание текущей операции.
- 4.5. Все данные записаны в SPI память. Можно выполнять следующую операцию.

Таблица 328 - Последовательность действий при выполнении записи в SPI память

№ п/п	Адрес	Название регистра	Значение	Описание
Подготовка к переходу в режим программного управления				
1.1	'h10C	CS	'h0	Запись
1.2	'h104	AXI_SPI_STATUS	?0	Опрос
1.3	'h100	AXI_SPI_MODE	1	Запись
Команда флеш памяти на включение операций записи – WREN				
2.1.1	'h0	SSPCR0	C7	Запись
2.2.1	'h8	SSPDR	'h6	Запись
2.3.1	'hC	SSPSR	?[4]==0	Опрос
2.2.3	'hC	SSPSR	?[2]==1	Опрос
2.2.3	'h8	SSPDR	READ	Чтение
Инициация операции записи во флеш память				
3.1.1	'h0	SSPCR0	CF	Запись
3.2.1	'h8	SSPDR	'h0200	Запись
3.2.2	'h8	SSPDR	'h0000	Запись

					ЮФКВ.431268.005РЭ			Лист
								543
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

3.3.1	'h8	SSPDR	'hABAB	Запись
3.3.2	'hC	SSPSR	?[1]==1	Опрос
3.3.3	Повторять 3.3.1. – 3.3.2 пока не запишутся все необходимые данные			
3.4.1	'hC	SSPSR	?[4]==0	Опрос
3.4.2	'hC	SSPSR	?[2]==1	Опрос
3.4.3	'h8	SSPDR	READ	Чтение
3.4.4	Повторить 3.4.2 – 3.4.3. 8 раз.			
Мониторинг окончания команды записи				
4.1.1	'h0	SSPCR0	C7	Запись
4.2.1	'h8	SSPDR	'h5	Запись
4.2.2	'h8	SSPDR	'hXX	Запись
4.3.1	'hC	SSPSR	?[0]==1	Опрос
4.3.2	'hC	SSPSR	?[2]==1	Опрос
4.3.3	'h8	SSPDR	READ	Чтение
4.3.4	Повторить 4.2.4. – 4.2.5. 2 раза			
4.4.1	Выполнять 4.2. – 4.3. пока STATUS[0] не сбросится в «0»			
Успешное окончание операции				
4.5.0	Операция записи завершена			

1.3.6.9.3.4 Операция стирания данных из флеш памяти

Для осуществления записи в SPI память ее необходимо предварительно стереть. Операция стирания наряду с операцией записи реализуется программно. Ниже по пунктам описан процесс проведения программного стирания. Краткое описание действия и конкретных значений

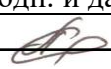
1. Подготовка к переходу в режим программного управления

- 1.1. Запись необходимого значения CS – выбор микросхемы для обращения. Существует однозначное соответствие между номером микросхемы и адресным пространством AXI – CS = 0.
- 1.2. Проверка статуса наличия незаконченных операций чтения. Ожидание сброса AXI_SPI_STATUS[0] в “0”.
- 1.3. Переход в режим программного взаимодействия с SPI флеш. Запись в AXI_SPI_MODE [0] в “1”

2. Команда флеш памяти на включение операций записи – WREN

- 2.1. Настройка сериалайзера
 - 2.1.1. Переход в режим 8 битных транзакций (установка ширины FIFO буферов в 1 байт). Регистр SSPCR0.
- 2.2. Исполнение непосредственно команды флеш памяти.
 - 2.2.1. Запись в передающий буфер кода команды на включение операций записи флеш памяти – SSPDR = 6.
- 2.3. Возврат сериалайзера к исходному состоянию.
 - 2.3.1. Ожидание окончания SPI транзакций (передачи записанных данных по последовательному протоколу). Ожидание SSPSR [4] в «0».
 - 2.3.2. Проверка SSPSR[2] = 1 – входной буфер не пуст RNE = 1.
 - 2.3.3. Считывание треш-данных, записанных в принимающий буфер за время передачи кода команды, чтобы сохранять этот буфер чистым.

3. Инициация операции стирания флеш памяти

					ЮФКВ.431268.005РЭ			Лист
								544
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

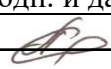
- 3.1. Настройка сериалайзера
 - 3.1.1. Переход в режим 16 битных транзакций (установка ширины FIFO буферов в 2 байта). Регистр SSPCR0.
- 3.2. Исполнение непосредственно команды стирания флеш памяти
 - 3.2.1. Запись кода команды и старшего байта адреса.
 - 3.2.2. Запись 2 младших байт адреса.
- 3.3. Возврат сериалайзера к исходному состоянию.
 - 3.3.1. Ожидание окончания SPI транзакций (передачи записанных данных по последовательному протоколу). Ожидание SSPSR [4] в «0».
 - 3.3.2. Проверка SSPSR[2] = 1 – входной буфер не пуст RNE = 1.
 - 3.3.3. Считывание треш-данных, записанных в принимающий буфер за время передачи кода команды, чтобы сохранять этот буфер чистым.
 - 3.3.4. Повторение пунктов 3.3.2 – 3.3.3. еще раз для считывания второго слова, полученного во время передачи младших байт адреса.

4. Мониторинг окончания команды стирания

- 4.1. Настройка сериалайзера
 - 4.1.1. Переход в режим 8 битных транзакций (установка ширины FIFO буферов в 1 байт).
- 4.2. Исполнение команды чтения статуса флеш памяти
 - 4.2.1. Запись в передающий буфер кода команды на чтение статуса флеш памяти – SSPDR = 5.
 - 4.2.2. Запись в передающий буфер любой информации, что бы не снялся chip select с памяти
- 4.3. Возврат сериалайзера к исходному состоянию.
 - 4.3.1. Ожидание окончания SPI транзакций (передачи записанных данных по последовательному протоколу). Ожидание SSPSR [4] в «0».
 - 4.3.2. Проверка SSPSR[2] = 1 – входной буфер не пуст RNE = 1.
 - 4.3.3. Считывание треш-данных, записанных в принимающий буфер за время передачи кода команды.
 - 4.3.4. Повторение пунктов 3.3.2 – 3.3.3. еще раз для считывания второго байта, значение это байта – есть результат выполнения статуса – STATUS.
- 4.4. Обработка прочитанного значения статуса
 - 4.4.1. Выполнять операции 4.2. – 4.3. до тех пор, пока STATUS [0] не станет равным 0, что означает окончание текущей операции.
- 4.5. Все данные сегмента в 4Кб, содержащего указанный адрес, имеют значение «1».

Таблица 329 - Последовательность действий при выполнении операции стирания SPI

№ п/п	Адрес	Название регистра	Значение	Описание
Подготовка к переходу в режим программного управления				
1.1	'h10C	CS	'h0	Запись
1.2	'h104	AXI_SPI_STATUS	?0	Опрос
1.3	'h100	AXI_SPI_MODE	1	Запись
Команда флеш памяти на включение операций записи – WREN				
2.1.1	'h0	SSPCR0	C7	Запись
2.2.1	'h8	SSPDR	'h6	Запись
2.3.1	'hC	SSPSR	?[4]==0	Опрос
2.2.3	'hC	SSPSR	?[2]==1	Опрос
2.2.3	'h8	SSPDR	READ	Чтение
Инициация операции стирания флеш памяти				
3.1.1	'h0	SSPCR0	CF	Запись
3.2.1	'h8	SSPDR	'hD800	Запись

					ЮФКВ.431268.005РЭ			Лист
								545
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

3.2.2	'h8	SSPDR	'h0000	Запись
3.3.1	'hC	SSPSR	?[4]==0	Опрос
3.3.2	'hC	SSPSR	?[2]==1	Опрос
3.3.3	'h8	SSPDR	READ	Чтение
3.3.4	3.3.2 – 3.3.3 Повторить 2 раза.			
Мониторинг окончания команды стирания				
4.1.1	'h0	SSPCR0	C7	Запись
4.2.1	'h8	SSPDR	'h5	Запись
4.2.2	'h8	SSPDR	'hXX	Запись
4.3.1	'hC	SSPSR	?[4]==0	Опрос
4.3.2	'hC	SSPSR	?[2]==1	Опрос
4.3.3	'h8	SSPDR	READ	Чтение
4.3.4	4.3.2 – 4.3.3 повторить 2 раза			
4.4.1	4.2. – 4.3. пока STATUS[0] не сбросится в «0»			
Успешное окончание операции				
4.5.0	Операция стирания завершена			

1.3.6.9.3.5 Обработка прерываний

Возникновение прерывания означает ошибку взаимодействия с сериалайзером. При его возникновении необходимо определить тип возникшего прерывания и обработать его, для чего необходимо выполнить следующие действия:

1 Определение типа прерывания:

- выполнить Чтение регистра SSPMIS ('h1C)

2 Обработка прерывания

2.1. Обработка прерывания типа RORMIS – о записи в RxFIFO в заполненном состоянии

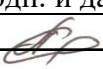
2.1.1 Необходимо сбросить прерывание, записав в регистр сброса прерываний «1» в SSPICR [0]

2.1.2 Если были потеряны значимые данные, то необходимо инициировать ту же команду еще раз. Если же данные не были важны, то прерывание никак не отражается на работе.

2.2 Обработка прерывания типа RTMIS – по таймауту непустого принимающего буфера

2.2.1 Необходимо сбросить прерывание, записав в регистр сброса прерываний «1» в SSPICR [1]

2.2..2 И прочитайте данные из RxFIFO. При возникновении данного прерывания данные не теряются.

					ЮФКВ.431268.005РЭ			Лист
								546
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.4 Средства измерения, инструмент и принадлежности

Контроль статических и динамических электрических параметров микросхемы СБИС ДЦТС осуществляется при проведении предварительных испытаний согласно методике, изложенной в документе ЮФКВ. 431268.005ПМ в нормальных климатических условиях, при пониженной и повышенной рабочих температурах среды на стенде, схема которого приведена на рисунке 3 документа ЮФКВ.431268.005ТУ в соответствии с тестовым программным обеспечением ЮФКВ.20066-01 и руководством оператора ЮФКВ.20066-01 3401 РО

Для подключения образцов к измерительной станции используется два типа плат сопряжения с измерительной станцией. Тип используемой платы сопряжения определяется типом образца – распаян он на печатную плату или нет. Плата сопряжения (МВ59.03 или МВ59.05) подключается к испытательной станции посредством разъемов, расположенных на нижней стороне платы сопряжения.

Для подключения не распаянных образцов в качестве платы сопряжения используется модуль тестовый с зажимной колодкой (Yamaichi_NP352-676-103) МВ59.03 представлен на рисунке 1. Проверяемая микросхема устанавливается в контактирующее приспособление NP352-676-103 фирмы Yamaichi на модуле МВ59.03.

Для подключения не распаянных образцов в качестве платы сопряжения используется модуль тестовый с зажимной колодкой (Yamaichi_NP352-676-103) МВ59.03 представлен на рисунке 2. (см. ЮФКВ.431268.005ТУ). Проверяемая микросхема устанавливается в контактирующее приспособление NP352-676-103 фирмы Yamaichi на модуле МВ59.03.

Для подключения образцов, распаянных на плату (МВ59.10), в качестве платы сопряжения используется модуль тестовый с разъемами МВ59.05 представлен на рисунке 3. (см. ЮФКВ.431268.005ТУ) Модуль МВ59.10 сnapянной проверяемой микросхемой при помощи разъемов подключается к модулю МВ59.05.

Подключение выводов микросхемы СБИС ДЦТС к каналам испытательной станции Teradyne J750 осуществляется модулями МВ59.03 или МВ59.05 (в зависимости от типа измеряемого образца) в соответствии с таблицей 6, приведенной в документе “Программа и методика испытаний” ЮФКВ.431268.005 ПМ. В таблице 6 (“ ЮФКВ.431268.005 ПМ) приводится соответствие сигналов микросхемы СБИС ДЦТС и каналов испытательной станции Teradyne J750.

Измерительный модуль испытательной станции в процессе тестирования осуществляет прямое измерение значений электрических характеристик на выводах микросхемы и обеспечивает заданные в программе измерений режимы: токовую нагрузку при измерении выходных напряжений и входное напряжение при измерении входных токов.

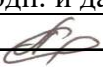
В состав стенда входит:

- 1) испытательная станция Teradyne J750(см. ЮФКВ. 431268.005ПМ).

Испытательная станция выдает на проверяемую микросхему тестовые воздействия и записывает реальные выходные отклики. Критерием годности является отсутствие сообщений об ошибках при прохождении теста, возникающих при несовпадении реальных значений сигналов и ожидаемых по результатам моделирования.

Измерительный модуль испытательной станции в процессе тестирования осуществляет прямое измерение значений электрических характеристик на выводах микросхемы и обеспечивает заданные в программе измерений режимы: токовую нагрузку при измерении выходных напряжений и входное напряжение при измерении входных токов.

- 2) термокамера, задающая требуемый климатический режим в ходе испытаний;

					ЮФКВ.431268.005РЭ			Лист
								547
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

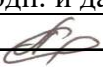
- 3) рабочая станция;
- 4) модули MB59.03 и MB59.05;
- 5) источник питания E3630A

Перечень контрольно-измерительных приборов и оборудования приведен в Приложении В документа ЮФКВ.431268.005ТУ

Для проведения тестирования микросхемы на измерительной станции необходимо следующее программное обеспечение:

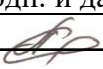
- программное обеспечение для взаимодействия с измерительной станцией;
- тестовое программное обеспечение микросхемы интегральной СБИС ДЦТС (комплект файлов для тестирования микросхемы на измерительной станции) ЮФКВ.20066-01.

Функциональный контроль осуществляется при помощи автоматизированного последовательного запуска тестов из таблицы 11 (см.ЮФКВ.431268.005ТУ) на испытательной станции Teradyne J750. Функциональный контроль ведется на максимальной рабочей частоте. Значения электрических параметров при контроле функционирования приведены в таблице 10 (см.ЮФКВ.431268.005ТУ) . Критерием годности является отсутствие ошибок при прохождении тестовой последовательности. Результаты прохождения тестов автоматически фиксируются в файле протокола.

					ЮФКВ.431268.005РЭ			Лист
								548
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

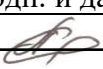
1.5 Маркировка и пломбирование

Маркировка СБИС ДЦТС должна удовлетворять требованиям ТУ на микросхему ЮФКВ.431268.005ТУ. Контроль маркировки должен соответствовать пункту 6.6 ТУ.

					ЮФКВ.431268.005РЭ			Лист
								549
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

1.6 Упаковка

Упаковка СБИС ДЦТС должна удовлетворять требованиям ТУ на микросхему ЮФКВ.431268.005ТУ. Контроль упаковки должен соответствовать пункту 6.7 ТУ

					ЮФКВ.431268.005РЭ			Лист
								550
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

2.1 Подготовка к использованию СБИС ДЦТС

При подготовке к использованию СБИС необходимо произвести аппаратный сброс СБИС ДЦТС и соблюдать правила инициализации и настройки всех программируемых СФ блоков.

В данном руководстве подробно описываются эти правила на примерах для блока ТП, аудио и видеоконтроллера. Для тех устройств, для которых эти правила не описаны в данном документе, таких как видеодекодер, ARM1176, NMC3, контроллер GRETH, UART, графический сопроцессор и остальных блоков, обратитесь к «Руководству для запуска операционной системы Linux для нового устройства СБИС ДЦТС», разделу системного ПО УЭМ, включающему драйверы ядра ОС Linux, и разделу программируемых регистров данного описания для соответствующего блока.

Программный сброс используется как при подготовке к использованию, так и в процессе работы. При смене режимов или перезапуске необходимо обращать внимание на не обнуляемые программно и/или аппаратно регистры для отдельных блоков.

2.2 Использование СБИС ДЦТС

Работа СБИС состоит из нескольких фаз: сброс СБИС – конфигурирование устройств, входящих в состав СБИС – запуск каждого устройства – отслеживание хода работы по прерываниям и статусу – выключение СБИС.

В данном документе подробно каждая фаза описывается на примере блока ТП, аудио и видеоконтроллера. Для остальных устройств обратитесь к документам по программному обеспечению, упомянутым в пункте 2.1

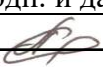
2.2.1 Порядок контроля работоспособности СБИС ДЦТС

Контроль работоспособности СБИС производится на этапе предварительных испытаний СБИС ДЦТС по методике, изложенной в документе ЮФКВ.431268.005ПМ с целью проверки соответствия опытных образцов микросхемы СБИС ДЦТС требованиям технического задания на ОКР «Разработка базовых технологий создания унифицированных электронных модулей декодера MPEG-4 для приёмников цифрового телевидения», шифр «Декодер-ВЧ».

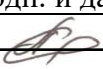
2.2.2 Перечень режимов работы СБИС ДЦТС и характеристики основных режимов работы

Режимы работы и характеристики основных режимов работы приведены в Таблица 330
Таблица 330 - Режимы работы и характеристики основных режимов работы СБИС ДЦТС

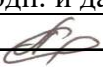
Наименование параметра	Значение параметра
Видеоподсистема	
Тип декодера видео	Аппаратный
Поддерживаемые форматы декодирования видеопотока стандартной четкости	ISO/IEC 13818-2, профиль MP/ML; ISO/IEC 14496-10 (ITU-T H.264) MP/L3.0; SMPTE 421M (VC-1) AP/L2.

					ЮФКВ.431268.005РЭ			Лист
								551
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Поддерживаемые форматы декодирования видеопотока высокой четкости	ISO/IEC 13818-2, профиль MP/HL; ISO/IEC 14496-10 (ITU-T H.264) MP/L4.1; SMPTE 421M (VC-1) AP/L3
Режимы декодирования	один канал; два канала одновременно (SD);
Поддерживаемые развертки при декодировании двух каналов	1080i@60Hz; 720p@60Hz; 576i@50Hz; 576p@25Hz; 480i@60Hz; 480p@30Hz
Поддерживаемые развертки при декодировании одного канала	1080i@60Hz; 720p@60Hz; 576i@50Hz; 576p@25Hz; 480i@60Hz; 480p@30Hz; 1080p@60Hz.
Кол-во видеослоев видеоконтроллера	2 шт.
Кол-во графических слоев видеоконтроллера	2 шт.
Кол-во фоновых слоев видеоконтроллера	1 шт.
Режимы постобработки видео	конвертация чересстрочной развертки в прогрессивную; изменение разрешения изображения; фильтрация изображения до двух потоков одновременно; независимое вертикальное и горизонтальное масштабирование изображения; аппаратное подавление мерцания графических изображений.
Кол-во аппаратных графических ускорителей	1 шт.
Выходы видео	HDMI, композитный аналоговый, цифровой параллельный BT-656
Аудиоподсистема	
Поддерживаемые форматы декодирования аудиопотока	ISO/IEC 14496-3 AAC, ATSC AC-3, ISO/IEC 11172-3/13818-3, Layer 1 и Layer 2
Число поддерживаемых каналов аудио	8 шт.

					ЮФКВ.431268.005РЭ			Лист
								552
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Выходы аудио	многоканальный I2S; SPDIF.
Система обработки входных потоков и условного доступа	
Кол-во входов транспортного потока	2 шт.
Кол-во выходов транспортного потока	1 шт.
Интерфейс смарт-карты	1 шт.
Интерфейс модуля условного доступа DVB CI	1 шт.
Аппаратный дескрэмблер	1 шт.
Поддерживаемые стандарты дескрэмблирования	DVB-CSA 2.1; 3DES; AES-128.
Интерфейс HDMI	
Версия HDMI	1.2
Встроенная поддержка HDCP	Да
Версия HDCP	1.1
Поддерживаемые режимы передачи видео	1080p@50Hz; 1080p@60Hz; 1080i@50Hz; 1080i@60Hz; 720p@50Hz; 720p@60Hz; 720x576p@50Hz; 720x480p@60Hz; 720x576i@50Hz; 720x480i@60Hz.
Поддерживаемые режимы передачи аудио	- стерео, до 192 кГц; - пакетное согласно IEC 61937.

					ЮФКВ.431268.005РЭ			Лист
								553
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

3 Хранение

Минимальный срок сохраняемости микросхем при их хранении:

- в отапливаемом хранилище или в хранилище с регулируемой влажностью и температурой по ГОСТ 15150 должен быть не менее 25 лет,
- в неотапливаемом хранилище - 16,5 лет,

Хранение микросхем на открытой площадке в упаковке фирмы-изготовителя или ЗАО НТЦ "Модуль" не допускается. Хранение микросхем, разрешенных для применения в аппаратуре единичного производства и образующих страховой запас, должно осуществляться в упаковке фирмы-изготовителя или ЗАО НТЦ "Модуль" только в отапливаемых хранилищах или хранилищах с регулируемой влажностью и температурой

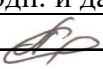
Срок сохраняемости исчисляют с даты изготовления, указанной на микросхеме

4 Транспортирование

Транспортирование по ГОСТ 23088-80

5 Утилизация

Микросхемы, по истечении срока хранения или не прошедшие предварительные испытания подлежат утилизации в установленном на предприятии порядке.

					ЮФКВ.431268.005РЭ			Лист
								554
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Приложение А

(обязательное)

Система команд ядра NMC3

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15					0
																				3		
1.1	P	0	1	MA		R/W	ARi		R _{ист/пр-к}				КОП СК									
1.2	P	1	1	0	MA	R/W	ARi		R _{ист/пр-к}				КОП СК									
63	АДРЕС (смещение)																			32		
2.1	P	1	1	1	R _{пр-к}				R _{ист}				КОП СК									
2.2	P	1	0	0	R _{пр-к}				0 0 x x x x				КОП СК									
63	КОНСТАНТА																			32		
3.1	P	1	0	1	KM	1	ARi		0 1 x		ARj		КОП СК									
3.2	P	1	0	0	KM	1	ARi		0 1 x		ARj		КОП СК									
63	КОНСТАНТА-СМЕЩЕНИЕ																			32		
3.3	P	1	0	1	x x	0	x x x		0 1 x		x x x		КОП СК									
3.4	P	1	0	0	x x	0	x x x		0 1 x		x x x		КОП СК									
63	КОНСТАНТА-СМЕЩЕНИЕ																			32		
4.1	P	0	0	0	KM	J/C	ARi		1 0		Условие		КОП СК									
4.2	P	1	0	0	KM	J/C	ARi		1 0		Условие		КОП СК									
63	АДРЕС (смещение)																			32		
4.3	P	0	0	0	1	0	0	1	1	1	Условие		КОП СК									
4.4	P	0	0	0	0	0	1	1	1	1	Условие		КОП СК									
5.1	P	0	0	MA		R/W	ARi		0 1		v_w	W	количество		КОП ВК			L				
5.2	P	0	0	MA		x		ARi		0 0		1	W	количество		КОП ВК			L			
5.3	P	0	0	x x x		x		x x x		0 0		0	W	x x x x x		КОП ВК			L			
	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	1	0

					ЮФКВ.431268.005РЭ	Лист	
						555	
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата			Взам.инв.№	Инв.№дубл.	Подп. и дата
18212-2		 14.11.11			18212-1		

Форматы команд, задающих пересылку данных регистр-память

Рист/пр-к $\leftrightarrow (f_{\text{адр.}}(AR_i, GR_i)); AR_i \leftarrow f_m(AR_i, GR_i)$

	31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16 15															0						
1.1	P		0	1	MA		R/W	ARi		Rист/пр-к					КОП СК					32		
							R/W	Направление пересылки данных														
							0	Чтение из памяти в Rист/пр-к														
							1	Запись в память из Rист/пр-к														
				MA		f _{адр.} (AR _i , GR _i)					f _M (AR _i , GR _i)											
				0 0 0		GR _i					AR _i											
				0 0 1		AR _i +GR _i					AR _i +GR _i											
				0 1 0		GR _i					GR _i											
				0 1 1		AR _i +GR _i					AR _i											
				1 0 0		AR _i					AR _i											
				1 0 1		AR _i					AR _i +GR _i											
				1 1 0		AR _i -a					AR _i -a											
				1 1 1		AR _i					AR _i +a											

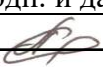
Форматы команд пересылки данных типа “регистр-регистр”

Рист → Rпр-к

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0
2.1	P	1	1	1	Rпр-к						Rист						КОП СК	

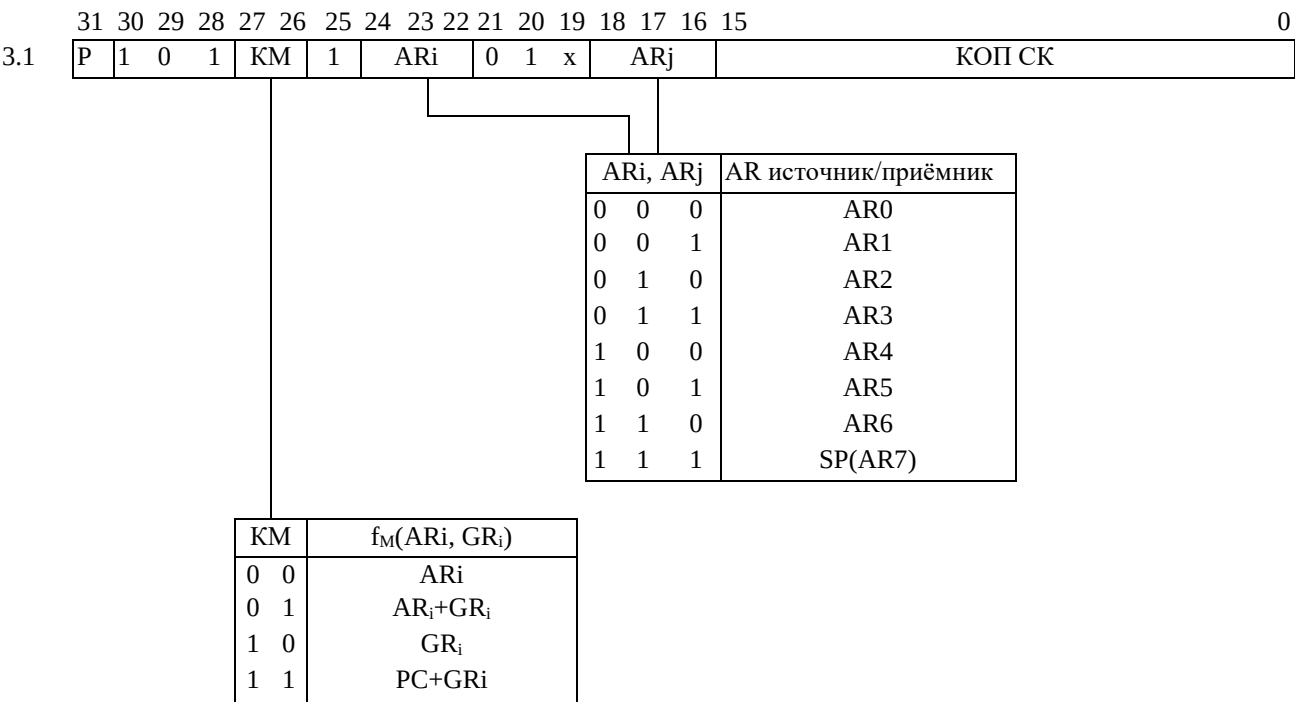
Константа → Rпр-к

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	0	
2.2	P	1	0	0	R _{пр-к}						0	0	x	x	x	x	КОП СК		
63	КОНСТАНТА																		32

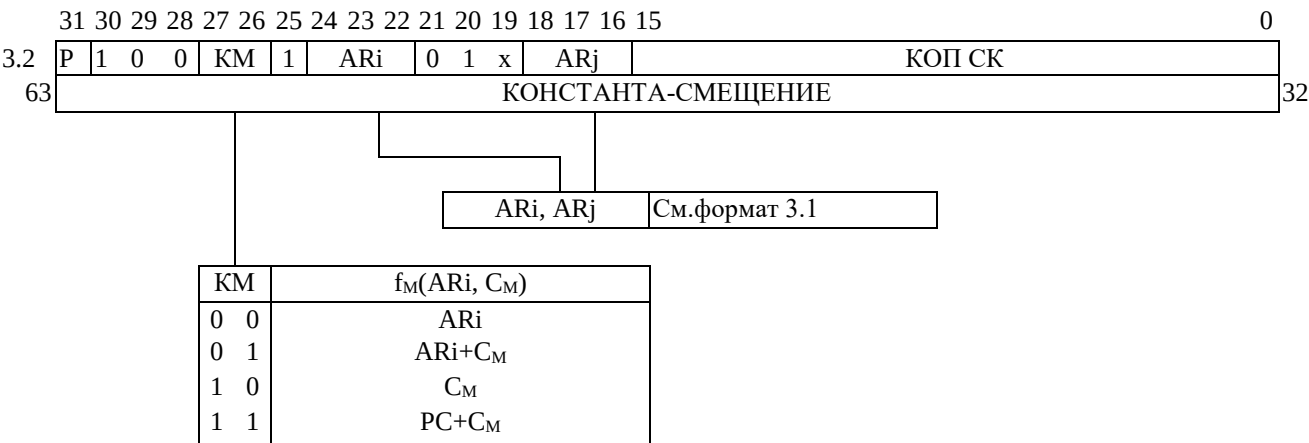
					ЮФКВ.431268.005РЭ				Лист
									557
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11			18212-1				

Форматы команд модификации адресных регистров

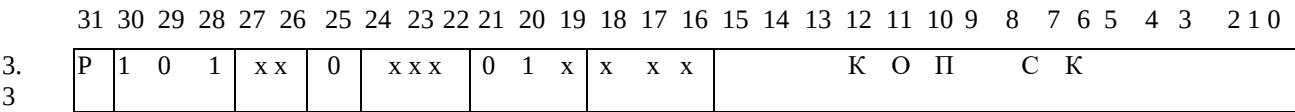
$AR_j \leftarrow f_M(AR_i, GR_i)$



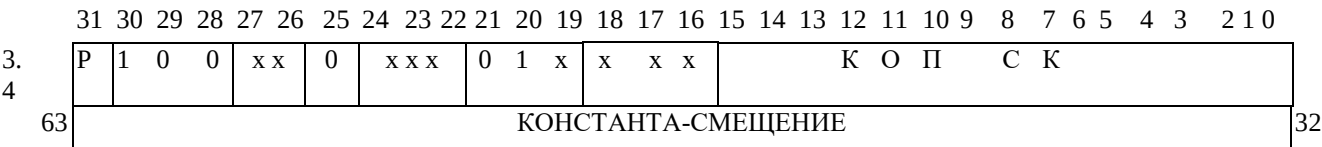
$AR_j \leftarrow f_M(AR_i, C_M)$



Нет операций ввода/вывода и модификации адресных регистров



Нет операций ввода/вывода и модификации адресных регистров



Форматы команд управления

Переход/переход к подпрограмме

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15		14	13	12	11	10	9	8	7	6	5	4	3		2	1	0
4.1	P	0	0	0	КМ	J/C		ARi		1	0	Условие									К	О	П		С	К								

J/C	Тип переход
0	Переход
1	Переход к п/п

К	М	Модификация PC
0	0	PC:=ARi
0	1	PC:=ARi+GRi
1	0	PC:=GRi
1	1	PC:=PC+GRi

Условие	Анализируемое сочетание признаков
0 0 0 0	Переход, если C=0
0 0 0 1	Переход, если V=0
0 0 1 0	Переход, если N+Z=0
0 0 1 1	Переход, если N=0
0 1 0 0	Переход, если $(V \oplus N)+Z=0$
0 1 0 1	Переход, если $V \oplus N=0$
0 1 1 0	Переход, если Z=0
0 1 1 1	Переход безусловный
1 0 0 0	Переход, если C=1
1 0 0 1	Переход, если V=1
1 0 1 0	Переход, если N+Z=1
1 0 1 1	Переход, если N=1
1 1 0 0	Переход, если $(V \oplus N)+Z=1$
1 1 0 1	Переход, если $V \oplus N=1$
1 1 1 0	Переход, если Z=1
1 1 1 1	Перехода нет

Переход/переход к подпрограмме со смещением

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
4.2	P	1	0	0	КМ	J/C		ARi		1	0	Условие	К О П С К																			
63	АДРЕС (смещение)																															32

Тип переход	J/C
Переход	0
Переход к п/п	1

Условие	см. формат 4.1.

К	М	Модификация PC
0	0	PC:=ARi
0	1	PC:=ARi+ C _М
1	0	PC:=Адрес

					ЮФКВ.431268.005РЭ					Лист
										559
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата	
18212-2		 14.11.11			18212-1					

1	1	PC:=PC+C _M

Возврат из подпрограммы.

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
4.	Р	0	0	0		1	0	0	1	1	1	1	1	Условие			К О П С К																
3																																	
													Условие																			см. формат 4.1.	

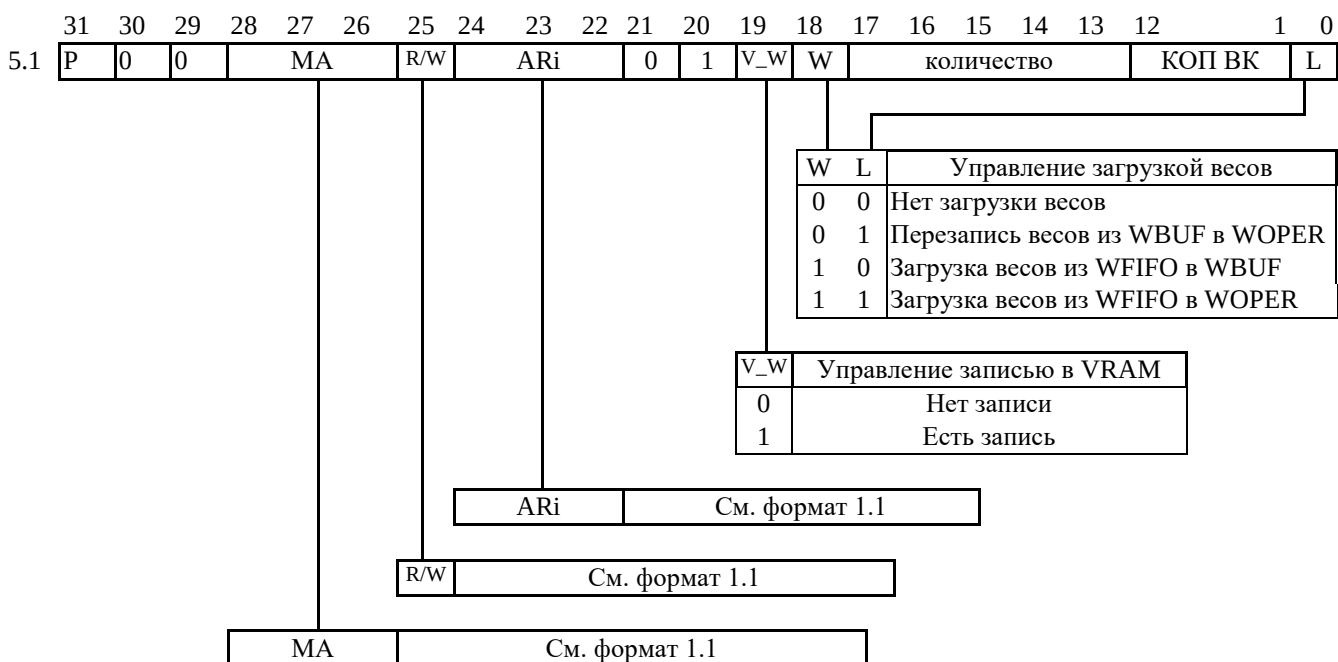
Возврат из прерывания.

		31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
4.	Р	0	0	0	0	0	1	1	1	1	1	1	1	Условие				К О П С К																
4																																		
																											Условие				см. формат 4.1.			

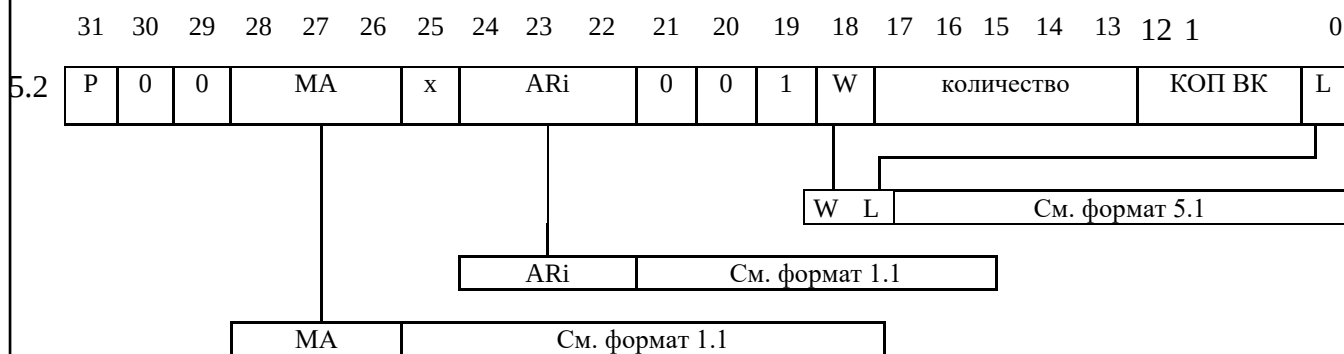
					ЮФКВ.431268.005РЭ				Лист
									560
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.		Подп. и дата			Взам.инв.№		Инв.№дубл.		Подп. и дата
18212-2		 14.11.11			18212-1				

Формат векторных команд

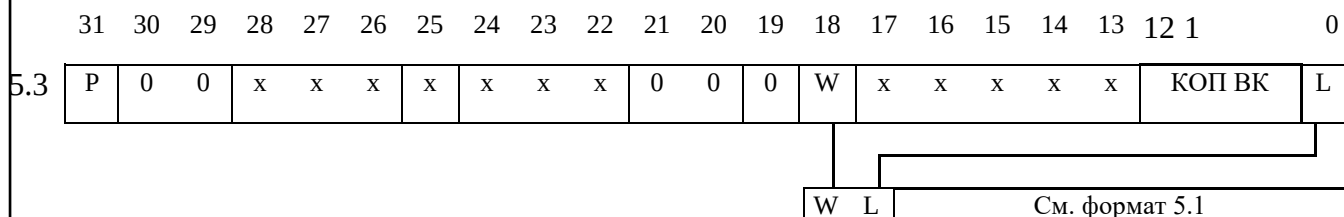
Устройство векторных вычислений $\leftrightarrow (\text{фдр.}(\text{ARi}, \text{GRi})); \text{ARi} \leftarrow f_M(\text{ARi}, \text{GRi})$



Загрузка весов в WFIFO из внешней памяти: $\text{WFIFO} \leftarrow (\text{фадр.}(\text{ARi}, \text{GRi})); \text{ARi} \leftarrow \text{f}_M(\text{ARi}, \text{GRi})$



Нет операций ввода/вывода



Примечание: поле “количество” задает количество 64-разрядных слов, участвующих в операциях пересылок данных

Форматы поля КОП СК

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	TC	BC				GR _{ист}			GR _{пр-к}					

W	0	КЛОП	GR _{ист2}	GR _{ист1}	GR _{пр-к}

W	1	КАОП	GR _{ист2}	GR _{ист1}	GR _{пр-к}

GR			РОН - источник/приемник
0	0	0	GR0
0	0	1	GR1
0	1	0	GR2
0	1	1	GR3
1	0	0	GR4
1	0	1	GR5
1	1	0	GR6
1	1	1	GR7

W	Управление записью в GR _{пр-к} и в регистр признаков														
0	1	Есть запись в GR _{пр-к} , нет записи признаков													
1	0	Есть запись признаков, нет записи в GR _{пр-к}													
1	1	Есть запись в GR _{пр-к} и есть запись признаков													

Форматы поля КОП СК, задающего операцию сдвига

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	TC	BC				GR _{ист}			GR _{пр-к}					

TC		Тип сдвига
0	0	Циклический сдвиг
0	1	Логический сдвиг
1	0	Арифметический сдвиг
1	1	Логический сдвиг через "С"

Примечание:

Поле BC задает величину сдвига в дополнительном коде:

положительное значение - сдвиг влево (от 0 до 31 разряда)

отрицательное значение - сдвиг вправо (от 1 до 32 разрядов)

"С" - признак переноса слова состояния процессора

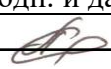
Логический сдвиг через "С" может выполняться только на один разряд влево или вправо; сдвиги остальных типов могут выполняться на любое от 1 до 31 число разрядов влево или вправо

Сдвиг на 0 или 32 разряда любого типа воспринимается как код "нет операции", и при этом не изменяется ни приёмник результата операции GR_{пр-к}, ни признаки.

Сдвиги от 1 до 31 разряда меняют признаки слова состояния процессора по следующим правилам:

N - признак знака - равен старшему (знаковому) разряду результата;

Z - признак нуля - равен единице, если все разряды регистра приемника GR нулевые, или нулю в противном случае;

					ЮФКВ.431268.005РЭ					Лист
										562
Изм.	Лист	№ докум.	Подп.	Дата						
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата			
18212-2			14.11.11		18212-1					

V - признак переполнения - устанавливается в единицу только при арифметических сдвигах влево, если получаемый признак C не равен 31-разряду GR приемника, во всех остальных случаях равен нулю;

C - признак переноса, равен последнему вытолкнутому при сдвиге разряду из GR источника.

Схемы различных вариантов сдвига на один разряд изображены на рисунке (Рисунок А.1). Сдвиги на большее число разрядов эквивалентны многократному сдвигу на единицу, хотя и выполняются за один такт работы ядра NMC3.

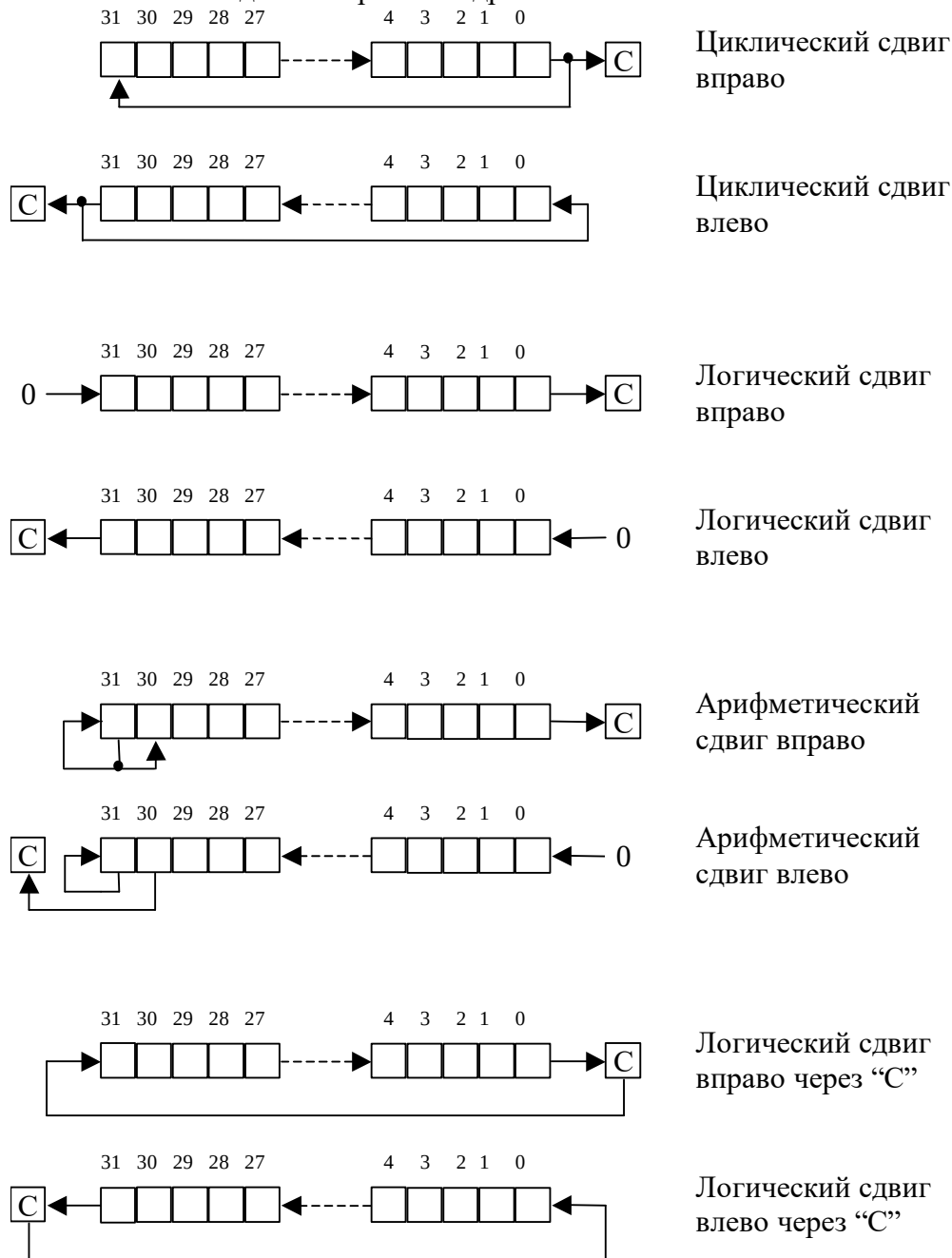


Рисунок А.1 Схемы сдвигов

					ЮФКВ.431268.005РЭ			Лист
								563
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		14.11.11		18212-1				

Формат поля КОП СК, задающего логическую операцию

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	0		КЛОП				GR _{ист2}			GR _{ист1}			GRпр-к		

КЛОП	Код логической операции	N	Z	V	C
0 0 0 0	0	0	1	0	0
0 0 0 1	$\overline{GR_{ист2}} \& \overline{GR_{ист1}}$	+	+	0	0
0 0 1 0	$\overline{GR_{ист2}} \& \overline{GR_{ист1}}$	+	+	0	0
0 0 1 1	$\overline{GR_{ист1}}$	+	+	0	0
0 1 0 0	$\overline{GR_{ист2}} \& GR_{ист1}$	+	+	0	0
0 1 0 1	$\overline{GR_{ист2}}$	+	+	0	0
0 1 1 0	$GR_{ист2} \oplus \overline{GR_{ист1}}$	+	+	0	0
0 1 1 1	$\overline{GR_{ист2}} + \overline{GR_{ист1}}$	+	+	0	0
1 0 0 0	$GR_{ист2} \& \overline{GR_{ист1}}$	+	+	0	0
1 0 0 1	$GR_{ист2} \oplus \overline{GR_{ист1}}$	+	+	0	0
1 0 1 0	$GR_{ист2}$	+	+	0	0
1 0 1 1	$GR_{ист2} + \overline{GR_{ист1}}$	+	+	0	0
1 1 0 0	$\overline{GR_{ист1}}$	+	+	0	0
1 1 0 1	$\overline{GR_{ист2}} + GR_{ист1}$	+	+	0	0
1 1 1 0	$GR_{ист2} + GR_{ист1}$	+	+	0	0
1 1 1 1	-1	1	0	0	0

Формат поля КОП СК, задающего арифметическую операцию

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
W	1		КАОП				GR _{ист2}			GR _{ист1}			GRпр-к		

КАОП	Код арифметической операции	Y	N	Z	V	C
0 0 0 0	$GR_{ист2} - GR_{ист1}$	-	+	+	+	+
0 0 0 1	$GR_{ист2} - GR_{ист1} - 1 + "C"$	-	+	+	+	+
0 0 1 0	$GR_{ист2} + 1$	-	+	+	+	+
0 0 1 1	$GR_{ист2} + "C"$	-	+	+	+	+
0 1 0 0	$GR_{ист2} - 1$	-	+	+	+	+
0 1 0 1	$GR_{ист2} - 1 + "C"$	-	+	+	+	+
0 1 1 0	$GR_{ист2} + GR_{ист1}$	-	+	+	+	+
0 1 1 1	$GR_{ист2} + GR_{ист1} + "C"$	-	+	+	+	+
1 0 0 0	Первый шаг умножения	+	?	?	0	?
1 0 0 1	Шаг умножения	+	?	?	0	?
1 0 1 X	Резерв					
1 1 0 0	$-GR_{ист2}$	-	+	+	+	+
1 1 X 1	Резерв					
1 1 1 X	Резерв					

Примечание:

“C” - признак переноса из слова состояния процессора.

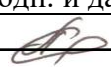
Если в поле W задаёт запись признаков, то они устанавливаются соответственно столбцам N,Z,V,C таблиц 6.2 и 6.3., иначе они сохраняют своё значение. Признак Y меняется только операциями “Первый шаг умножения” и “Шаг умножения” независимо от поля W. В таблицах используются следующие обозначения:

“+” - признак устанавливается по результату операции;

“0” - признак обнуляется;

“1” - признак устанавливается в единицу;

“?” - значение признака не определено.

					ЮФКВ.431268.005РЭ				Лист
									564
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.		Подп. и дата		
18212-2	 14.11.11		18212-1						

Формат поля КОП ВК

Общий формат поля КОП ВК

12	11	10	9	8	7	6	5	4	3	2	1
1	0					КЛОП	FPX	FPY	X	Y	

Логическая операция над операндами X и Y

1	1					КАОП	FSX	FSY	X	Y	

Арифметическая операция над операндами X и Y

0	1	M	0	SH	0	FPY	X	Y			
0	1	M	0	0	FPX	FPY	X	Y			

Операция маскирования $X * M + Y * \overline{M}$

0	1		00	1	X	X	X	00	00		

Запись в AFIFO содержимого регистров F2CR, F1CR, NB2, SB2, VR

0	0		00	0	X	X	X	00	00		

Нет операции

0	0	M	VR	SH	0	FSY	X	Y			
0	0	M	VR	0	FSX	FSY	X	Y			

Операция взвешенного суммирования типа $W * X + Y$

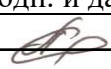
OP	Выбор операнда
0 0	Операнд равен нулю
0 1	Операнд из RAM
1 0	Операнд из AFIFO
1 1	Операнд выбирается из внешней памяти

FP(FA)	Управление функцией пороговой (функцией насыщения)
0	Функция не используется
1	Функция используется

Формат поля КОП ВК, задающего логическую операцию

12	11	10	9	8	7	6	5	4	3	2	1
1	0					КЛОП	FPX	FPY	X	Y	

КЛОП	Код логической операции
0 0 0 0	0
0 0 0 1	$\overline{X} \& \overline{Y}$
0 0 1 0	$X \& \overline{Y}$
0 0 1 1	$\overline{Y}$
0 1 0 0	$\overline{X} \& Y$
0 1 0 1	$\overline{X}$
0 1 1 0	$X \oplus Y$
0 1 1 1	$\overline{X} + \overline{Y}$
1 0 0 0	$X \& Y$
1 0 0 1	$\overline{X} \oplus Y$
1 0 1 0	X
1 0 1 1	$X + \overline{Y}$
1 1 0 0	Y
1 1 0 1	$\overline{X} + Y$
1 1 1 0	$X + Y$
1 1 1 1	-1

											Лист
											565
Изм.	Лист	№ докум.	Подп.	Дата							
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата						
18212-2		14.11.11	18212-1								

Формат поля команд КОП ВК, задающего арифметическую операцию

12	11	10	9	8	7	6	5	4	3	2	1
1	1			КАОП		FSX	FSY		X		Y

КАОП				Код арифметической операции							
X	0	0	X	X-Y							
X	0	1	X	X+1							
X	1	0	X	X-1							
X	1	1	X	X+Y							

Операции маскирования и взвешенного суммирования

12	11	10	9	8	7	6	5	4	3	2	1
0	1		M	0	SH	0	FPY		X		Y
0	1		M	0	0	FPX	FPY		X		Y

Операция маскирования $X * M + Y * \overline{M}$

0	0		M	VR	SH	0	FSY		X		Y
0	0		M	VR	0	FSX	FSY		X		Y

Операция взвешенного суммирования типа $W * X + Y$

SH	Управление циклическим сдвигом операнда X на 1 разряд вправо
0	Нет сдвига
1	Есть сдвиг

VR	Управление выборкой регистра VR в качестве операнда Y
0	VR не является операндом Y
1	VR является операндом Y

M	Выбор операнда - маски
0 0	Маскирование отсутствует
0 1	Маска выбирается из RAM
1 0	Маска выбирается из AFIF0
1 1	Маска выбирается из внешней памяти

Поле управления одновременным выполнением нескольких команд

31

P	Управление выполнением данной команды на фоне выполнения векторной команды
0	Команда выполняется даже если еще не закончилась векторная команда
1	Выполнение команды откладывается до окончания векторной команды

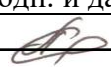
Поле выбора адресного регистра

25 24 23

ARi	Номер AR или GR
0 0 0	0
0 0 1	1
0 1 0	2
0 1 1	3
1 0 0	4
1 0 1	5
1 1 0	6
1 1 1	7

Примечание:

AR7 (SP) может использоваться в качестве системного указателя стека адресов возврата при входе/выходе из подпрограммы (прерывания), причём изменяется он в этом случае только на +/- 2.

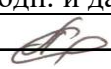
					ЮФКВ.431268.005РЭ			Лист
								566
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2			14.11.11		18212-1			

Внешние выводы ядра

Список внешних выводов ядра NMC3 представлен в таблице ниже.

Таблица А.1 - Внешние выводы ядра NMC3

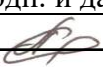
Обозначение	Тип вывода	Функциональное назначение
IB<63:0> IB_STRB IB_RDY	Входы Вход Выход	Входная шина команд Строб готовой команды для ядра Готовность приёма команды ядром
SDIB<63:0> SDIB_STRB SDIB_RDY	Входы Вход Выход	Входная шина скалярных данных Строб входных скалярных данных Готовность приёма входных скалярных данных
SDOB<63:0> SDOB_STRB SDOB_RDY	Выходы Выход Вход	Выходная шина скалярных данных Строб выходных скалярных данных Готовность приёма выходных скалярных данных
VDIB<63:0> VDIB_STRB VDIB_RDY	Входы Вход Выход	Входная шина векторных данных Строб входных векторных данных Готовность приёма входных векторных данных
VDOB<63:0> VDOB_STRB VDOB_RDY	Выходы Выход Вход	Выходная шина векторных данных Строб выходных векторных данных Готовность приёма выходных векторных данных
VRB<63:0> VRB_STRB VRB_RDY	Входы Вход Выход	Входная шина векторного регистра Строб входных данных для векторного регистра Готовность приёма данных для векторного регистра
WB<63:0> WB_STRB WB_RDY	Входы Вход Выход	Входная шина весовых коэффициентов Строб весовых коэффициентов Готовность приёма весовых коэффициентов
ADDR<31:0> BIAS<31:0> CNT<4:0> LADDR<37:0>	Выходы Выходы Выходы Выход	Выходная шина адреса Выходная шина смещения адреса Выходная шина счетчика векторных команд Последний адрес для команд векторных данных.
IOP<3:0> IOP_RDY	Выходы Вход	Тип запроса на ввод-вывод Готовность запроса на ввод-вывод
RSD<4:0>	Выходы	Код регистра источника/приемника при операциях вывода/вывода
NMI INT INTA INTV<5:0>	Вход Вход Выход Входы	Немаскируемое внешнее прерывание Вход внешнего прерывания Выход подтверждения внешнего прерывания Вход адрес-вектора внешнего прерывания
CLK RST	Вход Вход	Внешний тактовый сигнал Внешний синхронный системный сброс

					ЮФКВ.431268.005РЭ			Лист
								567
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Ниже приведён возможный тип запроса на ввод-вывод от ядра, задаваемый на выводах IOP<3..0>.

Таблица А.2. Коды команд ввода-вывода ядра к системному интегратору.

3 2 1 0	Команда	Вид операции
0 0 0 0	NOP	Нет операции
0 0 0 1	MOVE_DST	Пересылка из регистра ядра в регистр периферийного узла.
0 0 1 0	MOVE_SRC	Пересылка из регистра периферийного узла в регистр ядра.
0 0 1 1	MOVE_PC	Останов IAG.
0 1 0 0	WRITE_VDB	Запись в память по шине VDOB
0 1 0 1	READ_VDB	Чтение из памяти по шине VDIB
0 1 1 0	READ_VRB	Чтение из памяти по шине VRB
0 1 1 1	READ_WB	Чтение из памяти по шине WB
1 0 0 0	CALL	Переход. Запись в память по шине SDOB 64-разрядных данных Очистка буферов команд.
1 0 0 1	INT	Переход. Запись в память по шине SDOB 64-разрядных данных. Полная очистка буферов команд, включая отложенные команды.
1 0 1 0	WRITE_SDB64	Запись в память по шине SDOB 64-разрядных данных
1 0 1 1	WRITE_SDB32	Запись в память по шине SDOB 32-разрядных данных
1 1 0 0	JUMP	Переход. (Запись адреса в IAG и очистка буферов команд)
1 1 0 1	RET	Переход. Чтение из памяти по шине SDIB.
1 1 1 0	READ_SDB	Чтение из памяти по шине SDIB
1 1 1 1	READ_PC	Чтение из памяти по шине SDIB. Останов IAG

					ЮФКВ.431268.005РЭ			Лист
								568
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

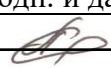
Приложение Б

(справочное)

Карта подключения блоков к системной шине СБИС ДЦТС

Таблица Б.1 – Карта подключения блоков к системной шине СБИС ДЦТС

Блок	Интерфейс	Тип интерфейса	Точка подключения
ARM1176JZF-S	a1176_w	AXI Master	A-S0
	a1176_i	AXI Master	A-S1
	a1176_d	AXI Master	A-S3
XDMAC	xdmac_a	AXI Master	A-S2
	xdmac_r	AXI Slave	A-M7
NMC	nmc	AXI Master	A-S4
TSIF	ts_if	AXI Master	A-S6
CRYPTO	crypto	AXI Master	A-S11
ETH	greth	AHB Master	A-S13
IM0	intmem0	AXI Slave	A-M0
IM1	intmem1	AXI Slave	A-M1
EM0	dmc0	AXI Slave	A-M2
BOOTM	bootm	AXI Slave	A-M4
DVBCI	bus_if	AXI Slave	D-M1
SPI-MEM	spi	AXI Slave	D-M0
USB	usbhs	AXI Slave	D-M3
	usbfs	AXI Slave	D-M4
	usb	AHB Master	F-S1
NAND IF	nand	AXI Master	F-S0
Мультимедиа подсистема			
GA	ga	AXI Master	A-S7
Video Interface	vdu_a	AXI Master	A-S9
	vdu_b	AXI Master	B-S11
Audio DMA	aud_dma	AXI Master	A-S12
I2S	au0	AXI Slave	B-M2
SPDIF	au1	AXI Slave	B-M3
Video Decoder	msvd_ipma	AXI Master	B-S0
	msvd_cpma	AXI Master	B-S1
	msvd_mcma	AXI Master	B-S2
	msvd_osma	AXI Master	B-S3
	msvd_lfma_ln	AXI Master	B-S4
	msvd_lfma_fr	AXI Master	B-S5
	msvd_bpma	AXI Master	B-S6
	msvd_pe_nsuma	AXI Master	B-S7
	msvd_su_nsuma	AXI Master	B-S8
	msvd_psuma	AXI Master	B-S9
	msvd_ctrl	AXI Slave	B-M4
EM1	dmc1	AXI Slave	B-M0
IM2	intmem2	AXI Slave	B-M1
APB32 MULT	apb_mult	AXI Slave	B-M5

					ЮФКВ.431268.005РЭ			Лист
								569
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

Приложение В

(обязательное)

Описание регистров видео декодера.

Карта адресов MSVD-HD дается в таблице Г1

Таблица В.1 - Карта адресов MSVD-HD.

Unit	Address Range	Description
top level registers	00000h - 00018h	global registers (clock control, interrupts)
MVDE registers	08000h - 08054h	MVDE registers (command, configuration and status)
frame_store_y	08100h - 0817Ch	<i>internal use</i>
frame_store_c	08180h - 081FCh	<i>internal use</i>
CP RAM	08200h - 083FCh	<i>internal use</i>
SR1 registers	10000h - 10284h	SR1 registers (command, configuration, status, bit window access)
SR2 registers	10400h - 10684h	identical to SR1
SI registers	10800h - 1088Ch	SI registers (command, configuration and status)

Unit	Address Range	Description
RPI RAM	10900h - 110FCh	<i>internal use</i>
MA store	11100h - 1111Ch	<i>internal use</i>
SI_SU	11200h - 1120Ch	<i>internal use</i>
CABAC memory	11300h - 114FCh	<i>internal use</i>
SI_PE	11500h - 11508h	<i>internal use</i>
CFG RAM ¹⁾	18000h - 1FFFCh	configuration RAM (decoding parameters)
1) The size of CFG RAM may be different for some versions of the MSVD-HD.		

В.1 Составляющая верхнего уровня

Верхний уровень включает регистры (VD_VLC), (VD_ID) и набор регистров для управления прерываниями.

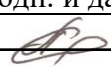
					ЮФКВ.431268.005РЭ			Лист
								570
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Таблица В.2 Регистровый интерфейс MSVD-HD

Регистр 1:VD_CLC

Управление синхроимпульсами

Значение при обнулении: 0000'0002H

Address: MSVD_BASE + 0000H		Mode : rwh
Bits	Name	Description
31:2	---	unused
1	rdy_clk_dis	ready for clock disable (bit is of type r) 0: disabling clock is not allowed 1: MSVD-HD is ready for disabling clock
0	clk_on	request clock off/on (bit is of type rw) 0: request clock disable 1: normal operation
Note: This register does not control the clock itself, it sets and shows the status of MSVD-HD according to clock switching.		

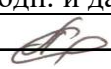
Регистр 2:VD_ID

Идентификатор версии

Значение при обнулении: 0015'300BH

Address: MSVD_BASE + 0004H		Mode : r
Bits	Name	Description
31:26	---	unused

Address: MSVD_BASE + 0004H		Mode : r
Bits	Name	Description
25:20	rev_num	revision number
19:12	prov_id	The value 53h indicates Silicon Image.
11:0	part_num	part number

					ЮФКВ.431268.005РЭ			Лист
								571
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

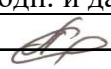
Продолжение таблицы В.2

Регистр 3:VD_IMSC

Маска прерываний

Значение при обнулении: 0000'0000H

Address: MSVD_BASE + 0008H		Mode : rw
Bits	Name	Description
31	---	unused
30	imsc_si_data_err	"SI data error" interrupt mask
29	imsc_si_parse_err	"SI parse error" interrupt mask
28	imsc_si_start_dec	"SI start decoding" interrupt mask
27	imsc_si_cmd_rdy	"SI command ready" interrupt mask
26	imsc_sr1_offs_end_reached	"SR1 offset end reached" interrupt mask
25	imsc_sr1_offs_end_missed	"SR1 offset end missed" interrupt mask
24	imsc_sr1_read_fail	"SR1 read failure from SR buffer" interrupt mask
23	imsc_sr1_str_buf_empty	"SR1 stream buffer block empty" interrupt mask
22	imsc_sr1_str_buf_thresh	"SR1 stream buffer threshold" interrupt mask
21	imsc_sr1_str_buf_changed	"SR1 stream buffer block changed" interrupt mask
20	imsc_sr1_ts_extracted	"SR1 TS extracted from PES header" interrupt mask
19	imsc_sr1_pes_hd_found	"SR1 PES header found" interrupt mask
18	imsc_sr1_start_code_found	"SR1 start code found" interrupt mask
17	imsc_sr1_si_access_failed	"SR1 or SI access failed" interrupt mask
16	imsc_sr1_cmd_rdy	"SR1 command ready" interrupt mask
15	imsc_sr2_offs_end_reached	"SR2 offset end reached" interrupt mask
14	imsc_sr2_offs_end_missed	"SR2 offset end missed" interrupt mask
13	imsc_sr2_read_fail	"SR2 read failure from SR buffer" interrupt mask
12	imsc_sr2_str_buf_empty	"SR2 stream buffer block empty" interrupt mask
11	imsc_sr2_str_buf_thresh	"SR2 stream buffer threshold" interrupt mask

					ЮФКВ.431268.005РЭ			Лист
								572
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

Продолжение таблицы В.2

Регистр 3:VD_IMSC

Маска прерываний

Значение при обнулении: 0000'0000H

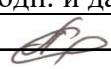
Address: MSVD_BASE + 0008H		Mode : rw
Bits	Name	Description
10	imsc_sr2_str_buf_changed	"SR2 stream buffer block changed" interrupt mask
9	imsc_sr2_ts_extracted	"SR2 TS extracted from PES header" interrupt mask
8	imsc_sr2_pes_hd_found	"SR2 PES header found" interrupt mask
7	imsc_sr2_start_code_found	"SR2 start code found" interrupt mask
6	imsc_sr2_access_failed	"SR2 access failed" interrupt mask
5	imsc_sr2_cmd_rdy	"SR2 command ready" interrupt mask
4	imsc_mvde_proc_err	"MVDE processing error" interrupt mask
3	imsc_mvde_proc_delay	"MVDE processing delay" interrupt mask
2	imsc_mvde_last_mb_rdy	"MVDE last_mb ready" interrupt mask
1	imsc_mvde_pic_rdy	"MVDE picture ready" interrupt mask
0	imsc_mvde_cmd_rdy	"MVDE command ready" interrupt mask
Note: Writing a "1" to a mask bit enables the interrupt, writing a "0" disables the interrupt.		

Регистр 4:VD_RIS

Строчный статус прерываний

Значение при обнулении: 0000'0000H

Address: MSVD_BASE + 000CH		Mode : r
Bits	Name	Description
31	---	unused
30	ris_si_data_err	"SI data error" raw interrupt status
29	ris_si_parse_err	"SI parse error" raw interrupt status
28	ris_si_start_dec	"SI start decoding" raw interrupt status
27	ris_si_cmd_rdy	"SI command ready" raw interrupt status
26	ris_sr1_offs_end_reached	"SR1 offset end reached" raw interrupt status
25	ris_sr1_offs_end_missed	"SR1 offset end missed" raw interrupt status
24	ris_sr1_read_fail	"SR1 read failure from SR buffer" raw interrupt status
23	ris_sr1_str_buf_empty	"SR1 stream buffer block empty" raw interrupt status
22	ris_sr1_str_buf_thresh	"SR1 stream buffer threshold" raw interrupt status
21	ris_sr1_str_buf_changed	"SR1 stream buffer block changed" raw interrupt status
20	ris_sr1_ts_extracted	"SR1 TS extracted from PES header" raw interrupt status

					ЮФКВ.431268.005РЭ			Лист
								573
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

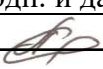
Продолжение таблицы В.2

Регистр 5:VD_MIS

Маскируемый статус прерываний

Значение при обнулении: 0000'0000H

Address: MSVD_BASE + 0010H		Mode : r
Bits	Name	Description
31	---	unused
30	mis_si_data_err	"SI data error" masked interrupt status

					ЮФКВ.431268.005РЭ			Лист
								574
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

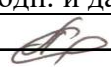
Продолжение таблицы В.2

Регистр 5:VD_MIS

Маскируемый статус прерываний
0000'0000H

Значение при обнулении:

Address: MSVD_BASE + 0010H		Mode : r
Bits	Name	Description
29	mis_si_parse_err	"SI parse error" masked interrupt status
28	mis_si_start_dec	"SI start decoding" masked interrupt status
27	mis_si_cmd_rdy	"SI command ready" masked interrupt status
26	mis_sr1_offs_end_reached	"SR1 offset end reached" masked interrupt status
25	mis_sr1_offs_end_missed	"SR1 offset end missed" masked interrupt status
24	mis_sr1_read_fail	"SR1 read failure from SR buffer" masked interrupt status
23	mis_sr1_str_buf_empty	"SR1 stream buffer block empty" masked interrupt status
22	mis_sr1_str_buf_thresh	"SR1 stream buffer threshold" masked interrupt status
21	mis_sr1_str_buf_changed	"SR1 stream buffer block changed" masked interrupt status
20	mis_sr1_ts_extracted	"SR1 TS extracted from PES header" masked interrupt status
19	mis_sr1_pes_hd_found	"SR1 PES header found" masked interrupt status
18	mis_sr1_start_code_found	"SR1 start code found" masked interrupt status
17	mis_sr1_si_access_failed	"SR1 or SI access failed" masked interrupt status
16	mis_sr1_cmd_rdy	"SR1 command ready" masked interrupt status
15	mis_sr2_offs_end_reached	"SR2 offset end reached" masked interrupt status
14	mis_sr2_offs_end_missed	"SR2 offset end missed" masked interrupt status
13	mis_sr2_read_fail	"SR2 read failure from SR buffer" masked interrupt status
12	mis_sr2_str_buf_empty	"SR2 stream buffer block empty" masked interrupt status
11	mis_sr2_str_buf_thresh	"SR2 stream buffer threshold" masked interrupt status
10	mis_sr2_str_buf_changed	"SR2 stream buffer block changed" masked interrupt status
9	mis_sr2_ts_extracted	"SR2 TS extracted from PES header" masked interrupt status
8	mis_sr2_pes_hd_found	"SR2 PES header found" masked interrupt status
7	mis_sr2_start_code_found	"SR2 start code found" masked interrupt status
6	mis_sr2_access_failed	"SR2 access failed" masked interrupt status
5	mis_sr2_cmd_rdy	"SR2 command ready" masked interrupt status
4	mis_mvde_proc_err	"MVDE processing error" masked interrupt status
3	mis_mvde_proc_delay	"MVDE processing delay" masked interrupt status
2	mis_mvde_last_mb_rdy	"MVDE last_mb ready" masked interrupt status
1	mis_mvde_pic_rdy	"MVDE picture ready" masked interrupt status

					ЮФКВ.431268.005РЭ			Лист
								575
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№	Инов.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Продолжение таблицы В.2

Регистр 5:VD_MIS

Маскируемый статус прерываний

Значение при обнулении: 0000'0000H

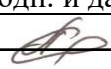
Address: MSVD_BASE + 0010H		Mode : r
Bits	Name	Description
0	mis_mvde_cmd_rdy	"MVDE command ready" masked interrupt status
Note: Interrupt status bits are set by hardware or by write access to VD_ISR. They are cleared by write access to VD_ICR or by a soft reset command. They are not cleared by hardware.		

Регистр 6:VD_ICR

Обнуление статуса прерываний

Значение при обнулении: 0000'0000H

Address: MSVD_BASE + 0014H		Mode : w
Bits	Name	Description
31	---	unused
30	icr_si_data_err	"SI data error" clear interrupt
29	icr_si_parse_err	"SI parse error" clear interrupt
28	icr_si_start_dec	"SI start decoding" clear interrupt
27	icr_si_cmd_rdy	"SI command ready" clear interrupt
26	icr_sr1_offs_end_reached	"SR1 offset end reached" clear interrupt
25	icr_sr1_offs_end_missed	"SR1 offset end missed" clear interrupt
24	icr_sr1_read_fail	"SR1 read failure from SR buffer" clear interrupt
23	icr_sr1_str_buf_empty	"SR1 stream buffer block empty" clear interrupt
22	icr_sr1_str_buf_thresh	"SR1 stream buffer threshold" clear interrupt
21	icr_sr1_str_buf_changed	"SR1 stream buffer block changed" clear interrupt
20	icr_sr1_ts_extracted	"SR1 TS extracted from PES header" clear interrupt
19	icr_sr1_pes_hd_found	"SR1 PES header found" clear interrupt
18	icr_sr1_start_code_found	"SR1 start code found" clear interrupt
17	icr_sr1_si_access_failed	"SR1 or SI access failed" clear interrupt
16	icr_sr1_cmd_rdy	"SR1 command ready" clear interrupt
15	icr_sr2_offs_end_reached	"SR2 offset end reached" clear interrupt
14	icr_sr2_offs_end_missed	"SR2 offset end missed" clear interrupt
13	icr_sr2_read_fail	"SR2 read failure from SR buffer" clear interrupt
12	icr_sr2_str_buf_empty	"SR2 stream buffer block empty" clear interrupt
11	icr_sr2_str_buf_thresh	"SR2 stream buffer threshold" clear interrupt

					ЮФКВ.431268.005РЭ			Лист
								576
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Продолжение таблицы В.2

Регистр 6:VD_ICR

Обнуление статуса прерываний

Значение при обнулении: 0000'0000H

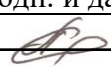
Address: MSVD_BASE + 0014H		Mode : w
Bits	Name	Description
10	icr_sr2_str_buf_changed	"SR2 stream buffer block changed" clear interrupt
9	icr_sr2_ts_extracted	"SR2 TS extracted from PES header" clear interrupt
8	icr_sr2_pes_hd_found	"SR2 PES header found" clear interrupt
7	icr_sr2_start_code_found	"SR2 start code found" clear interrupt
6	icr_sr2_access_failed	"SR2 access failed" clear interrupt
5	icr_sr2_cmd_rdy	"SR2 command ready" clear interrupt
4	icr_mvde_proc_err	"MVDE processing error" clear interrupt
3	icr_mvde_proc_delay	"MVDE processing delay" clear interrupt
2	icr_mvde_last_mb_rdy	"MVDE last_mb ready" clear interrupt
1	icr_mvde_pic_rdy	"MVDE picture ready" clear interrupt
0	icr_mvde_cmd_rdy	"MVDE command ready" clear interrupt
Note: Writing a "1" clears the status bit, writing "0" has no effect, reading always returns "0".		

Регистр 6:VD_ICR

Обнуление статуса прерываний

Значение при обнулении: 0000'0000H

Address: MSVD_BASE + 0014H		Mode : w
Bits	Name	Description
10	icr_sr2_str_buf_changed	"SR2 stream buffer block changed" clear interrupt
9	icr_sr2_ts_extracted	"SR2 TS extracted from PES header" clear interrupt
8	icr_sr2_pes_hd_found	"SR2 PES header found" clear interrupt
7	icr_sr2_start_code_found	"SR2 start code found" clear interrupt
6	icr_sr2_access_failed	"SR2 access failed" clear interrupt
5	icr_sr2_cmd_rdy	"SR2 command ready" clear interrupt
4	icr_mvde_proc_err	"MVDE processing error" clear interrupt
3	icr_mvde_proc_delay	"MVDE processing delay" clear interrupt
2	icr_mvde_last_mb_rdy	"MVDE last_mb ready" clear interrupt
1	icr_mvde_pic_rdy	"MVDE picture ready" clear interrupt
0	icr_mvde_cmd_rdy	"MVDE command ready" clear interrupt
Note: Writing a "1" clears the status bit, writing "0" has no effect, reading always returns "0".		

					ЮФКВ.431268.005РЭ		Лист
							577
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1				

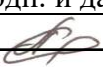
Продолжение таблицы В.2

Регистр 7:VD_ISR

Установка статуса прерываний

Значение при обнулении: 0000'0000H

Address: MSVD_BASE + 0018H		Mode : w
Bits	Name	Description
31	---	unused
30	isr_si_data_err	"SI data error" set interrupt
29	isr_si_parse_err	"SI parse error" set interrupt
28	isr_si_start_dec	"SI start decoding" set interrupt
27	isr_si_cmd_rdy	"SI command ready" set interrupt
26	isr_sr1_offs_end_reached	"SR1 offset end reached" set interrupt
25	isr_sr1_offs_end_missed	"SR1 offset end missed" set interrupt
24	isr_sr1_read_fail	"SR1 read failure from SR buffer" set interrupt
23	isr_sr1_str_buf_empty	"SR1 stream buffer block empty" set interrupt
22	isr_sr1_str_buf_thresh	"SR1 stream buffer threshold" set interrupt
21	isr_sr1_str_buf_changed	"SR1 stream buffer block changed" set interrupt
20	isr_sr1_ts_extracted	"SR1 TS extracted from PES header" set interrupt

					ЮФКВ.431268.005РЭ			Лист
								578
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

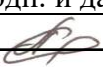
Продолжение таблицы В.2

Регистр 7:VD_ISR

Установка статуса прерываний

Значение при обнулении: 0000'0000H

Address: MSVD_BASE + 0018H		Mode : w
Bits	Name	Description
19	isr_sr1_pes_hd_found	"SR1 PES header found" set interrupt
18	isr_sr1_start_code_found	"SR1 start code found" set interrupt
17	isr_sr1_si_access_failed	"SR1 or SI access failed" set interrupt
16	isr_sr1_cmd_rdy	"SR1 command ready" set interrupt
15	isr_sr2_offs_end_reached	"SR2 offset end reached" set interrupt
14	isr_sr2_offs_end_missed	"SR2 offset end missed" set interrupt
13	isr_sr2_read_fail	"SR2 read failure from SR buffer" set interrupt
12	isr_sr2_str_buf_empty	"SR2 stream buffer block empty" set interrupt
11	isr_sr2_str_buf_thresh	"SR2 stream buffer threshold" set interrupt
10	isr_sr2_str_buf_changed	"SR2 stream buffer block changed" set interrupt
9	isr_sr2_ts_extracted	"SR2 TS extracted from PES header" set interrupt
8	isr_sr2_pes_hd_found	"SR2 PES header found" set interrupt
7	isr_sr2_start_code_found	"SR2 start code found" set interrupt
6	isr_sr2_access_failed	"SR2 access failed" set interrupt
5	isr_sr2_cmd_rdy	"SR2 command ready" set interrupt
4	isr_mvde_proc_err	"MVDE processing error" set interrupt
3	isr_mvde_proc_delay	"MVDE processing delay" set interrupt
2	isr_mvde_last_mb_rdy	"MVDE last_mb ready" set interrupt
1	isr_mvde_pic_rdy	"MVDE picture ready" set interrupt
0	isr_mvde_cmd_rdy	"MVDE command ready" set interrupt
Note: Writing a "1" sets the status bit, writing "0" has no effect, reading always returns "0".		

					ЮФКВ.431268.005РЭ			Лист
								579
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1					

Приложение Г

(обязательное)

Описание выводов СБИС ДЦТС

Г.1 Внешние выводы СБИС ДЦТС

На рисунке Г.1 представлена структура внешних выводов СБИС. Список внешних выводов содержится в таблице Г.1.

HDTV Decoder chip

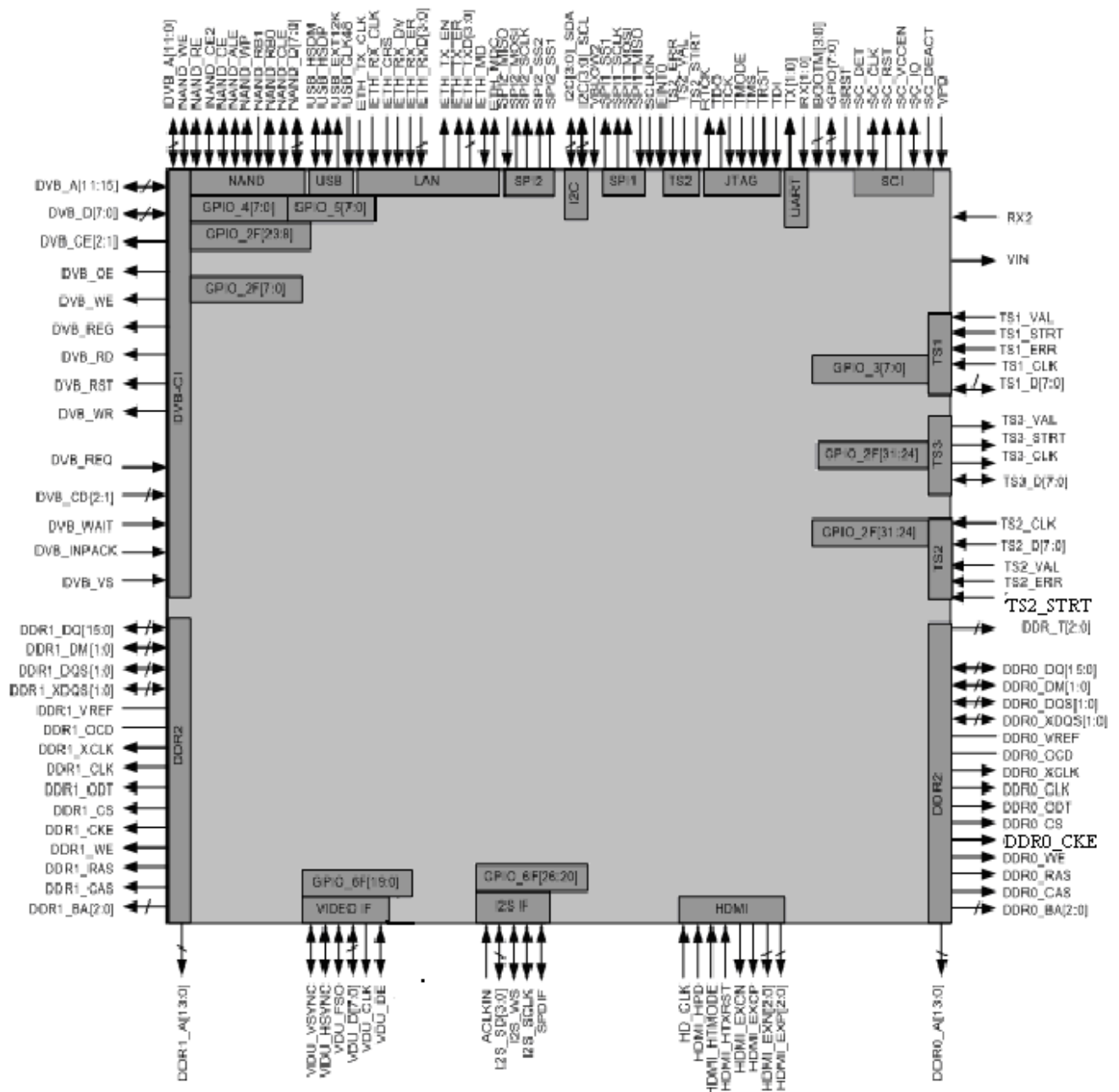


Рисунок Г.1 – Структура внешних выводов СБИС ДЦТС

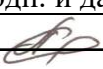
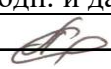
					ЮФКВ.431268.005РЭ			Лист
								580
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

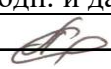
Таблица Г.1 – Список внешних функциональных выводов СБИС ДЦТС.

Название	Количество	Направление	Функция	Уровень активного сигнала	Нагрузочная Способность mA
Управление системой (11)					
SCLKIN	1	I	системный тактовый сигнал, 27 МГц	CLK	
SRST	1	I	асинхронный системный сброс	L	
BOOTM	4	I	конфигурирование режима загрузки системы. В нормальном режиме работы должны быть равны 0.	0	
EINT0	1	I	внешнее прерывание	ANY	
ACLKIN	1	I	синхронизация аудио интерфейса, 12.288 МГц	CLK	
HD_CLK	1	I	сигнал синхронизации видеосигнала высокой четкости, 74.25 МГц	CLK	
VIN	1	O	Управление внешним VXCO	H	8
VPD	1	I	Управление питанием pullup буферов	H	
Интерфейс транспортного потока 1 (12)					
TS1_CLK	1	I	Тактовый сигнал	CLK	
TS1_D	8	I/O	Шина данных	H	8
TS1_VAL	1	I	Сигнал подтверждения	H	
TS1_STRT	1	I	Сигнал синхронизации с началом пакета	H	
TS1_ERR	1	I	Индикатор битых данных (активный уровень - высокий)	ANY	
Интерфейс транспортного потока 2 (12)					
TS2_CLK	1	I	Тактовый сигнал	CLK	
TS2_D	8	I	Шина данных	H	
TS2_VAL	1	I	Сигнал подтверждения	H	
TS2_STRT	1	I	Сигнал синхронизации с началом пакета	H	
TS2_ERR	1	I	Индикатор битых данных (активный уровень - высокий)	ANY	
Интерфейс транспортного потока 3 (11)					
TS3_CLK	1	O	Тактовый сигнал	CLK	6
TS3_D	8	I/O	Шина данных	H	6
TS3_VAL	1	O	Сигнал подтверждения	H	6
TS3_STRT	1	O	Сигнал синхронизации с началом пакета	H	6
Цифровой интерфейс видео, ITU-R BT.656 и EIA/CEA-861-B (21)					
VDU_D	16	I/O	Шина видеоданных	H	6
VDU_CLK	1	O	Сигнал синхронизации данных	CLK	8

					ЮФКВ.431268.005РЭ		Лист
							581
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1				

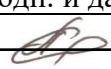
Продолжение таблицы 108

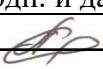
Название	Количество	Направление	Функция	Уровень активного сигнала	Нагрузочная Способность мА
VDU_HSYNC	1	I/O	Сигнал синхронизации строк	L	8
VDU_VSYNC	1	I/O	Сигнал синхронизации кадров	L	8
VDU_FSO	1	I/O	Выбор поля кадра для чересстрочной развертки	H	6
VDU_DE	1	I/O	Сигнал подтверждения передачи видимой части кадра	L	6
I2S Аудио интерфейс (6)					
I2S_SCLK	1	I/O	Синхросигнал последовательной выдачи отсчетов	CLK	6
I2S_WS	1	I/O	Признак принадлежности передаваемых отсчетов к левому или правому каналу	H	6
I2S_SD	4	I/O	Шина последовательной передачи отсчетов многоканального звука.	H	6
Интерфейс S/PDIF (1)					
SPDIF	1	I/O	Выход аудиосигнала в соответствии со стандартами IEC 60958 (для несжатого аудиосигнала) и IEC 61937(для сжатого аудиосигнала)	H	6
SPI интерфейс с Flash памятью. (5)					
SPI2_MISO	1	I	Входные данные	H	
SPI2_MOSI	1	O	Выходные данные	H	8
SPI2_SCLK	1	O	Сигнал синхронизации	CLK	8
SPI2_SS1	1	O	Выбор ведомого устройства 1	L	8
SPI2_SS2	1	O	Выбор ведомого устройства 2	L	8
UART (4)					
TX1	1	O	Сигнал передачи данных	L	6
RX1	1	I	Сигнал приема данных	L	
TX0	1	O	Сигнал передачи данных	L	6
RX0	1	I	Сигнал приема данных	L	
UART\IRDA(1)					
RX2	1	I	Сигнал приема данных	H	
I2C (8)					
I2C0_SCL	1	I/O	Тактовый сигнал	OPEN	спец. буфер
I2C0_SDA	1	I/O	Сигнал данных	OPEN	спец. буфер
I2C1_SCL	1	I/O	Тактовый сигнал	OPEN	спец. буфер
I2C1_SDA	1	I/O	Сигнал данных	OPEN	спец. буфер

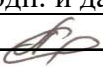
					ЮФКВ.431268.005РЭ			Лист
								582
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

Название	Количество	Направление	Функция	Уровень активного сигнала	Нагрузочная Способность mA
I2C2_SCL	1	I/O	Тактовый сигнал	OPEN	спец. буфер
I2C2_SDA	1	I/O	Сигнал данных	OPEN	спец. буфер
I2C3_SCL	1	I/O	Тактовый сигнал	OPEN	спец. буфер
I2C3_SDA	1	I/O	Сигнал данных	OPEN	спец. буфер
HDMI (11)					
HDMI_EXP	3	O	Дифференциальная шина данных	A	нет буфера
HDMI_EXN	3	O	Дифференциальная шина данных	A	нет буфера
HDMI_EXCP	1	O	Дифференциальная шина команд	A	нет буфера
HDMI_EXCN	1	O	Дифференциальная шина команд	A	нет буфера
HDMI_HPD	1	I	Детектирование подключения устройства в режиме работы	L	
HDMI_HTMODE	1	I	Выбор режима работы интерфейса. В режиме нормальной работы должен быть 0	L	
HDMI_HTXRST	1	I	Внешний сброс в тестовом режиме. В режиме нормальной работы равен 0	L	
USB (4)					
USB_HSDP	1	I/O	Дифференциальная шина данных	A	входн. тип буфера
USB_HSDM	1	I/O		A	входн. тип буфера
USB_CLK48	1	I	Вход опорного тактового сигнала блока USB	CLK	
USB_EXT12K	1	O	Точка подключения опорного сопротивления 12кОм	A	входн. тип буфера
Ethernet MAC interface (18)					
ETH_TX_CLK	1	I	Вход опорного тактового сигнала канала передачи	CLK	
ETH_TXD	4	O	Шина данных канала передачи	H	6
ЮФКВ.431268.005РЭ					Лист
					583
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.
18212-2		14.11.11		18212-1	

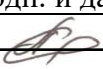
Название	Количество	Направление	Функция	Уровень активного сигнала	Нагрузочная Способность мА
ETH_TX_EN	1	O	Сигнал готовности выходных данных	H	6
ETH_TX_ER	1	O	Сигнал ошибки передачи	H	6
ETH_CRS	1	I	Сигнал определения несущей частоты	H	
ETH_COL	1	I	Входной сигнал ошибки передачи	H	
ETH_RX_CLK	1	I	Вход опорного тактового сигнала канала приема	CLK	
ETH_RXD	4	I	Шина данных канала приема	H	
ETH_RX_DV	1	I	Сигнал подтверждения правильности данных	H	
ETH_RX_ER	1	I	Сигнал ошибки приема	H	
ETH_MDC	1	O	Тактовый сигнал канала управления	CLK	6
ETH_MD	1	I/O	Сигнал данных канала управления	H	6
DVB Common Interface (38)					
DVB_D	8	I/O	Данные от DVB карты	H	6
DVB_CE	2	O	Включение карты.	L	6
DVB_A	16	I/O	16 битов адреса	H	6
DVB_OE	1	O	Активен при выполнении операции чтения из карты памяти.	L	6
DVB_WE	1	O	Активен при выполнении операции записи на карту памяти.	L	6
DVB_REQ	1	I	Готовность карты памяти.	L	
DVB_CD	2	I	Флаги наличия карты в слоте PCMCIA.	L	
DVB_RD	1	O	Активен при выполнении операции чтения из пространства ввода / вывода карты.	L	6
DVB_WR	1	O	Активен при выполнении операции записи в пространство ввода / вывода карты.	L	6
DVB_RST	1	O	Сброс карты в неконфигурированное состояние.	H	6
DVB_WAIT	1	I	Задержка окончания процесса доступа к карте.	L	
DVB_INPACK	1	I	Сигнал устанавливается, когда карта выбрана и может отвечать на запросы чтения. Используется	L	

					ЮФКВ.431268.005РЭ			Лист
								584
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				

Название	Количество	Направление	Функция	Уровень активного сигнала	Нагрузочная Способность мА
			для включения буфера входных данных между картой и шиной данных.		
DVB_REG	1	O	Доступ к памяти атрибутов и к пространству ввода / вывода.	L	6
DVB_VS	1	I	Сигнал детектирования напряжения	L	
Интерфейс смарт-карты (6)					
SC_CLK	1	I/O	Тактовый сигнал интерфейса смарт-карты	CLK	8
SC_RST	1	O	Сброс карты	L	6
SC_DET	1	I	Детектирование наличия карты	L	
SC_IO	1	I/O	Сигнал данных	H	6
SC_DEACT	1	I	Сигнал деактивации карты	L	
SC_VCCEN	1	O	Сигнал выбора питания карты	H	4
Тестовый порт (6)					
TCK	1	I	Тактовый сигнал тестового порта	CLK	
TRST	1	I	Сброс тестового порта	L	
TMS	1	I	Выбор режима тестирования	H	
TDI	1	I	Вход данных тестового порта	H	
TDO	1	O	Выход данных тестового порта	H	4
TMODE	1	I	Выбор тестового режима В режиме нормальной работы должен быть 0	0	
RTCK	1	O	Выходной сигнал для отладочной шины ARM	CLK	8
NAND FLASH интерфейс (17)					
NAND_D[7:0]	8	I/O	выводы для передачи адреса или данных и получения данных	D	6
NAND_RB0	1	I/O	Индикатор, показывающий, когда чип памяти выполняет запись (стирание)	L	6
NAND_RB1	1	I	Индикатор, показывающий, когда чип памяти выполняет запись (стирание)	L	
NAND_RE	1	I/O	Управляет передачей данных ИЗ памяти	L	6
NAND_WE	1	I/O	Управляет передачей данных В память	L	6
NAND_ALE	1	I/O	Данные на I/O [7:0] записываются в адресный регистр памяти	H	6
ЮФКВ.431268.005РЭ					Лист
					585
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
18212-2	 14.11.11		18212-1		

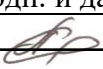
Название	Количество	Направление	Функция	Уровень активного сигнала	Нагрузочная Способность мА
NAND_CLE	1	I/O	Данные на I/O [7:0] записываются в регистр команд памяти	H	6
NAND_WP	1	I/O	Когда активен то невозможно изменение памяти	L	6
NAND_CE	1	I/O	Управляет взаимодействием между памятью и контроллером	L	6
NAND_CE2	1	I/O	Управляет взаимодействием между памятью и контроллером	L	6
GPIO (8)					
GPIO	8	I/O	Универсальные порты ввода-вывода	H	6
Управление записью в однократно программируемую память (OTP ROM) (2)					
VBLOW2	1	I	Напряжение записи, порт 1	A	
Интерфейс с памятью DDR2 EM0 (системная память) (49)					
DDR0_DQ	16	I/O	Шина данных	H	спец. буфер
DDR0_DQS	2	I/O	Дифференциальный сигнал байтового строба	H	спец. буфер
DDR0_XDQS	2	I/O		L	спец. буфер
DDR0_DM	2	I/O	Байтовая маска	H	спец. буфер
DDR0_A	14	O	Адрес	H	спец. буфер
DDR0_BA	3	O	Номер банка памяти	H	спец. буфер
DDR0_CS	1	O	Выбор микросхемы памяти	L	спец. буфер
DDR0_WE	1	O	Разрешение записи в память	L	спец. буфер
DDR0_RAS	1	O	Выбор строки памяти	L	спец. буфер
DDR0_CAS	1	O	Выбор колонки памяти	L	спец. буфер
DDR0_CLK	1	O	Дифференциальный выход тактового сигнала	CLK	спец. буфер
DDR0_XCLK	1	O	Дифференциальный выход тактового сигнала	CLK	спец. буфер
DDR0_CKE	1	O	Сигнал разрешения тактового сигнала	H	спец. буфер
DDR0_VREF	1	I	Вход опорного напряжения	A	
ЮФКВ.431268.005РЭ					Лист 586
Изм.	Лист	№ докум.	Подп.	Дата	
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата
18212-2	 14.11.11		18212-1		

Название	Количество	Направление	Функция	Уровень активного сигнала	Нагрузочная Способность мА
DDR0_ODT	1	O	Управляющий выход	Н	спец. буфер
DDR0_OCD	1	O	Калибровка интерфейса	Н	спец. буфер
Интерфейс с памятью DDR2 EM1 (видео память) (49)					
DDR0_DQ	16	I/O	Шина данных	Н	спец. буфер
DDR1_DQS	2	I/O	Дифференциальный сигнал байтового строба	Н	спец. буфер
DDR1_XDQS	2	I/O	Дифференциальный сигнал байтового строба	L	спец. буфер
DDR1_DM	2	I/O	Байтовая маска	Н	спец. буфер
DDR1_A	14	O	Адрес	Н	спец. буфер
DDR1_BA	3	O	Номер банка памяти	Н	спец. буфер
DDR1_CS	1	O	Выбор микросхемы памяти	L	спец. буфер
DDR1_WE	1	O	Разрешение записи в память	L	спец. буфер
DDR1_RAS	1	O	Выбор строки памяти	L	спец. буфер
DDR1_CAS	1	O	Выбор колонки памяти	L	спец. буфер
DDR1_CLK	1	O	Дифференциальный выход тактового сигнала	CLK	спец. буфер
DDR1_XCLK	1	O	Дифференциальный выход тактового сигнала	CLK	спец. буфер
DDR1_CKE	1	O	Сигнал разрешения тактового сигнала	Н	спец. буфер
DDR1_VREF	1	I	Вход опорного напряжения	A	
DDR1_ODT	1	O	Управляющий выход	Н	спец. буфер
DDR1_OCD	1	O	Калибровка интерфейса	Н	спец. буфер
DDR2 тестовые сигналы (3)					
DDR_T	3	I	Выбор режима тестирования DDR2 контроллера. В режиме нормальной работы равен 0	000	

					ЮФКВ.431268.005РЭ			Лист
								587
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

Обозначение:

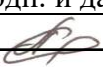
CLK – вход тактового сигнала;
А – аналоговый вход/выход;
Н – высокий уровень активного сигнала;
L – низкий уровень активного сигнала;
OPEN – буфер с открытым коллектором;
Z – выход в высокоимпедансном состоянии.

					ЮФКВ.431268.005РЭ			Лист
								588
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

В Таблица Г.2 представлено соответствие функциональных выводов в основном режиме работы и в случае использования их в качестве универсальных портов ввода-вывода GPIO. Все указанные выводы после системного сброса находятся в состоянии GPIO, направление – вход и далее могут быть переведены в основной функциональный режим программным способом.

Таблица Г.2 – Список мультиплексируемых функциональных выводов

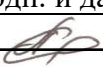
Название функционального вывода	Мультиплексируемый вывод / Номер порта GPIO	Количество	Направление в основном режиме
TS1_D[7:0]	GPIO_3[7:0]	8	I
DVB_D[7:0]	GPIO_2F[7:0]	8	I/O
DVB_A[15:0]	GPIO_2F[23:8]	15	O
TS3_D[7:0]	GPIO_2F[31:24]	8	I
NAND_D	GPIO_4[7:0]	8	I/O
NAND_CE2	GPIO_5[0]	1	O
NAND_CE	GPIO_5[1]	1	O
NAND_WP	GPIO_5[2]	1	O
NAND_CLE	GPIO_5[3]	1	O
NAND_ALE	GPIO_5[4]	1	O
NAND_WE	GPIO_5[5]	1	O
NAND_RE	GPIO_5[6]	1	O
NAND_RB0	GPIO_5[7]	1	I
VDU_VSYNC	GPIO_6F[3]	1	O
VDU_HSYNC	GPIO_6F[2]	1	O
VDU_FSO	GPIO_6F[1]	1	O
VDU_D[15:0]	GPIO_6F[19:4]	16	O
VDU_DE	GPIO_6F[0]	1	O
SPDIF	GPIO_6F[26]	1	O
I2S_SD[3:0]	GPIO_6F[25:22]	4	O
I2S_WS	GPIO_6F[21]	1	O
I2S_CLK	GPIO_6F[20]	1	O

					ЮФКВ.431268.005РЭ			Лист
								589
Изм.	Лист	№ докум.	Подп.	Дата				
Инов.№подл.	Подп. и дата		Взам.инв.№		Инов.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

В Таблица Г.3 приводится список внешних выводов земли и питания СБИС ДЦТС.

Таблица Г.3– Список внешних выводов земли и питания СБИС ДЦТС

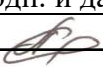
Имя вывода	Домен	Номинал напряжения
VSS	Цифровая земля	0 В
VDD	Ядро микросхемы	1,2 В +- 0,10 В
VDE33	Цифровые выводы	3,3 В +- 0,3 В
VDE18_2	Интерфейс DDR2	1,8 В +- 0,1 В
VDE18_1	Интерфейс DDR2	1,8 В +- 0,1 В
AVDF1, AVDB	Внешние выводы USB	3,3 В +- 0,3 В
AVDF2, AVDP	Ядро USB	1,2 В +- 0,10 В
AVSF1, AVSB	Аналоговая земля USB	0 В
AVSP	Аналоговая земля USB	0 В
VDP	Внешние выводы HDMI	3,3 В +- 0,3 В
VDN, VDU	Ядро HDMI	1,2 В +- 0,10 В
AVD1, AVD2, AVD3, AVD4	Аналоговое питание APLL	1,2 В +- 0,10 В
AVS1, AVS2, AVS3, AVS4	Аналоговая земля APLL	0 В

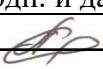
					ЮФКВ.431268.005РЭ			Лист
								590
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата		
18212-2	 14.11.11		18212-1					

В таблице Г.4 приведены характеристики доменов питания СБИС ДЦТС.

Таблица Г.4– Характеристики доменов питания СБИС ДЦТС

Характеристика	Расчетное значение			Домен питания
	min	typ	max	
Напряжение цифровой земля	0 В			Цифровая земля
Напряжение ядра микросхемы	1,2 В +- 0,10 В			Ядро микросхемы
Максимально допустимые значения питания ядра микросхемы	-0,5 – 1,8 В			Ядро микросхемы
Напряжение цифровых выводов микросхемы	3,3 В +- 0,3 В			Цифровые выводы
Максимально допустимые значения питания цифровых выводов микросхемы	-0,5 – 4,6 В			Цифровые выводы
Допустимый ток через вывод питания микросхемы	40 мА			Цифровые выводы
Рекомендуемая последовательность включения СБИС	VDD->VDE->Signal			Цифровые выводы, Ядро микросхемы
Рекомендуемая последовательность выключения СБИС	Signal->VDE->VDD			Цифровые выводы, Ядро микросхемы
Максимально допустимые значения питания выводов DDR2 интерфейса	-0,5 – 2,5 В			Интерфейс DDR2
Максимально допустимые значения питания внешних выводов USB	-0,5 – 4,0 В			Внешние выводы USB
Максимально допустимые значения питания ядра USB	-0,5 – 1,8 В			Ядро USB
Максимально допустимые значения питания внешних выводов HDMI	-0,5 – 4,0 В			Внешние выводы HDMI
Максимально допустимые значения питания ядра HDMI	-0,5 – 1,8 В			Ядро HDMI
Ток домена питания VDU блока HDMI в режиме 1080i		19 мА	38 мА	Ядро HDMI
Ток домена питания VDN блока HDMI в режиме 1080i		3 мА	3,5 мА	Ядро HDMI
Ток домена питания VDP блока HDMI в режиме 1080i		21 мА	25 мА	Внешние выводы HDMI
Ток домена питания VDU блока HDMI в режиме 480p		19 мА	38 мА	Ядро HDMI
Ток домена питания VDN блока HDMI в режиме 480p		3 мА	3,5 мА	Ядро HDMI
Ток домена питания VDP блока HDMI в режиме 480p		21 мА	25 мА	Внешние выводы HDMI
Рабочий ток ядра СБИС			615 мА	Ядро микросхемы
Рабочий ток цифровых интерфейсов СБИС			111 мА	Цифровые выводы
Рабочий ток DDR2 интерфейсов СБИС			421 мА	Интерфейс DDR2
Максимально допустимый ток через аналоговый вывод питания AVD			108 мА	

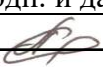
					ЮФКВ.431268.005РЭ			Лист
								591
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

					ЮФКВ.431268.005РЭ				Лист
									592
Изм.	Лист	№ докум.	Подп.	Дата					
Инв.№подл.	Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата			
18212-2	 14.11.11		18212-1						

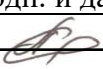
Электрические характеристики выводов СБИС ДЦТС представлены в таблице Г.5.

Таблица Г.5 – Электрические характеристики выводов СБИС ДЦТС

Вывод	Характеристика	Расчетное значение		
		min	typ	max
Цифровые выводы	Уровень логической единицы на входе, В	2,0		3,9
	Уровень логического нуля на входе, В	-0,3		0,8
	Максимальное значение на выходе, В	-0,5		4,6
	Максимально допустимое значение на входе, В	-0,5		4,6
	Уровень логической единицы на выходе, В	2,8		3,6
	Уровень логического нуля на выходе, В	0,0		0,2
	Сопротивление pullup/pulldown, кОм	15		70
	Максимальный ток утечки	± 4 мкА		
Выводы DDR2 интерфейса	Тип	SSTL2		
	Напряжение питания VDDE	1,8 ± 0,1 В		
	ESD (Machine model)	± 200 В		
	ESD (Human Body)	± 2000 В		
	Максимальное значение на выходе, В	-0,5		2,5
	Максимально допустимое значение на входе, В	-0,5		2,5
	Допустимый ток через вывод микросхемы	± 20 мА		
	Опорное напряжение VREF	0,49xVDDE		0,51xVDDE
	Уровень логической единицы на входе	VREF+0,125		VDDE+0,3
	Уровень логического нуля на входе	-0,3		VREF-0,125
	Уровень логической единицы на входе в динамике	VREF+0,200		VDDE+0,3
	Уровень логического нуля на входе в динамике	-0,3		VREF-0,200
	Уровень логической единицы на выходе	VDDE-0,28		VDDE
	Уровень логического нуля на выходе, В	0,0		0,28
	Сопротивление ODT	±20% от номинала		
	Максимальный ток утечки	± 10 мкА		

					ЮФКВ.431268.005РЭ			Лист
								593
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2				14.11.11	18212-1			

Выводы USB High Speed интерфейса	Частота CLK48	48 МГц ± 100 ppm		
	Jitter CLK48	100 пс		
	Входные уровни			
	squelch detection threshold	100 мВ		200 мВ
	disconnect detection threshold	525 мВ		625 мВ
	differential input signaling levels	150		
	data signaling common mode voltage range	-50 мВ		500 мВ
	Выходные уровни			
	idle level	-10 мВ		10 мВ
	data signaling high	360 мВ		440 мВ
	data signaling low	-10 мВ		10 мВ
	Chirp J level	700 мВ		1100 мВ
	Chirp K level	-900 мВ		-500 мВ
	Termination voltage	-10 мВ		10 мВ
	Rise time (10%-90%)	500 пс		
	Fall time (10%-90%)	500 пс		
	Driver Output Resistance	40,5 Ом		49,5 Ом
	Data Rate, Мбит/с	479,760		480,240
	Bus pull-down resistor on downstream facing port	14,25		24,80
Выводы HDMI интерфейса	Напряжение на выходах, В	-0,5		4,0
	Ток на выходах	±20 мА		
Выводы I2C интерфейса				
	Уровень логического нуля на входе, VIL	-0,5		0,3*VDDE
	Уровень логической единицы на входе, VIH	0,7*VDDE		VDDE+0,3
	Гистерезис на входах триггеров Шмидта	0,05*VDDE		
	Уровень логического нуля на выходе	0		0,4
	Длительность среза от VIHmin до VILmax при емкости на шине от 10 пФ до 400 пФ, нс	20+0,1*Cbus		250 нс
	Входной ток при входном напряжении от 0,1*VDDE до 0,9*VDDEmax, мкА	-10		10
	Емкость вывода, пФ			10

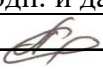
					ЮФКВ.431268.005РЭ			Лист
								594
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.	Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата			
18212-2			14.11.11	18212-1				

Г.2 Цоколевка корпуса микросхемы

В таблице Г.6 показаны внешние выводы микросхемы СБИС ДЦТС.

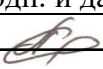
Таблица Г.6– Внешние выводы микросхемы СБИС ДЦТС

	1	2	3	4	5	6	7
A	VSS	NAND_ALE	NAND_D1	NAND_D4	NAND_D7	AVSF1	USB_HSDM
B	DVB_A0	VDE33	NAND_D0	NAND_D3	NAND_D6	AVSF1	USB_HSDP
C	DVB_A3	DVB_A2	DVB_A1	NAND_D2	NAND_D5	AVDF1	AVSF1
D	DVB_A6	DVB_A5	DVB_A4	VSS	VDE33	AVDB	USB_CLK48
E	DVB_A9	DVB_A8	DVB_A7	NAND_RB0	NAND_CLE	AVDP	VSS
F	DVB_A12	DVB_A11	DVB_A10	NAND_CE	VDE33	VSS	USB_EXT12K
G	DVB_A15	DVB_A14	DVB_A13	NAND_WE	NAND_RE	NAND_WP	
H	DVB_D2	DVB_D1	DVB_D0	VSS	VDE33	NAND_CE2	
J	DVB_D5	DVB_D4	DVB_D3	DVB_OE	DVB_CE1	NAND_RB1	
K	DVB_CE2	DVB_D7	DVB_D6	DVB_REG	DVB_WE	VDE33	
L	DVB_RD	DVB_RST	DVB_WR	DVB_REQ	VDE33	VSS	
M	DVB_CD2	DVB_CD1	DVB_WAIT	DVB_INPACK	VSS	AVD1	
N	VDE18_2	VSS	VDE33	DVB_VS	VSS	AVS1	
P	DDR1_DQ0	DDR1_DQ1	DDR1_DQ2	VSS	VDE33	VSS	
R	DDR1_DQ3	DDR1_DQ4	VSS	VDE18_2	VSS	VDE18_2	
T	DDR1_DQ5	DDR1_DQ6	DDR1_DQ7	VSS	DDR1_DQS0	DDR1_XDQS0	
U	VSS	VDE18_2	DDR1_DM0	DDR1_VREF	VSS	VDE18_2	
V	DDR1_CLK	DDR1_XCLK	VSS	VDE18_2	DDR1_DQS1	DDR1_XDQS1	
W	VSS	VDE18_2	DDR1_DM1	DDR1_OCD	VSS	VDE18_2	
Y	DDR1_DQ8	DQ9_EM1	DDR1_DQ10	VSS	DDR1_ODT	DDR1_CKE	
AA	DDR1_DQ11	DQ12_EM1	DDR1_DQ13	VDE18_2	VSS	VDE18_2	VSS
AB	DDR1_DQ14	DQ15_EM1	VSS	DDR1_A0	DDR1_A1	DDR1_A2	VDE18_2
AC	VDE18_2	VSS	DDR1_CS	DDR1_A3	DDR1_A4	DDR1_A5	VSS
AD	DDR1_WE	DDR1_RAS	DDR1_CAS	DDR1_A6	DDR1_A7	DDR1_A8	VDE33
AE	DDR1_BA0	DDR1_BA2	VSS	DDR1_A10	DDR1_A12	DDR1_A13	VSS
AF	VSS	DDR1_BA1	DDR1_A9	DDR1_A11	VSS	VDE18_2	VDU_D0
	1	2	3	4	5	6	7

					ЮФКВ.431268.005РЭ			Лист
								595
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата	
18212-2		 14.11.11		18212-1				

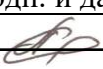
Продолжение таблицы 114

	8	9	10	11	12	13
A	AVSF1	ETH_RXD0	ETH_RXD3	ETH_TXD3	ETH_TXD0	SPI2_MISO
B	AVSF1	ETH_RX_ER	ETH_RXD2	ETH_TX_ER	ETH_TXD1	SPI2_MOSI
C	AVDF2	ETH_RX_DV	ETH_RXD1	ETH_TX_EN	ETH_TXD2	SPI2_SCLK
D	AVSB	VSS	VDE33	VSS	ETH_MDC	SPI2_SS1
E	AVSP	VSS	ETH_TX_CLK	VDE33	ETH_MD	VDE33
F	VDE33	ETH_RX_CLK	ETH_CRS	ETH_COL	VDE33	VSS
G						
H						
J						
K			VDD	VDD	VSS	VDD
L			VDD	VDD	VSS	VDD
M			VSS	VSS	VSS	VSS
N			VDD	VDD	VSS	VSS
P			VDD	VDD	VSS	VSS
R			VSS	VSS	VSS	VSS
T			VDD	VDD	VSS	VDD
U			VDD	VDD	VSS	VDD
V						
W						
Y						
AA	VSS	VSS	VSS	VSS	AVD2	AVS2
AB	VDU_VSYNC	VDU_HSYNC	VDU_FSO	VDU_DE	VDE33	VSS
AC	VDE33	VSS	VDE33	VSS	VDU_CLK	VDE33
AD	VDU_D1	VDU_D4	VDU_D7	VDU_D10	VDU_D13	I2S_SD3
AE	VDU_D2	VDU_D5	VDU_D8	VDU_D11	VDU_D14	I2S_SD2
AF	VDU_D3	VDU_D6	VDU_D9	VDU_D12	VDU_D15	I2S_SD1
	8	9	10	11	12	13

					ЮФКВ.431268.005РЭ		Лист
							596
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата
18212-2		 14.11.11		18212-1			

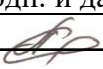
Продолжение таблицы 114

14	15	16	17	18	19	20	
	VSS	SCLKIN	VDE33	TDO	TMS	TX0	A
	TS2_SS2	VBLOW2	I2C1_SCL	TCLK	TRST	RX0	B
	I2C2_SCL	I2C3_SCL	I2C1_SDA	TMODE	TDI	TX1	C
	I2C2_SDA	I2C3_SDA	I2C0_SCL	VSS	TS2_ERR	RX1	D
VSS	VSS	VDE33	SDA0	TS2_VAL	VSS	VDE33	E
VDE33	AVS4	AVD4	VSS	TS2_STRT	EINT0	VPD	F
							G
							H
							J
VDD	VSS	VDD	VDD				K
VDD	VSS	VDD	VDD				L
VSS	VSS	VSS	VSS				M
VSS	VSS	VDD	VDD				N
VSS	VSS	VDD	VDD				P
VSS	VSS	VSS	VSS				R
VDD	VSS	VDD	VDD				T
VDD	VSS	VDD	VDD				U
							V
							W
							Y
VSS	SPDIF	VSS	HDMI_HPD	HDMI_HTXRST	VDE33	VSS	AA
ACLKIN	VDE33	VSS	HD_CLK	HDMI_HTMODE	VSS	VDE18_1	AB
VSS	VDP	VDN	VDP	VDN	VSN	VSS	AC
I2S_SCLK	VSN	VDU	VSN	VSN	VSN	VDE33	AD
I2S_SD0	VSN	HDMI_EXCP	HDMI_EXP0	HDMI_EXP1	HDMI_EXP2	VDN	AE
I2S_WS	VSN	HDMI_EXCN	HDMI_EXN0	HDMI_EXN1	HDMI_EXN2	VSN	AF
14	15	16	17	18	19	20	

					ЮФКВ.431268.005РЭ		Лист
							597
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата
18212-2		 14.11.11		18212-1			

Продолжение таблицы 114

21	22	23	24	25	26	
GPIO0	GPIO1	GPIO4	GPIO6	GPIO7	VSS	A
BOOTM3	GPIO2	GPIO5	SC_VCCEN	VDE33	SC_RST	B
BOOTM2	GPIO3	SC_IO	SC_CLK	SC_DET	SC_DEACT	C
BOOTM1	VSS	VDE33	TS1_D0	TS1_D1	TS1_D2	D
BOOTM0	VDE33	VSS	TS1_D3	TS3_D4	TS1_D5	E
SRST	TS1_VAL	VDE33	TS1_D6	TS1_D7	TS1_CLK	F
TS1_STRT	TS1_ERR	VSS	TS3_D0	TS3_D1	TS3_D2	G
RX2	TS3_VAL	VDE33	TS3_D3	TS3_D4	TS3_D5	H
VIN	TS3_STRT	VSS	TS3_D6	TS3_D7	TS3_CLK	J
VDE33	DDR_T0	TS2_CLK	TS2_D0	TS2_D1	TS2_D2	K
VSS	DDR_T1	DDR_T2	TS2_D3	TS2_D4	TS2_D5	L
AVD3	VDE33	RTCK	VSS	TS2_D6	TS2_D7	M
AVS3	VSS	VSS	VDE33	VSS	VDE18_1	N
VSS	VDE33	VSS	DDR0_DQ2	DDR0_DQ1	DDR0_DQ0	P
VDE18_1	VSS	VDE18_1	VSS	DDR0_DQ4	DDR0_DQ3	R
DDR0_XDQS0	DDR0_DQS0	VSS	DDR0_DQ7	DDR0_DQ6	DDR0_DQ5	T
VDE18_1	VSS	DDR0_VREF	DDR0_DM0	VDE18_1	VSS	U
DDR0_XDQS1	DDR0_DQS1	VDE18_1	VSS	DDR0_XCLK0	DDR0_CLK	V
VDE18_1	VSS	DDR0_OCD	DDR0_DM1	VDE18_1	VSS	W
DDR0_CKE	DDR0_ODT0	VSS	DDR0_DQ10	DDR0_DQ9	DDR0_DQ8	Y
VDE18_1	VSS	VDE18_1	DDR0_DQ13	DDR0_DQ12	DDR0_DQ11	AA
DDR0_A2	DDR0_A1	DDR0_A0	VSS	DDR0_DQ15	DDR0_DQ14	AB
DDR0_A5	DDR0_A4	DDR0_A3	DDR0_WE	VSS	VDE18_1	AC
DDR0_A8	DDR0_A7	DDR0_A6	DDR0_RAS	DDR0_CAS	DDR0_CS	AD
DDR0_A13	DDR0_A12	DDR0_A10	VSS	DDR0_BA2	DDR0_BA1	AE
VDE18_1	VSS	DDR0_A11	DDR0_A9	DDR0_BA0	VSS	AF
21	22	23	24	25	26	

					ЮФКВ.431268.005РЭ		Лист
							598
Изм.	Лист	№ докум.	Подп.	Дата			
Инв.№подл.		Подп. и дата		Взам.инв.№		Инв.№дубл.	Подп. и дата
18212-2		 14.11.11		18212-1			

Приложение Д

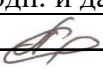
(справочное)

Рекомендуемые внешние периферийные микросхемы

В Таблица Д.1 приводится спецификация рекомендуемых периферийных микросхем для использования совместно со СБИС ДЦТС.

Таблица Д.1 – Внешние периферийные микросхемы, рекомендуемые к применению со СБИС ДЦТС.

Интерфейс	Рекомендуемая микросхема	Особенности применения
DDR2	Micron MT47H128M8-3	
	Samsung K4T1G164QQ-HCE6	OCD не используется
	Micron MT47H128M16-3	
USB	SMSC USB2514	
	Philips ISP1520	
Ethernet PHY	SMSC LAN8187	
	SMSC LAN8700	
Smart Card	Linear Technology LTC1756	
HDMI Tx	Silicon Image SiI9022	
	ADI AD9889B	
TV Encoder + DAC	ADI ADV7170	
Audio DAC	Cirrus Logic CS4384	
Clocks	IDT MK3771-17	

					ЮФКВ.431268.005РЭ			Лист
								599
Изм.	Лист	№ докум.	Подп.	Дата				
Инв.№подл.		Подп. и дата		Взам.инв.№	Инв.№дубл.	Подп. и дата		
18212-2		 14.11.11		18212-1				